

国际信息工程先进技术译丛

Springer

低功率、高分辨率的A-D转换器

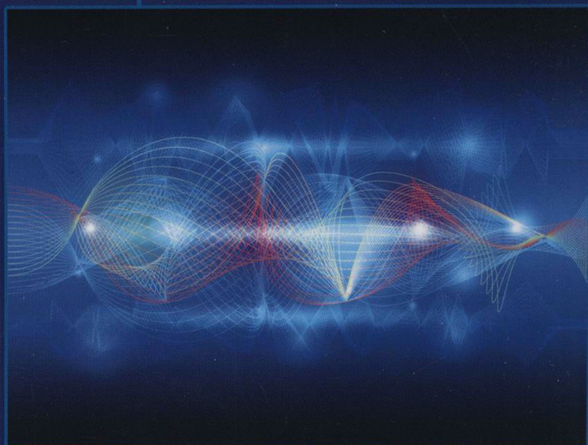
Low-Power High-Resolution Analog to Digital Converters: Design, Test and Calibration

[荷] 阿米尔·齐亚约（Amir Zjajo）
何塞·皮内达·德杰韦兹（José Pineda de Gyvez） 著

宋婷婷 李祎斐 等译



机械工业出版社
CHINA MACHINE PRESS



VISIT…

LANZAROTE

Caliente.COM

关于本书

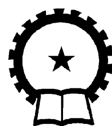
随着CMOS技术的飞速发展，数字控制领域越来越多的信号处理功能具有低成本、低功耗、更高产率和更高的可重新配置性。这种发展最近衍生出了对于这种可以用于主流深微米、纳米CMOS技术中的低功率、低电压的A-D转换器的巨大需求。然而，光刻波长和电路特征尺寸之间的差异正在增加。较低的电源电压可明显降低噪声裕度，增加工艺、装置和设计参数的变化。因此，要精确地控制制造过程以保持一致性越来越困难。纳米尺度上制造材料的不均匀性意味着不仅在芯片之间而且在同一个芯片上性能也会存在差异。随着纳米级集成电路降级，参数的变化将变得更加复杂，从而导致参数随时间的不稳定，最终产生故障。工艺变化不能通过提高制造公差来解决，而必须通过新的设备技术或由合理的设计来减小，以使其能够继续进行。同样，IDE内部性能的变化也给测试方法带来了新的挑战。



国际信息工程先进技术译丛

低功率、高分辨率的A-D转换器

［荷］ 阿米尔·齐亚约（Amir Zjajo）
何塞·皮内达·德杰韦兹（José Pineda de Gyvez） 著
宋婷婷　李祎斐　等译



机 械 工 业 出 版 社

在本书中，作者概述了这些创新的有价值的例子，并给人们机会看到它们在应用于高分辨率模－数（A－D）转换器（ADC）开发时的优势。更具体地，读者可以发现本书的主要贡献在于：使用时间交织的信号处理和校准的多步 A－D 转换器的设计、用于这些转换器的完全可观测性和可控性的 DfT（可测性设计）技术的提出和实现、可以识别过程参数变化的传感器网络的方法与设计、使用小型样本来估计过程变化的算法的建议以及用于晶片级测试的测试模式生成器的开发。

本书适合高等院校电子、硬件电路设计及自动化技术相关专业师生以及相关技术的设计和研发人员参考阅读。

译　者　序

A－D 转换器是硬件电路设计常用的器件，了解和正确使用 A－D 转换器对科研技术人员非常重要。本书介绍了低功率、高分辨率的 A－D 转换器的系统结构，多步 A－D 转换器的设计、测试和调试。对设计和应用 A－D 转换芯片提供了理论和方法。

本书主要包括如下内容：A－D 转换系统的介绍、多步 A－D 转换器的设计、多步 A－D 转换器测试、多步 A－D 转换器的调试。同时，作者还给出了非常重要的未来研究方向和应用前景，附录部分给出了本书中涉及的重要概念和公式，供读者更好地理解书中内容。

全书主要由宋婷婷和李祎斐翻译，马辰智、张俊红、边晓婕、陈逍雨、张茹敏、韩凝、张瑀彤、喻一伟、何淇彰、曹可凡、张通、张鑫以及吕晓薇参与了本书部分内容的翻译。

由于译者的水平有限，书中不当或错误之处恳请各位业内专家学者和广大读者不吝赐教。

译者

原　书　序

在深亚微米 CMOS（互补金属氧化物半导体）技术中探索低电源电压下的功率效率是混合信号 IC（集成电路）研究人员面临的主要挑战。乍一看低电压和参数变异似乎与高性能和鲁棒的模拟组件相矛盾。此外，由于工艺参量更难控制并且故障机制变得更加复杂，因此测试和调试问题变得困难。幸运的是，已经有了创新措施可以应对这些挑战，并且提供了低功率电路和校准技术、新的混合信号测试范例、错误检测以及隔离过程和工具。

在本书中，作者概述了这些创新的有价值的例子，并给人们机会看到它们在应用于高分辨率模－数（A－D）转换器（ADC）开发时的优势。更具体地，读者可以发现本书的主要贡献在于：使用时间交织的信号处理和校准的多步 A－D 转换器的设计、用于这些转换器的完全可观测性和可控性的 DfT（可测性设计）技术的提出和实现、可以识别过程参数变化的传感器网络的方法与设计、使用小型样本来估计过程变化的算法的建议以及用于晶片级测试的测试模式生成器的开发。

在本书的价值的背后是作者们的工业专业知识和学术知识。他们都是就职于飞利浦研究实验室以及恩智浦半导体公司研究所或大学机构的在低功耗设计和测试领域的知名研究人员。他们的书和期刊出版物目前是深亚微米技术领域中理解、设计、测试和调试不可或缺的参考。我希望读者会像我一样喜欢本书。

Adoración Rueda
塞维利亚大学教授和 IMSE－CNM 研究员

目　　录

译者序
原书序
缩略语表
物理量符号
第1章　绪论 ………… 1
1.1　A-D转换系统 ………… 1
1.2　浅谈当前的设计与调试实践分析 ………… 4
1.3　动机 ………… 7
1.4　本书内容组成 ………… 8
第2章　A-D转换 ………… 9
2.1　高速、高分辨率A-D转换器架构选择 ………… 9
2.1.1　多步A-D转换器 ………… 9
2.1.2　管线A-D转换器 ………… 10
2.1.3　并行管线A-D转换器 ………… 12
2.1.4　A-D转换器实现比较 ………… 13
2.2　低压A-D转换器设计注释 ………… 16
2.3　A-D转换器模块 ………… 21
2.3.1　S/H ………… 21
2.3.2　运算放大器 ………… 24
2.3.3　锁存比较器 ………… 27
2.4　A-D转换器：总结 ………… 31
第3章　多步A-D转换器的设计 ………… 33
3.1　多步A-D转换器架构 ………… 33
3.2　非理想多步A-D转换器的设计注意事项 ………… 36
3.3　时间交错的前端S/H电路 ………… 39
3.3.1　时间交错架构 ………… 40
3.3.2　S/H单元的匹配 ………… 44
3.3.3　电路设计 ………… 49
3.4　多步A-D转换器级设计 ………… 53
3.4.1　粗略量化 ………… 53
3.4.2　精细量化 ………… 58
3.5　中间级设计和校准 ………… 67
3.5.1　子D-A转换器设计 ………… 67
3.5.2　残差放大器 ………… 69
3.6　实验结果 ………… 76
3.7　小结 ………… 80
第4章　多步A-D转换器的测试 ………… 82
4.1　准静态结构试验的模拟ATPG ………… 82
4.1.1　测试策略定义 ………… 83
4.1.2　基于准静态节点电压法的线性故障模型 ………… 84
4.1.3　决策标准和测试刺激优化 ………… 92
4.2　可测性概念的设计 ………… 98
4.2.1　功率扫描链DfT ………… 100
4.2.2　应用实例 ………… 105
4.3　用于BIST的片上激励的产生 ………… 113
4.3.1　连续和离散时间电路拓扑 ………… 114
4.3.2　连续和离散时间波形发生器

的设计 …………………… 123
4.4 内置自测概念的注释 …… 131
4.5 深亚微米 CMOS 工艺的随机分析可靠电路设计 …… 136
4.5.1 用于过程变异性分析的随机 MNA …………………… 136
4.5.2 噪声分析的随机 MNA … 138
4.5.3 应用示例 ……………… 140
4.6 小结 ……………………… 144
第5章 多步 A－D 转换器的调试 …………………… 146
5.1 传感器网络概念 ………… 146
5.1.1 观察策略 ……………… 147
5.1.2 集成传感器 …………… 149
5.1.3 决策窗口和应用限制 …… 152
5.1.4 DLPM 电路设计 ………… 155
5.1.5 温度传感器 …………… 160
5.2 模板级过程变化的估计 … 163
5.2.1 预期最大化算法………… 163
5.2.2 向量机限制估计器 ……… 166
5.3 多步 A－D 转换器级的调试 ……………………… 168
5.3.1 质量标准 ……………… 168
5.3.2 估算方法 ……………… 169
5.4 DfT 用于多步转换器的完全可访问性 ……………… 173
5.4.1 测试控制块 …………… 177
5.4.2 模拟测试控制块………… 178
5.5 时间交织系统的调试 …… 180
5.6 前景校准 ………………… 184
5.7 实验结果 ………………… 187
5.7.1 A－D 测试窗口生成/更新的结果应用 ……………… 191
5.7.2 A－D 转换器调试和校准的结果应用 ……………… 195
5.8 小结 ……………………… 202
第6章 结论和建议………………… 203
6.1 结果概述 ………………… 203
6.2 推荐和未来研究 ………… 204
附录……………………………… 205
附录 A ……………………… 205
A.1 时间不匹配 ……………… 205
A.2 偏移不匹配 ……………… 206
A.3 增益不匹配 ……………… 207
A.4 带宽不匹配 ……………… 207
A.5 一般表达式 ……………… 208
附录 B ……………………… 208
B.1 使用正弦波的 A－D 转换器非线性的直方图测量 ……… 208
B.2 均方误差 ………………… 210
B.3 测量不确定性 …………… 211
参考文献………………………… 213

缩略语表

A – D	Analog to Digital	模 – 数
ADC	Analog to Digital Converter	模 – 数转换器
ADSL	Asynchronous DSL	非对称 DSL
ATE	Automatic Test Equipment	自动测试设备
ATPG	Automatic Test Pattern Generator	自动测试矢量生成
BIST	Built – In Self – Test	内建自测
CAD	Computer Aided Design	计算机辅助设计
CDMA	Code Division Multiple Access	码分多址
CMFB	Common – Mode Feedback	共模反馈
CMOS	Complementary MOS	互补 MOS
CMRR	Common – Mode Rejection Ratio	共模抑制比
CPU	Central Processing Unit	中央处理单元
D – A	Digital to Analog	数 – 模转换
DAC	Digital to Analog Converter	数 – 模转换器
DAE	Differential Algebraic Equations	微分代数方程
DEM	Dynamic Element Matching	动态元件匹配
DFT	Discrete Fourier Transform	离散傅里叶变换
DfT	Design for Testability	可测性设计
DIBL	Drain – Induced Barrier Lowering	漏致势垒降低
DLPM	Die – Level Process Monitor	晶片级过程监控
DMT	Discrete Multi Tone	离散多音（调制）
DNL	Differential Non – Linearity	差分非线性
DR	Dynamic Range	动态范围
DSL	Digital Subscriber Line	数字用户线
DSP	Digital Signal Processor	数字信号处理器
DTFT	Discrete Time Fourier Transform	离散时间傅里叶变换
DUT	Device Under Test	被测设备
EM	Expectation – Maximization	期望 – 最大化
ENOB	Effective Number of Bits	有效位数
ERBW	Effective Resolution Bandwidth	有效输入带宽

ESSCIRC	European Solid－State Circuit Conference	欧洲固态电路会议
FFT	Fast Fourier Transform	快速傅里叶变换
FoM	Figure of Merit	品质因数
FPGA	Field Programmable Gate Array	现场可编程门阵列
GBW	Gain－Bandwidth Product	增益带宽
GSM	Global System for Mobile Communication	全球移动通信系统
IC	Integrated Circuit	集成电路
IF	Intermediate Frequency	中频
INL	Integral Non－Linearity	积分非线性
IP	Intellectual Property	知识产权
ISDN	Integrated Services Digital Network	综合业务数字网
ISSCC	International Solid－State Circuit Conference	国际固态电路会议
ITDFT	Inverse Time Discrete Fourier Transform	反时离散傅里叶变换
KCL	Kirchhoff’ Current Law	基尔霍夫电流定律
LMS	Least Mean Square	最小均方
LSB	Least Significant Bit	最低有效位
ML	Maximum Likelihood	最大似然
MNA	Modified Nodal Analysis	改进的节点分析
MOS	Metal Oxide Semiconductor	金属氧化物半导体
MOSFET	Metal Oxide Semiconductor Field Emitter Transistor	金属氧化物半导体场发射极晶体管
MSE	Mean Square Error	均方误差
MSB	Most Significant Bit	最高有效位
NMOS	Negative doped MOS	负掺杂 MOS
OFDM	Orthogonal Frequency Division Multiplex	正交频分复用
OTA	Operational Transconductance Amplifier	运算跨导放大器
PCB	Printed Circuit Board	印制电路板
PCM	Process Control Monitoring	过程控制监视

PDF	Probability Density Function	概率密度函数
PGA	Programmable Gain Amplifier	可编程增益放大器
PLL	Phase Locked Loop	锁相环
PMOS	Positive Doped MOS	正掺杂 MOS
PSK	Phase Shift Keying	相移键控
PSRR	Power Supply Rejection Ration	电源抑制比
PTAT	Proportional to Absolute Temperature	与绝对温度成正比
RF	Radio Frequency	射频
RSD	Redundant Sign Digit	数字冗余符号
S/H	Sample and Hold	采样和保持
SDM	Steepest Descent Method	最速下降法
SC	Switched Capacitor	开关电容器
SEIR	Stimulus Error Identification and Removal	信号源误差识别和减小
SFDR	Spurious Free Dynamic Range	无杂散动态范围
SINAD	Signal to Noise and Distortion	信纳比
SNR	Signal to Noise Ratio	信噪比
SNDR	Signal to Noise plus Distortion Ration	信号噪声加失真比
SoC	System on Chip	片上系统
SR	Slew Rate	压摆率
SVM	Support Vector Machine	支持向量机
THD	Total Harmonic Distortion	总谐波失真
UMTS	Universal Mobile Telecommunication System	通用移动通信系统
VGA	Variable Gain Amplifier	可变增益放大器
VLSI	Very Large – Scale Integrated Circuit	超大规模集成电路
WCDMA	Wideband Code Division Multiple Access	宽带码分多址
WLAN	Wireless Local Area Network	无线局域网
xDSL	HDSL、ADSL、VDSL、……	

物理量符号

a	关联矩阵 $\boldsymbol{A}$ 的元素
A	振幅、面积、放大器电压增益、关联矩阵
A_{f}	反馈放大器的电压增益
A_0	开环直流增益
b	电路分支数
B_i	输出代码数
B	有效阶段分辨率
B_{n}	噪声带宽
c_i	从输入矢量属于数据 x_i 的类
c_{xy}	过程校正因数取决于过程成熟度
$c_{h(i)}$	实现最高标准化故障覆盖率
C^*	Neyman – Pearson 关键区
C	电容，协方差矩阵
C_{C}	补偿电容，累积覆盖
C_{eff}	有效电容
C_{F}	反馈电容
C_{G}	栅极电容，运算放大器的输入电容
C_{GS}	栅极 – 源极电容
C_{H}	保持电容
C_{in}	输入电容
C_{L}	负载电容
C_{out}	寄生输出电容
C_{ox}	栅极氧化物电容
C_{par}	寄生电容
C_{tot}	总负载电容
C_{Q}	确定性初始解的函数
$\boldsymbol{C}_{\Xi\Xi}$	自相关矩阵
$\boldsymbol{C}$	对称协方差矩阵
CH[ ]	累积直方图
d_i	晶体管 i 在裸片上相对于原点的位置

D_i	参考电压的倍数
D_{out}	数字输出
D_{T}	设备总数
e	晶体管电流的噪声、误差、缩放参数
e_{q}	量化误差
e^2	噪声功率
E_{conv}	每个转换步骤的能量
f_{clk}	时钟频率
f_{in}	输入频率
$f_{\mathrm{p,n}}(d_i)$	协方差矩阵的本征函数
f_{S}	采样频率
f_{sig}	信号频率
f_{spur}	杂散频率
f_{T}	特征频率
F_{F}	折叠因数
F_{Q}	确定性初始解的函数
g	电导
G_{i}	级间增益
G_{k}	增益失配傅里叶级数系数
g_{m}	跨导
i	指数、电路节点、在裸片上的晶体管
I	电流
I_{amp}	总放大器电流消耗
I_{D}	漏极电流
I_{DD}	电源电流
I_{ref}	参考电流
j	指数，电流分支
$\boldsymbol{J}_0$	在 p_i 处估计的初始数据 z_0 的雅可比矩阵
k	波兹曼系数、误差校正系数、指数
K	放大器电流增益、增益误差校正系数
$l\ (\ )$	似然函数
L	通道长度
L_{R}	测量记录的长度
$L(\theta \mid T_X)$	参数 θ 相对于输入集合 T_X 的对数似然
m	不同级分辨率的数目、指数

M	项数
n	指数、电路节点数、列表中的故障数
N	位数、并行通道数、噪声功率
N_{aperture}	孔径抖动限制分辨率
P	功率
p	过程参数
$p(d_i,\theta)$	对应于过程参数 p 的随机过程
$p_{X/\Theta}(x/\theta)$	高斯混合模型
p^*	过程参数偏离其相应的标称值
p_1	放大器的主极点
p_2	放大器的非主极点
q	通道电荷、电路节点、指数
Q	品质因数
Q_i	量化步长数、累积概率
$Q(x)$	正态累积概率函数
$Q(\theta \mid \theta_{(t)})$	EM 算法中的辅助函数
r	分辨率、电阻、电路节点
R	电阻
r_{ds}	晶体管的输出电阻
R_{eff}	有效热阻
R_{on}	开关导通电阻
R_{out}	放大器输出电阻
R_{ref}	参考值（电流或电压）
s	晶体管尺寸的参数，观察到的转换器级
t	时间
T	绝对温度、采样周期、转置、测试、测试刺激
t_{ox}	氧化物厚度
t_{S}	采样时间
v_{f}	模拟输入信号的小数部分
UB_i	第 i 级的上限
V	电压
V_{DD}	正电源电压
V_{DS}	漏极 - 源极电压
$V_{\text{DS,SAT}}$	漏极-源极饱和电压
V_{FS}	满量程电压

V_{GS}	栅极－源极电压
V_{be}	基极－发射极电压
V_{in}	输入电压
$V_{[k]}$	偏移失配的傅里叶级数系数
V_{LSB}	对应于最低有效位的电压
V_{margin}	漏极－源极饱和电压的安全裕度
V_{off}	失调电压
V_{ped}	基座电压
V_{res}	残余电压
V_T	阈值电压
w	垂直于超平面的法向矢量、权重
w_i	应用测试刺激数字 i 进行测试的成本
W	通道宽度、参数矢量、损耗函数
W^*，L^*	由于制造变化引起的几何变形
$\boldsymbol{x}_i$	观察的矢量
$x(t)$	模拟输入信号
X	输入
y_0	电路的任意初始状态
$y[k]$	输出数字信号
Y	输出，产量
z_0	额定电压和电流
$z_{(1-\alpha)}$	标准正态分布 Z 的（$1-\alpha$）分位数
$z[k]$	重构输出信号
α	Neyman－Pearson 显著性水平、训练集的权重矢量
β	反馈系数、晶体管电流增益
γ	噪声过量因数、测量校正因数、参考误差
δ	相对不匹配
δ_{ramp}	给定满量程范围 V_{FS}的斜坡信号的斜坡
ε	误差
ζ	每个代码的样本、遗忘因子
η	基于距离的权重项、级增益误差
θ	裸片、未知参数矢量
p，n	协方差矩阵的特征值
κ	转换器转换代码
λ	显著性水平 α 的阈值、决策阶段偏移误差

λ_κ	过渡带的中心值
μ	载流子迁移率、均值、迭代步长
ν	从所提取的数据估计的拟合参数
ξ_i	测量数据 x_i 的错误分类的程度
$\boldsymbol{\xi}_n(\theta)$	零均值不相关高斯随机变量矢量
ρ	反映聚类空间规模的相关参数
$\boldsymbol{p}$	考虑设备容差的随机矢量
σ	标准偏差
σ_{a}	增益不匹配标准偏差
σ_{b}	带宽失配标准偏差
σ_{d}	偏移不匹配标准偏差
σ_{r}	时间不匹配标准偏差
τ	时间常数
Φ	存储在电感器中的磁通
ϕ	时钟相位
χ	电路相关比例因数
ω_{S}	主导极频率、角采样频率
ω_{GBW}	角增益带宽频率
$_{r,f}[\cdot]$	概率函数
Δ	相对偏差
$\Delta_{\mathrm{b}i}$	第 i 个信道中的带宽误差参数
$\Delta_{\mathrm{g}i}$	第 i 个通道中的增益误差参数
$\Delta_{\mathrm{o}i}$	第 i 个通道中的偏移误差参数
$\Delta_{\mathrm{t}i}$	第 i 个通道中的时间误差参数
Λ	斜坡的线性度
Ξ	准静态故障模型
Ξ_{r}	准静态节点电压的边界
Ω	测试统计信息的样本空间

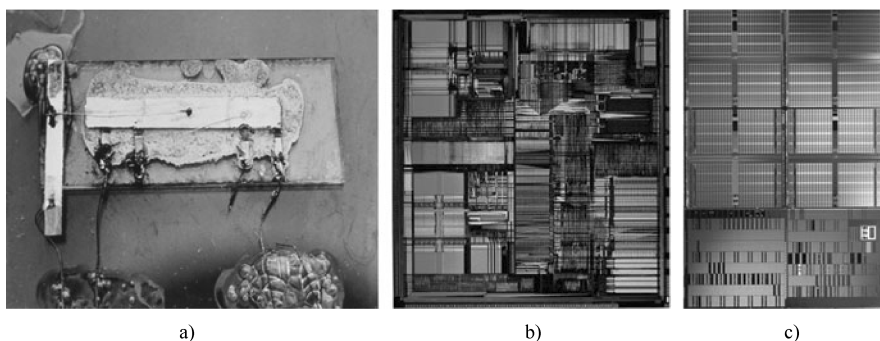
第 1 章　绪　　论

1.1　A－D 转换系统

模－数（A－D）转换与数－模（D－A）转换是大多数现代信号处理系统的关键部分，其中数字电路承担了大量复杂的信号处理工作。随着数字信号处理（DSP）集成电路越来越精密、处理速度越来越快，更多的处理功能在数字领域得以实现。在 DSP 电路能力强化的推动下，模－数转换器（ADC）必须以前所未有的频率工作，而且还要维持以前只在中等速度下达到的准确率。这一趋势有着若干动因，并对模拟电路设计产生了重要影响。以数字方式来处理大多数信号的动因是多方面的：数字电路在设计、测试和制造方面要比模拟电路便宜得多；以数字方式执行很多信号处理操作更简便；通过编程使得数字实现更灵活；而且数字电路的动态范围出众，从而具有更好的信号保真度。鉴于 DSP 的上述优点，采用模拟解决方案的操作越来越少。由于与 D－A 转换相比，A－D 转换通常需要更大功率和更高电路复杂度来达到给定的速度和分辨率，所以 A－D 转换往往是信号处理系统中的性能瓶颈。这一事实强调了在模拟电路设计中增强数字信号处理性能的第二个重要性。也就是说，由于 A－D 转换限制了整个系统的性能，所以在可预见的未来，改进的 A－D 转换算法和电路将会代表一个极其重要的研究领域。

因为推动了有巨大风险和获得了前所未有的成功的数字技术，过去几十年中 CMOS（互补金属氧化物半导体）技术已经出现并主导了主流硅 IC（集成电路）产业。随着光刻技术的改进，MOS 组件在过去 40 年中已经降低了其最小特征尺寸，并且极大地影响了数字集成电路的性能。在追求更高水平的系统集成性和更低成本的过程中，经济因素已经推动技术寻求在单个裸片上使用相同或兼容的制造工艺集成模拟和数字功能的解决方案。随着 MOS 晶体管必然的缩放和时间的推移，通过特征频率 f_T 指数的增加测量出来的原始器件的速度实现了巨大的跨越，这个频率是晶体管仍然会产生的统一的电流增益的频率。技术的进步最终导致了 CMOS 模拟电路性能的明显改进，开辟了使用纯 CMOS 技术实现系统集成的途径。性能的增强，例如三阱的选择，甚至有助于减少噪声串扰问题：与嘈杂的数字逻辑门共享精密模拟电路的基板的主要实际限制之一。随着 CMOS 集成电路正在进入前所未有的工作频率和到达从未接触过的集成水平（见图 1.1）；随着技术进入深亚微米范围，与器件缩放相关的潜在问题——短沟道效应也越来越大。此外，添加复杂

的工艺过程来控制这些副作用是非常昂贵的，所以短沟道晶体管的紧凑器件建模已经成为器件物理学家的主要挑战。而且，某些器件特性（例如平方律 $I-V$ 关系）的缺失对于旧一代技术设计的电路的可移植性有着不利的影响。较小的晶体管在许多器件参数上还表现出相对较大的统计变化（即掺杂密度、氧化物厚度，阈值电压等）。由此产生的在组件特性上的大的扩展也导致了模拟和数字电路严峻的产量问题。



a) b) c)

图 1.1 a）第一个集成电路，1958 年（版权所有© Texas Instruments：源 – www. ti. com – 公共领域） b）革命性的 Intel 公司奔腾处理器，采用 0.8μm 技术制造，包含 310 万个晶体管，1993 年 c）Intel 公司的 45nm 测试芯片包含超过 10 亿个晶体管，2008 年（版权所有© Intel 公司：源 – www. intel. com – 公共领域）

高度集成的 CMOS 无线收发器中的 A – D 转换接口电路对技术缩放非常敏感。在接收机设计中，有更多的多标准敏捷的数字信号需要处理，这种趋势最近引起了对低功率、低电压 A – D 转换器的巨大需求，其可以用主流深亚微米 CMOS 技术实现。为了适合嵌入式应用，此类规格的转换器强调高动态范围和低杂散光谱性能。在 CMOS 射频片上系统（SoC）中，不管频率转换是用单转换，例如直接转换和低中频架构或宽带中频双转换低中频架构，还是宽带中频双变换，在存在带内阻滞（强相邻信道干扰信号）的情况下，芯片上缺乏高品质中频信道选择的滤波器不可避免地会在基带电路上施加大的动态范围。例如，某些无线标准规范在最坏阻塞情况下（例如 GSM）规定了 12bit 或更多 bit 的转换线性度，以避免由于失真假象而丢失较弱的接收信号。最近的研究还强调了中频数字化架构的趋势，以提高可编程性并应用于更多的数字接收机，然而先进的数字化接口的天线会加剧现有的动态范围的问题，因为它还需要高的过采样率。迄今为止在具有低功耗低电压的深亚微 CMOS 技术下同时实现高线性度、高动态范围和高采样速率，被认为极具挑战性。

在图 1.2 中描述了数字系统中典型的模拟信号到数字信号和数字信号到模拟信号的接口。自然界中遇到的大多数信号在时间和幅度上都是连续的。A – D 转换器将模拟信号转换为离散时间数字编码形式，用于数字处理和传输。通常，A – D 转

换包括两个主要过程：采样和量化，如图 1.2 中的子块所示。模拟输入信号的带宽通过抗混叠滤波器限制在奈奎斯特频率。该带限信号随后被输送到对数字信号执行第一步骤的采样和保持级。将在时间上连续的输入信号转换为离散时间信号。然而，幅度在采样保持阶段之后保持连续。振幅的量化由 A－D 转换器进行。在连续时间信号到离散时间信号的转换期间，如果信号被频带限制到奈奎斯特频率，则没有信息丢失，但将连续信号映射到有限数量的离散值，也就是进行振幅量化时不可避免地导致减少信息，使得信号的完全重建不再可能。因此，A－D 转换器限制了整个系统的精度和动态范围，因此必须特别注意转换器的设计。

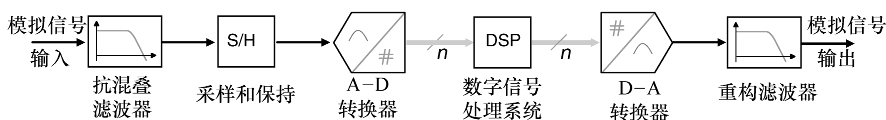


图 1.2　具有模拟信号输入和输出量的典型数字系统

除了上述限制之外，A－D 转换器的输出由表示模拟输入信号的数字数据组成。数字系统处理这些数据，该系统可以像单个数字滤波器那样简单，也可以像数字电话系统那样复杂。无论如何，结果输出也是必须被数－模（D－A）转换器转换回到模拟信号的数字数据，其输出仍是离散时间信号的模拟量。最终重建滤波器会创建连续时间输出信号。虽然整个系统似乎非常复杂，但它相对于纯模拟信号处理具有许多优点。最明显的优势是系统的灵活性。如上所述，数字信号处理块可以执行从非常简单到非常复杂的任何任务。在模拟域中许多任务实现起来非常复杂，例如存储大量数据，在数字域中相对容易。此外，整个系统可以被制成可编程的或甚至适应当前的情况。在模拟信号处理系统中，功能的添加通常使信号劣化。任何过滤阶段，例如添加到信号路径的过滤阶段都会增加噪声信号，从而降低动态范围。然而，在数字系统中，一旦模拟信号被转换到数字域，损失就很小，无论使用数字数据执行的操作有多么复杂。

A－D 转换器应用于众多场合（见表 1.1）。近年来，由于许多以前完全是模拟电路电子系统已经使用数字电子器件来实现，A－D 转换器的应用范围大范围地扩展。这种应用的示例包括数字电话传输、无绳电话、交通和医学成像。消费产品，例如高保真音频和图像处理，需要非常高的分辨率，而先进的雷达系统和具有超宽带宽的卫星通信需要非常高的采样率（1GHz 以上）。受益于更高分辨率 A－D 转换器，先进的雷达、监视和智能系统具有更高的频率和更宽的带宽。

表 1.1 A-D 转换器的完整应用范围

医疗成像	天线阵列位置	便携式仪器（电池）
正电子发射断层	扫描中频采样	手持式示波器
MRI 接收器	CDMA2k、WCDMA、TD-SCDMA	数字示波器
非破坏性超声	IS95、CDMA-One、IMT2000	频谱分析仪
超声	BS 基础设施	通信仪器
超声波束形成系统	AMPS、IS136、（W）-CDMA、GSM	仪器仪表
X 射线成像	直接转换	雷达、红外成像
医疗扫描转换器	数字接收器单通道	雷达、声呐和卫星子系统
光网络	通信子系统	功率敏感军事设施
宽带接入	宽带载波频率系统	天文学
宽带 LAN 点	点对点无线电	无线电平板显示器
通信（调制解调器）	GPS 抗干扰接收器	投影系统
电力线网络	MMDS 基站	CCD 成像
家庭电话网络	WLL	机顶盒
无线本地环路（WLL）、固定接入	I&Q 通信	甚小孔径终端端子/接收器
WLAN	DSP 前端	多媒体
VDSL、xDSL 和 HPNA	磁带驱动器	电影扫描仪
功率放大器线性化	相控阵接收机	数据采集
宽带无线	安全通信	票据验证
正交无线电接收器	数字接收器	电动机控制
电缆反向路径	天线阵列处理	工业过程控制
通信接收机	天线阵列处理	光学传感器
分集式无线电接收机	数字接收器	电缆头端系统
维特比译码器	视频成像	测试和测量设备

1.2 浅谈当前的设计与调试实践分析

减少与高速采样和量化相关的功率耗散是许多应用中的主要问题，这些应用包括诸如摄像机、蜂窝电话之类的便携式视频等设备使用自带无线局域网（WLAN）收发器进行数字数据检测或其他功能。随着互联网和信息点播快速增长，手持无线终端正变得越来越受欢迎。考虑到合理尺寸的电池下有限的能量，该电力消耗水平可能不合适，并且进一步的功率降低对于功率优化的 A-D 转换接口是必要的。随着集成电路的集成度不断提高，迫使 A-D 转换器接口和有复杂信号的集成电路集成在同一芯片上，该集成电路主要包含 DSP 和控制的数字块。使用相同的电源电

压用于模拟和数字电路，不需要通过使用 DC – DC 变换器产生多个电源电压，从而降低了整个系统成本。然而，在诸如通信应用的各种应用中的转换器的规格强调高动态范围和低伪频谱性能。在单片环境中实现这种水平的线性度是不容易的，其中对于某些应用来说，后加工部件因为成本和可制造性原因修整或校准非常麻烦。实现完全系统集成的另一个障碍来自于由深亚微米数字 CMOS 器件的栅极氧化物可靠性所决定的低电压提供的 A – D 转换接口电路的功率效率。

类似地，集成电路制造过程本身既不是确定性的也不是完全可控的。存在于制造环境中的微观颗粒和制造步骤的参数的轻微变化都可导致集成电路的几何和电性能偏离设计过程结束时的要求。取决于集成电路拓扑和缺陷的性质，这些缺陷可导致各种类型的故障。在半导体制造设备中生产的硅晶片通常经历电和光学测量以确定电性能参数是否在允许的限度内。这些测量用过程控制监视（PCM）数据进行增强，然后将所获得的信息用于 Fab 中以决定是否需要重新处理一些晶片工艺层，以及是否应通过在线路后端进行特殊特性测试，以确保它们的电操作值满足先验规格，例如温度范围、耐用性、速度等。

各种用于估计晶片的器件产量的模型（通常基于裸片尺寸、工艺线宽和颗粒累积）被构建出来。再通过在晶片切割之前执行的晶片探测（电测试）的结果来确定产量。混合信号器件的功能测试是非常彻底的，并且可以基于这些测试结果获得关于电路故障块和机制的大量信息。产量信息的最简单形式是统计总量下通过与失败的比例，其中产量通常表示为每个晶圆上良好晶块的百分比，以使得工艺和产品比较更容易。原则上，产量损失可以由几个因素引起，例如晶片缺陷和污染、集成电路制造工艺缺陷和污染、工艺变化、封装问题和设计误差或不当的设计实现或方法。在不同阶段的持续测试对于最小化成本和提高质量至关重要。

早期发现缺陷芯片的存在是非常必要的，因为检测制造部件中的不良部件的成本在每个组装水平上增加了 10 倍。在半导体工业中，虽然制造晶体管的成本急剧下降，但同时，测试每个晶体管的成本保持相对稳定。因此，2012 年左右测试晶体管将花费与制造晶体管相同的金额。通常，对于无故障裸片，集成电路测试成本由每单位时间运行测试器的成本乘以每个集成电路的总测试时间给出。然而，对于由 ATE（自动测试设备）和探测器或处理器组成的给定工业测试设施和给定的测试产量，测试成本参数是无故障产品的测试时间和有故障产品的平均测试时间。对于测试模具的平均成本，还必须考虑缺陷模具的参数测试产量和平均测试时间。无故障芯片的测试时间是用于测量和处理测量数据的完整测试程序总时间。故障模具的测试时间也起作用的事实意味着测试应该根据它们在检测缺陷方面的成功率来排序。

还应注意，晶片装载或封装处理时间也是测试时间的重要参数。在处理时间与测试时间相当的情况下，减小测试长度显然是不够的。在这些情况下，必须应用替代解决方案，例如多中心测试，以便利用（一部分）处理时间来测试另一个集成

电路。影响测试产量的剩余因素，取决于工艺产量与测试和测量误差的存在。从成本和质量问题的讨论中可以清楚地发现，具有高故障覆盖率的测试可以提高集成电路芯片的质量和成本数字。随着对低缺陷水平不断增长的需求，迫切需要对所有可能的工艺参数变化的影响进行建模和测试。这些缺陷高度依赖于工艺类型，并且它们对总体电路行为的影响取决于设计的工艺公差。集成电路的可能的故障实际上是无限的，但是如果仅考虑最可能的故障，可以创建有限集合。

要开发实际的各种故障模型，应考虑各种故障的成因和影响。由于诸如氧化物厚度、掺杂、线宽和掩膜未对准的工艺参数的统计波动，产生参数变化（以其标准偏差 σ 来测量）。从电路的完全故障（灾难性）到某些电路参数（例如增益、线性度）的性能略微超出规格，甚至可能在给定的规格内，产生的影响是不同的，但构成了可靠性风险。通常，测试每个晶片上的工艺监控电路，以确保所有关键工艺参数都在规格范围内，使得可以假设晶片上尚未测试的芯片没有过度的工艺变化。然而，芯片（或芯片内的电路）局部的工艺变化可能超出规格。

表 1.2 给出了所有缺陷和故障。每行对应于导致故障的制造过程缺陷，从全局过程变化到局部变化以及短路和断开。每列对应于缺陷对被测电路的性能的影响，从参数故障到灾难性故障。最可能发生的参数故障很难进行测试，但也是最重要的。如果通过测试的电路在所有工作条件下都满足所有性能规范，则测试仪的故障覆盖率为 100%。导致没有规格失效但可能降低可靠性的缺陷可以在 3 种失效状态中区分：早期，其中产品显示高但随着时间减小的失效率，直到失效率稳定，随机失效期和当产品的寿命终止时故障率再次增加的终结期。3 个时期的缺陷的性质通常是非常不同的早期故障期中的大多数故障，这是由制造缺陷引起的，例如金属线中的接近开路和短路、隔离电介质中的弱点或封装中的不良键合的键合线。在随机故障期间，出现了许多不同的根源，以特定事件相关的故障（如雷电，在汽车电池断开期间发生的负载突降峰值或其他过载事故）最为明显。终结期间的故障与

表 1.2　缺陷和故障的类别

缺陷（原因）	故障（效应）		
	在规格范围内	参数失败	灾难性失败
工艺参数性规格限制内	无缺陷无故障	具体的设计不能解释所有可能的参数组合的所有可能的条件	设计中的疏忽，例如工艺参数组合的相位裕度不足
工艺参数超出规格限制	可靠性风险，例如金属间电介质太薄	经典参数故障与软故障	例如低电压 V_T 导致晶体管不关断
短路和开路发生	发生由于未指定的性能，例如短路，导致过大的电流，而电路仍然在规格内	轻微失败的规格，例如短路在闪存 A－D 转换器电阻链造成一些不正确的输出代码	经典灾难性和硬故障

产品中使用的材料和装置的固有特性以及诸如温度、电压和电流的产品使用条件（包括它们的时间依赖性）相关。终结期失效机制的实例是电迁移（栅极）氧化物击穿、热载流子降解和移动离子污染。可靠性工程一方面处理系统，以降低早期失效和随机失效，另一方面保持磨损阶段超过实际持续时间，这超出了本书的范围不会进一步讨论。

另一个对于集成电路成本间接贡献的测试相关因素是内建自测（BIST）和可测性设计（DfT）电路设计的面积贡献。事实上，以有效的方式添加 BIST 和 DfT 可以帮助降低测试开发和调试成本，从而至少补偿额外面积成本的一部分。最后，在线调试因为其昂贵的操作 ATE 带来的高成本，也经常被看成成本的一部分。一些 ATE 制造商虽然提供用于离线调试的调试软件，但是很大一部分被测设备（DUT）仍然进行在线调试。混合信号电路仍未实现测试器和接口板模型的标准化。

从历史上看，数字和模拟测试的发展的步伐非常不一致，使得现在模拟测试方法比数字对应方案早得多。用于自动测试生成和测试电路植入的计算机辅助设计（CAD）工具从 20 年前就已经用于数字电路。其主要原因是离散信号和时间值，容易将制定测试表示为数学问题。对于数字电路来说，起作用和不起作用的区别是显而易见的。对于模拟电路设计，相对于数字电路，无故障和有故障电路的定义更加明确，可以看成规范阈值和应用灵敏度的问题。在模拟信号处理电路中，不仅可以有两个信号值选择，而且原则上有无限多个信号值可选择。类似地，模拟信号的时间变化性质带来外部维度的问题。此外，故障效应在数字方面不可能传播到输出，因为故障效应在所有方向上传播，因此该传播模式的计算比在数字情况下复杂得多。故障存在于某个节点的信息不容易包含该节点的信号值信息，从而需要耗费时间进行信号值的计算。非线性、电路块之间的负载、存储能量的组件和寄生效应的存在使这些计算进一步复杂化。

1.3　动机

随着 CMOS 制造技术的快速发展，越来越多的用于更低的成本、更低的功耗、更高的产量和更高的可重新配置性的信号处理功能在数字域中得到实现。可以在主流深亚微米 CMOS 技术中实现的低功率、低电压的 A – D 转换器，最近产生了巨大的需求。然而，光刻波长和电路特征尺寸之间的差异正在增加。较低的电源电压明显降低了噪声容限，并增加了工艺、器件和设计参数的变化。因此，更加难以足够精确地、稳定地控制制造工艺以保持均匀性。在纳米级尺度的制造中使用的材料的固有随机性意味着性能将越来越容易变化，不仅从裸片到裸片，而且在每个单独裸片内。参数变化性将由于纳米级集成电路中的退化而混乱，导致参数随时间的不稳定性，最终导致故障的产生。工艺变化不能通过改进制造公差来解决，必须通过新

的设备技术或者通过设计来控制以减少可变性以便继续缩放。类似地，裸片内的性能变化也给测试方法带来了新的挑战。

为了解决这些问题，本书特别关注：①通过探索低电压模拟电路设计和校准技术的潜力，提高高分辨率、高速和低杂散光谱 A－D 转换性能的功率效率；②开发电路技术和算法，以增强测试和调试动态检测错误的潜力、隔离和限制故障以及连续恢复错误。这将变得越来越重要，因为设备状态参数随时间的推移逐渐劣化，需要运行时重新配置。

1.4 本书内容组成

本书第 2 章综述了高速、高分辨率 A－D 转换器架构，并讨论了模拟电路的设计挑战以及转换器在深亚微米 CMOS 中的通用构建块的设计选择技术。基于这种评估，选择多步 A－D 转换器以探索低电源电压下的功率效率的突出问题。第 3 章更详细地描述了多步 A－D 转换器架构，重点介绍了每个阶段的关键设计技术，并介绍了电路实现的细节。特别地，确定了误差源并且显示了用于减小它们的影响的电路技术，并以原型实验结果的总结为结尾。第 4 章首先侧重于新型计算机辅助和设计测试电路技术，以增强对转换器性能的随机过程变化的分析。还提出了片上连续时间波形发生器和内置转换器参数表征的方法，并以一种用于评估受工艺变化和电路噪声影响的集成电路设计的新型统计模拟工具结束，以片上连续时间波形发生器作为代表性示例来评估该方法的有效性。开发用于增强调试前景的电路技术和算法在第 5 章中介绍。最初，介绍了一种监视裸片级过程变化的方法，以允许估计所选性能数据并在某些情况下指导测试。本章还继续讨论如何通过监测过程变化获得的信息以及如何估计所选性能数据来指导测试，而且终止于基于最陡下降法的静态误差的诊断分析。在该方法中，在将模型应用于误差估计和故障隔离的自适应滤波算法查找表之前，识别和建模最常见的误差。最后，讨论调试－校准关系，并给出实验结果。在第 6 章中，总结了主要结论，并提出了进一步研究的建议。

第 2 章　A－D　转　换

2.1　高速、高分辨率 A－D 转换器架构选择

由于数字信号处理的存在，A－D 转换器一直在模拟和数字世界之间起着非常重要的作用。它们通常以应用指定的固定的时间周期执行模拟信号的数字化。A－D 转换过程涉及对应用的模拟输入信号进行采样，并在通过后续数字系统进一步信号处理之前，将其与参考电压进行比较，从而量化为数字表示。根据这些功能组合，可以依据每个功能的不同要求来实现不同的 A－D 转换器架构。要实现功耗优化的 A－D 转换器功能，在讨论系统问题之前，了解每个功能的性能限制很重要。在本节中，介绍了基本 A－D 转换过程的概念以及每个关键构件模块功耗的基本限制。

2.1.1　多步 A－D 转换器

并行（快速）A－D 转换是迄今为止最快且概念上最简单的转换过程[1－21]，其中模拟输入应用于比较器电路的一侧，另一侧连接到从零到满量程的适当电平作为参考。阈值电平通常由一个或多个参考电阻分压成一系列等间隔电压来产生，并应用于每个比较器的一个输入。对于 n 位分辨率，2^n-1 个比较器同时评估模拟输入，并将数字输出生成为温度计码。由于快速转换器每次转换只需要一个时钟周期，因此它通常是最快的转换器。另一方面，快速 A－D 转换器的分辨率受到电路复杂性、高功率耗散、比较器和参考不匹配等因素的限制，它的复杂性随着分辨率位数的增加，以指数形式增长。因此，功耗和芯片面积也随分辨率位数呈指数增长。分辨率每增加一位，组件匹配要求也增加一倍，因此快速转换器的有用分辨率被限制在 8～10 位。快速 A－D 转换器设计的各种不利影响将在 3.4.1 节进一步讨论。

为了降低硬件复杂性，减少功耗和芯片面积，并且提高分辨率而保持高转换率，快速转换器可以扩展到两步/多步[22－39]或分级架构[40－53]（也称为串联－并联转换器）。概念上，假设 n_1，n_2，…，n_m 都等于 n，这些类型的转换器需要 $m\times2^n$ 个，而不是 $2^{m\times n}$个比较器用于全快速实现。然而，分级、两步/多步 A－D 转换器中的转换不像快速 A－D 转换器那样瞬时发生，而且输入必须保持恒定，直到量化器完成其转换。因此，需要采样和保持（S/H）电路来提高性能。转换过程分为两个步骤，如图 2.1 所示。第一，A－D 子转换器对于输入信号执行粗略转

换。D－A 转换器用于将第一 A－D 子转换器的数字输出转换回模拟域，然后从模拟输入中减去 D－A 转换器的输出。结果信号，又称为残余信号，被放大并且馈送到第二 A－D 子转换器并执行精细转换到全分辨率。两个阶段之间的放大不是严格必需的，而是在大多数情况下执行。借助于该放大级，第二 A－D 子转换器可以以与第一 A－D 子转换器相同的信号电平工作，因此具有相同的精度要求。在转换结束时，两个 A－D 子转换器的数字输出被求和。

通过使用并行处理，该架构的吞吐量可以维持与快速 A－D 转换器相同的速率。然而，由于额外的用来减少精度比较器数量的阶段，转换的输出具有两个时钟周期的延迟。如果系统可以容忍转换信号的延迟，则两步转换器是较低功率、较小面积的替代方案。

2.1.2　管线 A－D 转换器

两步结构在转换器前面配备了 S/H 电路（见图 2.1）。该附加电路是必要的，因为输入信号必须保持恒定，直到完成整个转换（粗略和精细）。通过在两个转换器级之间增加第二个 S/H 电路，可以明显提高两步 A－D 转换器的转换速度（见图 2.2）。在第一时钟周期中，输入端 S/H 电路对模拟输入信号进行采样并保持该值，直到第一级已经完成其操作，并且减法电路和放大器的输出已经稳定。在下一个时钟周期中，两级之间的 S/H 电路保持放大的残余值。因此，第二阶段能够独立于第一阶段对该残余信号进行操作，这使得第一阶段又可以转换新的、更近的样本。由于两级的独立操作，流水线两步转换器的最大采样频率由第一级的稳定时间决定。为了产生一个采样的数字输出，第一级的输出必须通过移位寄存器（SR）延迟一个时钟周期（见图 2.2）。尽管通过流水线操作提高了采样速度，但是模拟输入的采样和相应数字值的输出之间的延迟仍然是两个时钟周期。然而对于大多数应用程序，延迟可以忽略不计，只有转换速度很重要。在所有信号处理和电信应用

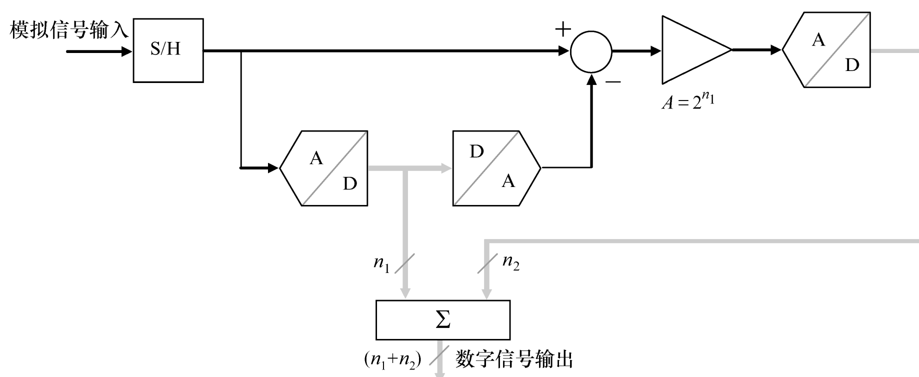


图 2.1　两步 A－D 转换器

中，主要延迟是由数字信号处理引起的，因此甚至超过两个时钟周期的延迟都不是问题。

如上所述的架构不仅仅局限于两个阶段。因为级间 S/H 电路使各个级去耦，所以无论单个级还是任意数量的级跟随第一级，转换速度没有差别。这导致通用的流水线 A－D 转换器架构，如图 2.3 所示[54－89]。每级由 S/H、n 位快速 A－D 转换器、重建 D－A 转换器、减法器和余量放大器组成。这种转换机制类似于多级转换器中的每级转换。不同的是，放大的残留物通过下一个 S/H 电路进行采样，而不是直接输送到下一个阶段。

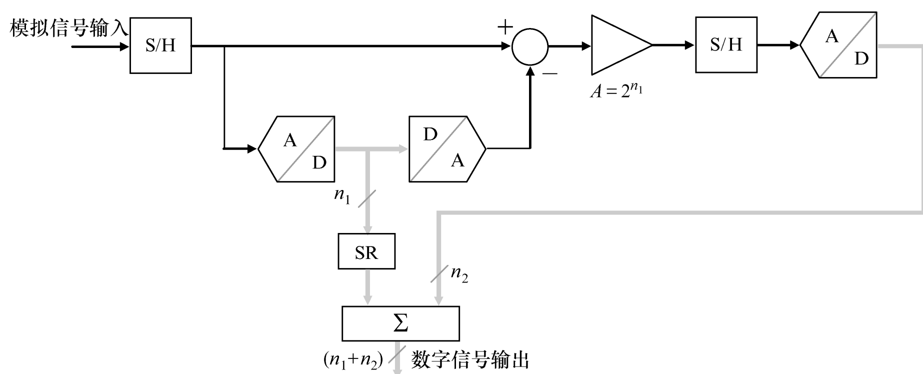


图 2.2　附加 S/H 电路和 SR 的两步转换器

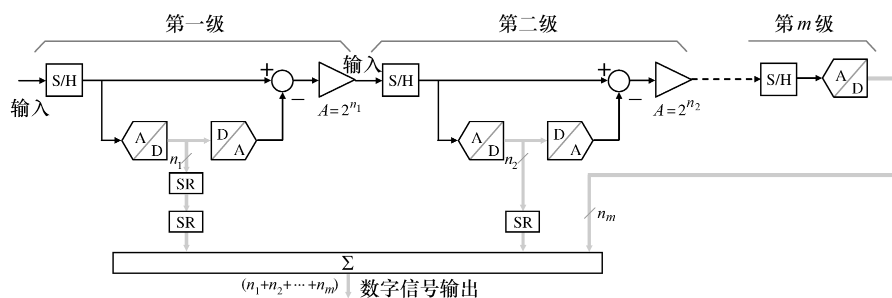


图 2.3　多级流水线 A－D 转换器架构

通过使用适当数量的延迟寄存器，组合逻辑和数字纠错逻辑，将来自量化器的所有 n 位数字输出组合为最终代码。虽然此操作在生成有效输出代码之前会产生对应于子转换级的延迟，但转换速率则由每个子级的转换时间决定，而每级转换时间取决于重建 D－A 转换器和残留放大器稳定时间。多级流水线结构将快速转换器的高吞吐量的优点与分级/多步转换器的低复杂性、功耗和输入电容相结合。相比于两步转换器，流水线 A－D 转换器架构的优点是每级选择位数的自由度。原则上，

每级任何位数甚至到一位都是可能的。甚至可以通过省略在各个级[59]中使用的快速 A－D 子转换器的前端比较器来实现非整数位，例如每级 1.5 位。虽然每级的位数在整个流水线中是相同的会比较常见，但却不是必要的，可以针对每级单独地选择[65－69]。流水线架构的唯一真正的缺点是延迟的增加。对于一个 m 级的 A－D 转换器，延迟 m 个时钟周期。因此，对于每级具有少量位的架构，延迟可以是 10～14 个时钟周期或甚至更多。

2.1.3 并行管线 A－D 转换器

通过使用并行架构[90－106]以如图 2.4 所示的时间交织方式可以进一步提高吞吐速度。第一个转换器通道处理第一个输入采样，第二个转换器通道处理下一个，依此类推，直到最后一个转换器通道已处理其各自的采样时，第一个转换器再处理

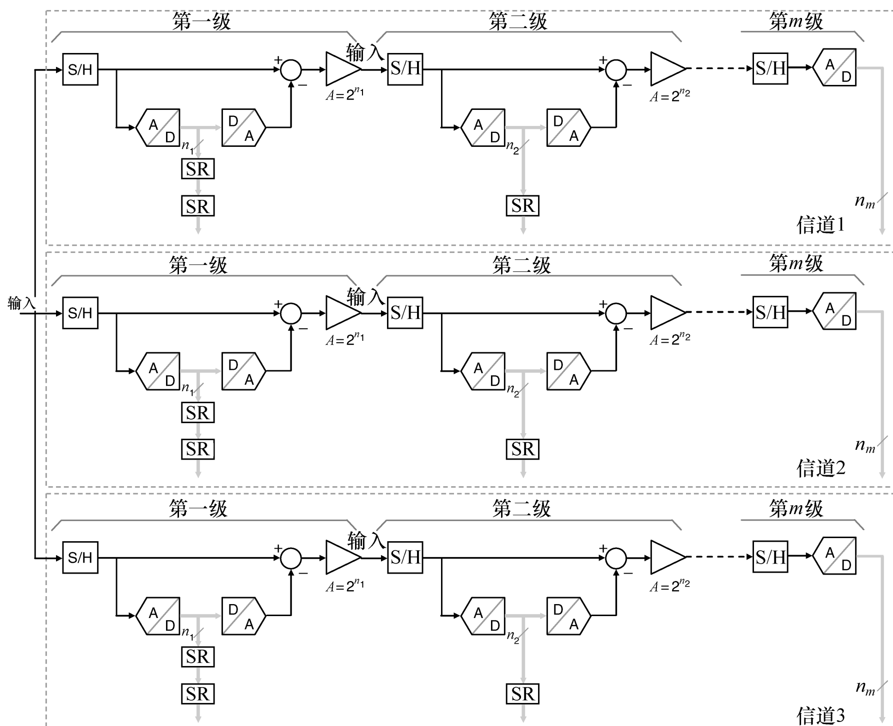


图 2.4 并行流水线 A－D 转换器架构

下一轮信号（参见 3.1 节，时间交织系统中的相关问题）因此，单个 A－D 转换器以比整个转换器低得多的采样频率运行，每个转换器降低的转换速度等于并行的 A－D 转换器的数量。完整接收这种组合转换器输入信号带宽的唯一模块是每个 A－D 转换器的 S/H 电路。理论上，转换速率可以随并行路径的数目的增加而增加，

其代价是功耗和硅面积随之增加。与并行 A – D 转换器相关的第二个问题是路径不匹配。在操作期间，输入信号必须通过从输入到数字输出的不同路径。如果并行的所有 A – D 转换器相同，则这些路径也是相同的。然而如果在各个转换器之间发生偏移、增益、带宽或时间失配，则每次从一个转换器切换到另一个转换器时，输入信号的路径改变。这种行为在复合 A – D 转换器的输出端引起固定模式噪声，可以在频域中检测为杂散谐波[90]。如何在采样信号的频谱中看到这些误差，将结合 3.2 节中的时间交织 S/H 进行讨论。当使用单个 A – D 转换器难以实现所需要的高采样率时，并行架构是有利的。虽然架构一目了然，但提高中速转换器的转换率，并行 A – D 转换器通常不是最好的折中方案。根据本书中描述的这些 A – D 转换器，决定采用两步/多步转换器来获得更高的速度。

2.1.4　A – D 转换器实现比较

在本节中，比较了一些最近发表的高分辨率 A – D 转换器。表 2.1 ~ 表 2.4 显示了 1998 ~2008 年，在快速转换器、两步/多步/分级转换器、流水线和并行流水线转换器等类别中实现的 A – D 转换器的品质因数（FoM）。将耗散功率 P 规范化为有效分辨率 ENOB 和有效分辨率带宽 ERBW，$\mathrm{FoM} = P/(2^{\mathrm{ENOB}} \times 2^{\mathrm{ERBW}})$[107]用来衡量每次转换时每达到所需要的分辨率时需要的功率。目前为止，最先进的奈奎斯特 A – D 转换器的 FoM 约为 1pJ /转换。

表 2.1　实际应用的快速 A – D 转换器表

参考文献	N	ENOB	f_S/(MS/s)	ERBW/MHz	P/mW	FoM/pJ
[8]	6	5.8	500	160	225	12.6
[9]	6	5.2	500	250	330	17.3
[11]	6	5.2	1300	750	545	11.4
[13]	6	5.2	22	11	0.48	0.6
[14]	6	5.3	1300	600	600	12.7
[15]	6	5.4	2000	1000	310	3.5
[16]	6	5.7	1200	600	135	2.2
[17]	6	5.2	4000	1000	990	13.5
[19]	5	4.7	1000	200	46	1.8
[21]	5	4.0	5000	2500	102	1.3

从表 2.1 可以看出，由于所需较大的固有电容，快速结构（几乎或）根本不用于 6 位以上的精度。快速 A – D 转换器最突出的缺点是比较器的数量随位数呈指数增长。而且增加比较器的数量还增加了电路的面积以及功耗。限制了分辨率和速度的其他问题包括非线性输入电容、与位置相关的参考节点的时间常数、大面积布置的比较器的不相干定时以及比较器偏移。为了减少参考电阻梯失配的影响以及比

较器的不等输入失调电压对 A－D 转换器线性度的影响，有几种方案，例如在锁存器前插入前置放大器[1]、添加斩波放大器[2]和自动归零方案来对锁存器或数字背景校准之前的电容器中的偏移进行采样[18]。或者，偏移和输入电容可以通过平均[108,109]以及内插[110]组合的分布式预算放大器来减小。由于薄氧化物改善了晶体管的匹配性能，因此可以使用更小的器件在新一代的技术中使用，并实现相同的匹配精度。这种技术已经被许多最近的快速转换器所利用，以提高转换的能量效率。

两步/多步/分步架构实现的 FoM 对于 ENOB 的不同值是相对恒定的。在表 2.2 中显示了两步/多步/分步转换器的 FoM 增加的速度低于限制噪声的架构（比如多级流水线）增加的速度。尽管比较器的数量从快速架构就大大减少，但是路径匹配是一个问题，并且在一些情况下，输入带宽被限制在与转换率相比相对低的频率[23,24,26]。通过包括级间增益放大器来放大精细比较器组[22,25]的信号，可以放宽精细比较器精度要求。虽然 D－A 转换器和残余放大器的输入都需要全分辨率要求，但是可以通过数字误差校正来放宽粗略 A－D 转换器部分的要求。如果一个级由于比较器偏移而减去比它名义上更小的参考，则后续级需要减去更大的参考来补偿这一点。这种广泛使用的误差校正方法被称为数字冗余符号（RSD）校正，其首先被开发用于文献［111，112］中的算法 A－D 转换器，并且随后在流水线 A－D 转换器[59]中使用。其他相关方法也已被使用[54]。

表 2.2　实际应用的两步/多步/分步 A－D 转换器表

参考文献	N	ENOB	f_S/(MS/s)	ERBW/MHz	P/mW	FoM/pJ
［30］	10	9.1	25	12.5	195	14.2
［31］	14	12	100	50	1250	3.1
［32］	12	10.3	50	25	850	13.5
［33］	13	11.1	40	15	800	12.1
［34］	12	10.3	54	4	295	29.2
［35］	10	9.1	160	10	190	17.3
Ch 3［37］	12	10.5	60	30	100	1.1
［38］	15	10.8	20	2	140	19.7
［50］	12	10.1	40	20	30	0.7

冗余允许量化误差，只要残差保持在下一级的输入范围内即可。错误可以是静态的或动态的，只有进入校正逻辑电路的位与 D－A 转换和在冗余形成中使用的位匹配。可以容易地将相同的校正方法扩展到更大的分辨率级。至少，需要一个额外的量化级[113]，但是对于最大误差容限，比较器的标称数量必须加倍。粗略 A－D 转换器部分的误差容限水平取决于精细 A－D 转换器部分可以提供多少数字误差校正范围。校正范围从文献［24］中的 ±3 LSB 到文献［22，25］中的 S/H 级间放

大器的更大值。

如果使用过/欠范围保护，粗略转换器的偏移要求可以大大放宽；但是作为快速结构，精细转换器也会有一个类似的匹配问题。也可以应用插值来减少前置放大器的数量及其大小。平衡设计通常可以实现接近于流水线转换器的每次转换的能量效率。由于两步/多步结构是匹配有限的，可以应用校准以减小固有电容。可以采用混合信号或全数字这两种方法来校准误差。在混合信号校准中，错误的分量值从数字输出测量出来并调整到更接近其标称值[34]。校正应用于模拟信号路径，因此需要额外的模拟电路。在全数字方法中，不调整分量值[114]，然而该方法的精度取决于测量的精度。在分级转换器中，虽然缺少残余放大器对第二量化器施加严格的偏移和噪声要求，但可以使用自动归零[48]、取均值[50]或背景偏移校准[49]。利用时间交织的第二量化器来增加有效采样率[46]。

流水线 A－D 转换器的 FoM 随实现的 ENOB 的增加按函数形式增加（见表 2.3）。该架构通过利用开关电容器在离散时间域中提供非常精确的和线性的模拟放大和求和操作的技术优势而不断完善。当输入是快速变化的信号时，第一级 S/H 电路和子 A－D 转换器的相对定时是关键的，并且通常利用前端S/H 电路来放宽条件。在相反的时钟相位中进行连续的操作，导致了一个采样在一个时钟周期中经过两个阶段。因此，时钟周期中的延迟通常是级数加 1 的一半，这是数字纠错所需要的。出于反馈目的，较少的等待时间是必要的，可以在第一阶段之后使用粗略的结果。样本的不同位在不同时间就绪，因此需要数字延迟线来对准位。

表 2.3　实际应用流水线 A－D 转换器表

参考文献	N	ENOB	f_S/(MS/s)	ERBW/MHz	P/mW	FoM/pJ
[66]	14	12	20	10	720	8.8
[72]	14	12.5	2.5	1.2	145	5.0
[73]	12	10.5	100	50	390	2.2
[74]	10	9.3	80	40	69	1.4
[75]	12	10.4	110	10	97	3.6
[76]	10	9.4	100	50	67	1.0
[78]	10	8.6	200	90	55	0.8
[80]	14	13.1	125	60	1850	1.7
[84]	11	10.5	45	5	81	5.6

已经开发了用于实现高于匹配允许分辨率的几种技术，参考前馈技术[55]和换向反馈电容器开关[56]改善了微分非线性，但不影响积分非线性。在 1 位/级架构中可以使用以前在算法 A－D 转换器[115]中使用的电容误差平均技术[66]。使用它，可以实现一个实际的独立的两级增益电容比。然而，该技术需要每级两个运算放大器（在文献［70］中提出的修改），并且需要至少一个额外的时钟相位。已经发现流水线结

构非常适合校准[57,62]。要校准的分量的数量足够小，因为只有前几个级中的误差是有意义的，因为当参考输入时，后级中的误差被前面的增益衰减。此外，不需要额外的 A－D 转换器来测量校准系数，因为后端级可用于测量它们前面的级。

类似于分级转换器，在流水线 A－D 转换器中需要过/欠范围保护。由于低级分辨率和过/欠范围保护，比较器偏移规格基本上被放宽，所以流水线 A－D 转换器中的比较器设计比快速比较器的设计简单得多，并且通常不对总转换施加限制速度或精度。它如何快速和准确地产生和采样残留信号，决定了流水线转换器的性能，特别是对于需要最高精度的第一阶段。传统上采用负反馈来稳定电压增益和扩大放大器带宽。可以预见，随着技术进步，伴随的短通道效应将对在明显降低的电源电压下同时实现高开环增益、低噪声和低功耗提出了严重挑战。速度、动态范围和精度之间的折中将最终对可在超深亚微米 CMOS 技术中获得的流水线转换器的分辨率造成基本限制。

所实现的并行流水线架构的 FoM 严重受所需功率的限制（见表 2.4）。直到某一分辨率，组件匹配足够令人满意，并且通过精心设计源自通道失配的误差可以保持在可容忍的水平。然而，高分辨率时间交织 A－D 转换器无一例外地使用不同的技术来抑制错误。使用混合信号[116]或全数字电路[91]可以相当容易地校准偏移。校准增益失配也是可能的，但是需要比偏移校准更复杂的电路[95,96]。从产生用于不同信道的时钟信号的电路，到采样电路的不同的传播延迟可能导致时序偏斜。使用全速前端 S/H 电路[117]可以最容易地避免偏斜。在 S/H 电路处于稳定状态时 A－D转换器通道可以重新采样 S/H 电路的输出，因此通道的定时不是关键的。然而 S/H 电路必须非常快，因为它以全速运行。

表 2.4　实现并行流水线 A－D 转换器表

参考文献	N	ENOB	f_S/(MS/s)	ERBW/MHz	P/mW	FoM/pJ
[94]	8	7.6	75	35	75	5.5
[95]	10	9.4	40	20	650	24.1
[96]	10	9.5	40	10	565	39.0
[98]	10	9.4	120	20	234	8.7
[101]	10	9.7	120	2	75	22.5
[103]	10	9.4	200	60	104	1.3
[104]	8	7.8	150	75	71	2.1
[105]	11	9.4	800	400	350	0.65
[106]	15	12.3	125	60	909	1.5

2.2　低压 A－D 转换器设计注释

无线和有线通信的爆炸式增长是高分辨率、高速、低功耗和低成本集成 A－D

转换器发展的主要驱动力。从集成的角度来看，模拟电子器件必须在与数字核心相同的芯片上实现，因此必须处理由数字电路规定的 CMOS 衍进。技术扩展显著降低了数字逻辑和存储器的成本，并且强劲地激励着在最先进的、可用的工艺技术中实现大量基带信号处理。同时，对使用具有最小沟道长度（见图 2.5a）和最小氧化物厚度的晶体管的兴趣增加模拟功能，因为改进的器件跃迁频率 f_T 允许更快的操作。尺寸减小伴随着标称电源电压的降低，也确保了数字电路足够的寿命，并且将功率消耗保持在可接受的水平。由于电源电压的降低，可用信号摆幅降低，从根本上限制了在合理功耗水平下可实现的动态范围。此外，较低的电源电压需要在较低的工作电压下偏置，这导致较差的晶体管特性，因此产生具有较低性能的电路。为了实现高线性度、高采样速度和高动态范围，具有低电源电压和在超深亚微米 CMOS 技术中的低功耗将会是一个主要的挑战。

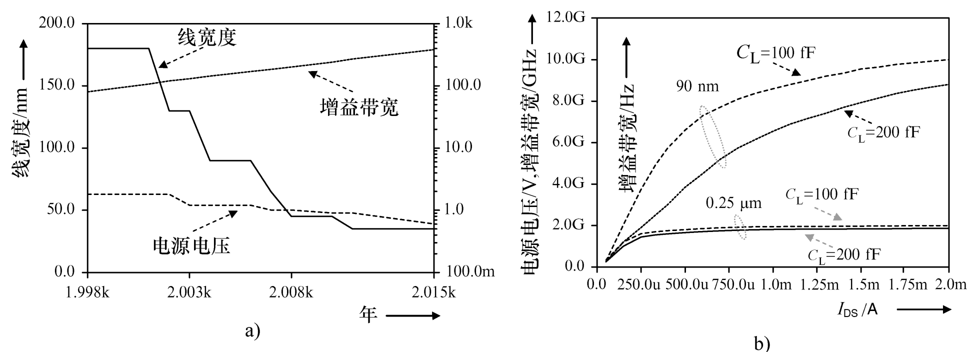


图 2.5　a）CMOS 技术中模拟特性的趋势　b）两个技术节点的增益带宽乘积与漏极电流

模拟电路关键的限制是它们以电变量操作，而不是简单地使用在电路实现中产生的有益噪声容限的离散数。相反，模拟电路的精度基本上依赖于组件之间的匹配、低噪声、失调和低失真。在本节中，重新温习了深亚微米技术中的低电压、高分辨率 A－D 转换器的最具挑战性的设计问题，例如对比由在较低工作电压下偏置所需的模拟性能的退化，使用低电压电源获得高动态范围并确保低偏移的良好匹配。另外，还简要讨论了通过校准技术进行校正或校准静态和可能的动态限制来改进模拟电路和数据转换器的性能的后续补救 。

随着电源电压的减小以确保用于保持晶体管饱和的合适的过驱动电压，即使堆叠的晶体管的数量保持最小，如果需要高分辨率，信号的摆动也是低的。低电压对于驱动 CMOS 开关也是有问题的，特别是对于连接到信号节点的 CMOS 开关，当导通电阻可能变得非常高或者在输入振幅的某个间隔中开关根本不关闭时。一种解决方案是多芯片解决方案，其中数字功能在单个或多个芯片中实现，并且通过具有适当高的电源电压和减少的模拟数字干扰的独立的芯片获得模拟处理。多阈值技术是另一种选择，在同一芯片上使用两个电源电压：一个用于具有较低电源电压的数字

部分；另一个用于具有较高电源电压的模拟部分。

一般来说，为了实现高增益操作，需要高输出阻抗，例如漏极电流应随所施加的 V_{DS}稍微变化。随着晶体管尺寸的增大，由于栅极和漏极连接的接近而能更强烈地确认漏极的影响，并且增加了漏极电流对漏极电压的灵敏度。栅极长度低于 0.1μm 时输出电阻快速退化，g_m 的饱和度降低了器件固有增益 $g_m r_o$ 特性。随着晶体管尺寸减小，沟道中的场增加并且掺杂剂杂质水平增加。这两种变化都降低了载流子迁移率，从而降低了跨导 g_m。通常，以增加的偏置电流为代价获得期望的高跨导值。然而，对于非常短的信道，载流子速度很快达到跨导的饱和极限，这种情况下饱和度变得独立于栅极长度或偏置 $g_m = W_{eff}\ C_{ox}\ v_{sat}/2$ 随着沟道长度减小而漏极电压不成比例地减小，升高了沟道中的电场，造成的结果是载流子的速度饱和，限制了电流和跨导。有限跨导对于模拟电路设计是有问题的：为了获得高增益，需要以增加的寄生电容为代价来使用宽晶体管，因此也限制了带宽和转换速率。即使用更长的长度和深亚微米技术获得增益也是不合适的，通常需要用到具有晶体管堆叠或具有正反馈的电路的共源共栅结构。随着晶体管尺寸继续减小，由于漏致势垒降低（DIBL）和热载流子碰撞电离的结果而引起的较低的输出电阻，固有增益继续保持减小。为了使器件更小，节点设计变得更加复杂，导致更高的掺杂水平、更浅的节点、晕环掺杂等，这些都降低了漏极引发的势垒降低。为了保持这些复杂的结，原来用于去除损伤和电活性缺陷的退火步骤必须减少，这些都增加了节点漏电。更高的掺杂还与较薄的耗尽层和更多的复合中心相关联，导致了漏电流增加，甚至没有晶格损坏。此外，非常薄的氧化物器件中的栅极漏电流将通过电路技术（例如有源共源共栅）设置可获得的有效输出电阻的上限。类似地，当继续缩放时，断开开关中高位漏源泄漏可能对开关性能有不利的影响。如果开关由放大器驱动，则泄漏可能降低放大器的输出电阻，因此限制了其低频增益。

在准直流频率下的低失真与许多模拟电路相关。通常，准直流失真可能是由于沿沟道的耗尽层宽度变化、晶体管跨导中的迁移率降低、速度饱和和非线性以及它们的输出电导率的变化，其严重依赖于偏置、尺寸、技术，而且通常会遇到大电压摆幅。随着缩放，尽管信号较小，较高谐波分量可能增加幅度，失真明显增加。在电路级，降低的准直流性能可以通过提高增益的技术来补偿，例如（调节的）共源共栅结构，然而这些更难以适应减小的电源电压。其他解决方案包括信号幅度更积极的减小，其需要更高的功率消耗以维持 SNR 水平。

OTA 的理论最高增益带宽几乎全由晶体管的截止频率决定（见图 2.5b，用于评估两个技术节点的增益带宽）。假设 kT/C 噪声限制建立负载电容的值，为了实现所需的 SNR，需要大的跨导。因此，输入差分对所需的纵横比必须相当大，在 100 范围内。类似地，随着缩放栅极氧化物变得更薄，比电容 C_{ox}作为缩放因子而增加。然而，由于栅极面积随缩放因数的二次方而减小，所以栅极到源极和增益–漏极寄生电容随着工艺缩放而降低。寄生输入和输出电容 C_{gs}和 C_{gd}的系数（见图

2.6a）已在过驱动电压为 0.175V 的假设下，对常规铸造工艺的仿真中得到。类似地，随着技术升级，实际结变得更浅，大致与技术特征尺寸成比例。此外，结区面积与最小栅极长度大致成比例地缩放，而掺杂水平增加不会明显增加每单位面积的电容。总之，这会导致使用较新技术的每 g_m 的结电容明显降低。

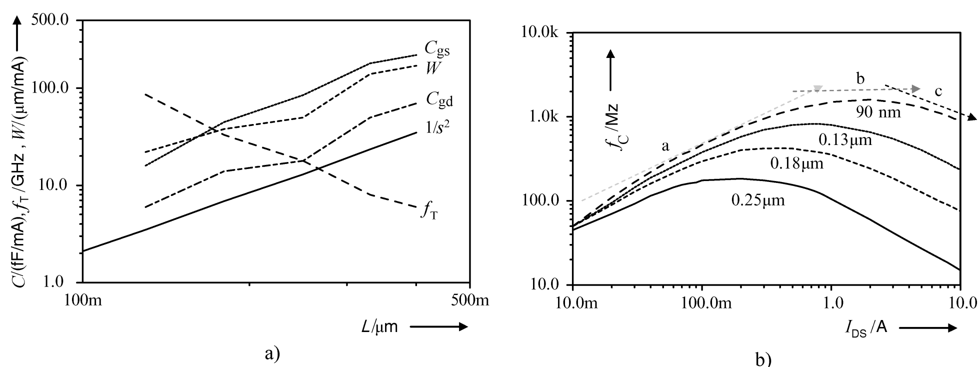


图 2.6　a）栅极宽度和晶体管电容的缩放　b）4 个技术节点的转换频率 f_c 对漏极电流

然而，与增加的互连寄生电容（连接芯片的不同部分的电线的电容）相比，减小晶体管寄生电容是有好处的。随着晶体管逐渐变得更小，并且更多的晶体管被放置在芯片上，互连电容占总电容的百分比越来越大。从全局来看，由于非主导极点的位置在很大程度上没有改变，因此在增加模拟电路的速度方面不能从缩放中完全受益。此外，随着信号摆幅的降低，必须成比例地增加实现所需的 SNR 信号的电容。通过观察图 2.6b，可以看出，特性表现为凸曲线并且在某个吸收电流（区域 b）处取最高值。在电流小于该值（区域 a）的区域中，转换频率随着反向电流的增加而增加，区域的电流高于该值（区域 c），转换频率随着反向电流的增加而减小。

这种特性有两个原因：在低电流区域中，g_m 与反向电流成比例，并且寄生电容小于信号电容。在峰值附近，至少一个寄生电容变得等于信号电容。在电流大于该值的区域中，两个寄生电容变得大于信号电容，并且转换频率将随着反向电流的增加而减小。

在混合信号应用中，衬底噪声和由数字部分的模拟和数字电源电压之间的切换引起的干扰是有问题的。随着更小的几何尺寸导致更高的耦合，这种情况变得越来越重要。此外，较高的速度和电流密度增加了电磁问题。使用具有高电阻衬底的亚微米技术是有利的，因为从数字部分到模拟电路所位于的区域的耦合会被部分阻挡。然而，诸如数字电源和地线的反弹的问题对模拟电路行为表现出强烈的影响。使用分离的模拟和数字电源是一种可能的补救措施，但其有效性受限于紧密金属互连之间的内部耦合。基板和电源噪声产生两个主要限制：由非线性杂散的混合高频产生的带内音调和用于容纳共模部分杂散所需的模拟动态范围的减少。由于衬底耦

合对于纯数字电路也是一个问题，因此亚微米技术向着绝缘衬底上的硅（SOI）和沟槽隔离选项演进。

任何模拟电路的偏移和数据转换器的静态精度在很大程度上取决于名义上相同的器件之间的匹配。随着晶体管越来越小，产生许多晶体管特性的硅中的原子数目变得越来越少，并引起了掺杂剂数目和布置的控制更不稳定。在芯片制造期间，随机工艺变化影响晶体管所有尺寸：长度、宽度、结深度、氧化物厚度等，并且对于总体晶体管而言，随着晶体管尺寸的增大而影响越大。物理和化学制造步骤的随机性质导致电参数的随机误差，这导致等同设计部件之间的时间无关性差异。该误差通常随着设备面积而减小。用更薄的氧化物可以改善晶体管匹配性能[130]。然而，当氧化物厚度减小到几个原子层时，量子效应将占主导并且匹配将劣化。由于许多电路技术利用两个分量的相等性，因此对于给定过程尤其对于关键设备获得最佳匹配是重要的。为了确保良好的匹配，必须遵循的一些规则如下：首先，要匹配的器件应该具有相同的结构并且使用相同的材料；其次，匹配的器件的温度应当相同，要匹配的设备应当位于相对于耗散设备对称放置所获得的相同等温线上；第三，匹配设备之间的距离应该最小，以具有最大空间波动物理参数的相关性，应使用公共几何质心来消除一阶参数的梯度。类似地，芯片上的器件的相同取向应该是相同的，以消除由于各向异性制造步骤或者硅本身的非正态的不对称，并且最后，布局中可能由虚设结构改进的环境应该是相同的，以避免边界不匹配。

由于数字增强技术的使用减少了对具有特殊制造步骤的昂贵技术的需求，所以侧面的优点是部件的成本降低，同时保持了良好的产量、可靠性和长期稳定性。实际上，数字处理的额外成本通常是可承受的，因为即使对于相对复杂的算法使用亚微米混合信号技术也可以有效地使用硅面积。这些方法可以分为前台和后台校准。

典型的 A－D 转换器的前台校准中断了转换器的正常运行，通过通常在电源接通时或在电路不活动期间执行的专用校准周期执行部件执行调整或失配测量。任何错误校准或突然的环境变化（如电源或温度）可能会使测量的误差无效。因此，对于长时间工作的设备，有必要具有周期性的额外校准过程。输入开关在不匹配测量之后将数据转换器恢复到正常操作，并且每个转换周期，按逻辑使用 A－D 转换器的输出来正确地寻找包含校正量的存储器。为了优化存储器大小，存储的数据应该是最小字长，这取决于技术精度和预期的 A－D 转换线性度。可以在元器件、块或整个转换器级进行通过数字信号处理进行校准的数字测量的误差。校准参数被存储在存储器中，但是相比于调整情况，存储器的内容被频繁地使用，因为它们是数字处理器的输入。

后台校准工作的方法通过使用额外的电路在转换器的正常操作期间，与转换器功能一直同时工作。通常这些电路使用硬件冗余来对临时不使用的架构的一部分执行后台校准。然而，虽然冗余硬件的使用是有效的，但是会耗费硅面积和功耗，其他方法旨在通过借用用于执行自校准的采样数据电路操作的一小部分来获得功能。

2.3　A－D 转换器模块

2.3.1　S/H

采样和保持（S/H）电路是 A－D 转换过程固有电路，其驻留在转换器的前端（以及流水线中的转换器级之间）。除了像转换器的其余部分那样遭受加法电路噪声和信号失真外，S/H 电路还需要精确的时间基准以精确定义输入信号的采集时间。A－D 转换器的动态性能下降通常可归因于 S/H 电路（和相关联的缓冲放大器）的不足。

S/H 电路的主要功能是对其输入信号进行采样，并保持其值，直到 A－D 转换器处理信息。通常，电路以均匀的时间间隔采样，因此电路的采样率（或时钟速率）就可以确定了。S/H 电路的操作可以划分为采样模式（有时也称为采集模式）和保持模式，保持模式下其持续时间不需要相等。在采样模式下，输出可以跟踪输入，在这种情况下，电路通常称为跟踪和保持（T/H）电路，或者它可以复位到某个固定值。在保持模式中，S/H 电路在采样时刻记住输入信号的值，因此可以被认为是模拟存储器单元。可以用作存储器的基本电路元件是电容器和电感器，其中电容器将信号存储为电压（或电荷），并且将电感器存储为电流。由于电压存储器所需的具有高截止电阻的电容器和开关在实际的集成电路技术中比在具有当前存储器所需的非常小的导通电阻的电感器和开关中更容易实现，所以所有 S/H 电路都基于使用开关电容器（SC）技术的电压采样。

S/H 电路架构可大致分为开环和闭环架构。它们之间的主要区别在于至少在保持模式下，闭环架构电压被采样的电容器包围在反馈回路中。虽然开环 S/H 结构提供高速解决方案，然而其精度受限于由缓冲放大器的非线性增益和来自开关的信号相关电荷注入引起的谐波失真。这些问题与 CMOS 技术会在 3.3 节特别强调。在反馈回路中封装采样电容器减少了来自 MOS 开关的非线性寄生电容和信号相关电荷注入的影响。不幸的是，使用反馈的不可避免的后果是降低速度。

图 2.7 说明了闭环开关电容 S/H 电路的 3 种常见结构[56,57,59,91]。简单起见，显示为单端模式结构；然而在电路实现中，所有都是差分模式输入的。在诸如 A－D 转换器的混合信号电路中，全差分模拟信号被优选作为获得更好的电源抑制和对共模噪声的抗扰性的手段。该操作需要两个不重叠的采样和保持或传送时钟相位 。开关结构如图 2.7 所示，用于采样相位，而图 2.8 所示的结构为保持相位。

在所有情况下，基本操作包括对采样电容器 C_H 上的信号进行采样，并通过使用反馈结构中的运算放大器将信号电荷传送到反馈电容器 C_F 上。在图 2.7a 的结构中，其通常用作积分器，假设理想的运算放大器和开关，运算放大器迫使 C_H 上的采样信号电荷转移到 C_F。如果 C_H 和 C_F 不是相等的电容，传送到 C_F 的信号电

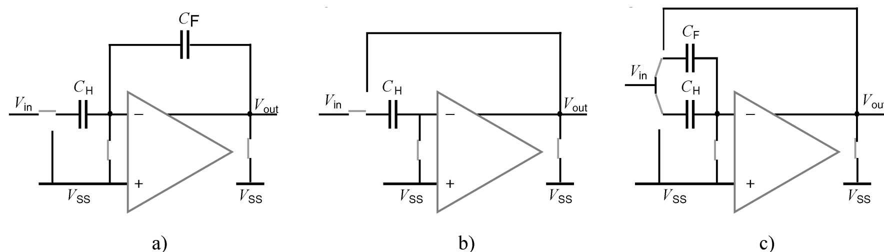


图 2.7　开关电容 S/H 电路配置在采样阶段

a）具有单独的 C_H 和 C_F 的电路　b）具有一个电容器的电路

c）具有共用的 C_F 作为采样电容器的电路

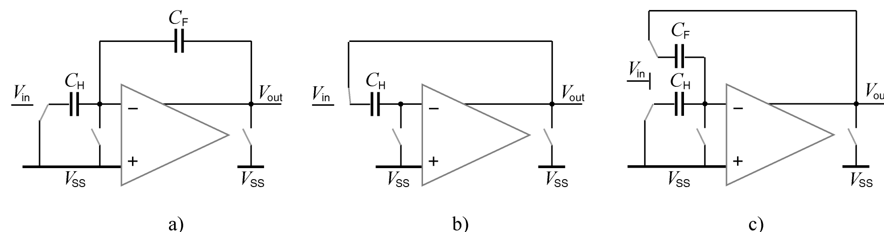


图 2.8　开关电容 S/H 电路配置在保持阶段

a）具有单独的 C_H 和 C_F 的电路　b）具有一个电容器的电路　c）具有共用的 C_F 作为采样电容器的电路

荷将根据 $V_{out} = (C_H/C_F)V_{in}$显示运算放大器输出端的电压。以这种方式，S/H 和增益功能都可以在一个 SC 电路内实现[57,91]。在图 2.7b 所示的结构中，只有一个电容器同时用作采样电容器和反馈电容器。这种结构不实现增益功能，但是它可以实现高速度，因为反馈因数（反馈电容器与求和节点处的总电容的比率）可以比先前结构的反馈因数大得多，操作更接近放大器的单位增益频率。此外，它没有作为其他两种结构的电容器失配限制。这里，采样是大量执行的，即不需要运算放大器，这使得信号采集快。在保持模式下，采样电容器与输入断开，并置于运算放大器周围的反馈回路中。此结构常用于前端输入 S/H 电路[56,59]，将在 3.3 节中更详细地讨论。

图 2.7c 示出了另一种结构，其是图 2.7a 和图 2.7b 中结构的组合版本。该结构中，在采样阶段，C_H 和 C_F 两者上对信号进行采样，所得到的传递函数 $V_{out} = (1 + (C_H/C_F))V_{in}$。在下一阶段，采样电容器中的采样电荷被传送到反馈电容器。因此，反馈电容器具有从采样电容器传送的电荷以及输入信号电荷。与图 2.7a 所示的结构相比，尽管其反馈因数也是可比的，但该结构具有更宽的带宽。

确定 SC 电路带宽的重要参数是 G_m（运算放大器的跨导）、反馈因数 β 和输出负载电容。在所有这 3 种配置中，带宽由 $1/\tau = \beta \times G_m/C_L$ 给出，其中 C_L 是在运算

放大器输出端看到的总电容。由于 S/H 电路使用放大器作为缓冲器，采集时间将是放大器自身规格的函数。类似地，S/H 电路输出处的误差容差取决于放大器的偏移、增益和线性度。一旦发出保持命令，S/H 电路将面临其他错误。由于电荷注入和时钟馈通，会产生基座误差。在开关的沟道中积累的电荷的一部分被分配到电容器上，因此会轻微地改变其电压。此外，时钟通过栅极和源极或漏极之间的叠加电容耦合到电容器上。保持模式期间发生的另一个误差称为下降，其与由于寄生阻抗而导致的电容器的电流泄漏以及通过由开关漏极形成的反向偏置二极管的泄漏有关。通过使漏极面积尽可能小，可以使该二极管泄漏最小化。尽管放大器的输入阻抗非常大，但是开关具有有限的截止阻抗，通过该截止阻抗可能发生泄漏。电流也可以通过衬底泄漏。

简单的 S/H 电路的显著缺点是引入失真的输入开关导通电阻变化。工艺技术进步使电源电压比阈值电压更快地缩放，这导致开关中更大的导通电阻变化。这使得开关的带宽变得越来越依赖于信号。引入时钟自举能够保持开关栅源电压恒定(见 3.3.3 节)。必须注意确保电路的可靠性不受影响。

尽管 CMOS 技术的缩放提供了对混合信号电路操作速度的改进的潜力，但伴随着电源电压的降低和各种短通道效应对可实现的增益、信号摆幅和噪声电平，特别是在低功率约束下产生的基本的实际的限制。在采样电路中，由于 MOS 晶体管开关的有限电阻而产生热噪声，并且存储在采样电容器中。由于采样电路不能区分噪声与信号，所以该信号采集的一部分对应于采样发生时噪声的瞬时值。在这种情况下，当样品作为电荷存储在电容器上时，方均根（rms）总积分热噪声电压为$\overline{v_{ns}^2}=kT/C_H$，其中 kT 为热能，C_H 为采样电容。这通常被称为 kT/C 噪声。表达式中不存在电阻值，因为带宽减小抵消了由电阻值增加引起的热噪声功率的增加。

在采样过程中，kT/C 噪声来源通常包括两个主要方面：开关的通道噪声和放大器噪声。由于在进行采样之前，开关没有传导直流电流（S/H 电路的带宽被假定为大带宽并且电路被假定为稳定)，因此 $1/f$ 噪声在这里不是关注的。只有热噪声有影响，这是由工艺规模微弱影响的通道电阻的函数[120]。另一方面，放大器输出噪声在大多数情况下由通道输入晶体管的噪声控制，其中热噪声和 $1/f$ 噪声都有贡献。由于放大器的输入晶体管通常在饱和区偏置以得到大的跨导（g_m），因此冲击电离和热载流子效应倾向于增强它们的热噪声水平[121,122]。因为较细的光刻产生的较短的最小栅极长度导致的栅极电容减小，$1/f$ 噪声也有所增加。因此，随着 CMOS 技术的不断发展和尺寸逐渐缩小，放大器越来越成为主要的噪声源。有趣的是，输入参考噪声（总积分输出噪声也是如此）采用一些校正因数，如χ_1，$\overline{v_{ns}^2}=\chi_1 kT=C_H$ 而构成 kT/C 的形式。因此降低噪声电平或增加 S/H 电路的 SNR 的基本技术是增加采样电容的大小。与该技术相关的惩罚是增加的功率消耗，因为较大的电容器需要较大的充电/放电电流以保持采样速度。

2.3.2 运算放大器

在前端S/H放大器或多级A – D转换器中，几乎总是使用精密运算放大器来将输入信号（或残余信号）中继到后转换电路。运算放大器在动态范围、线性度、稳定速度、稳定性和功耗之间展现出强烈的权衡，总是运行在性能包络的边缘。因此，转换精度和速度通常由这些放大器的性能决定。

具有单个增益级的放大器具有高输出阻抗，提供足够的直流增益，其可以利用增益提升技术进一步增加。单级架构提供大带宽和良好的相位裕量，功耗小。另外，也不需要频率补偿，因为该架构是自补偿的（主极点由负载电容确定），这使得硅上的占用面积小。另一方面，通过牺牲输出电压摆动获得高输出阻抗，并且由于噪声产生装置的数量众多和用于电流源偏置的有限电压头部空间，导致了相当高的噪声。

单级高增益运算放大器的最简单的方法是图2.9a所示的远程串联放大器[150]。利用这种架构，可以实现高开环直流增益，并且在闭环增益较低时能够实现高速。电流支路只有两个，功耗很小。可伸缩式共源共栅放大器的最大缺点是其低的最大输出摆幅、$V_{DD}-5V_{DS,SAT}$，其中V_{DD}是电源电压，$V_{DS,SAT}$是晶体管的饱和电压。具有这种最大可能的输出摆幅，输入共模范围为零。在实际应用中，总要保留一些输入共模范围，以减小输出摆幅，以便允许不准确和稳定信号共模电平的瞬变。信号路径中仅存在n沟道晶体管，并且在共源共栅晶体管的源极处存在相对小的电容引起了放大器的高速能力 。

放大器的增益带宽乘积由公式$GBW=g_{m1}/C_L$给出，其中g_{m1}是晶体管T_1的跨导，C_L是负载电容。因此，GBW受负载电容的限制。由于其简单的拓扑和尺寸，如果其输出摆幅对于特定应用足够大，则优选伸缩式共源共栅放大器。通过将晶体管T_7、T_8驱动到线性区域中已经拓宽了该结构的输出信号摆幅[151]。为了保持良好的拓扑的共模抑制比和电源抑制比率性能，用于补偿的附加反馈电路已经被添加到这些变化中。该伸缩式共源共栅放大器具有低电流消耗、相对高的增益、低噪声和非常快的操作性能。然而，由于其具有5个堆叠晶体管，所以拓扑不适用于低电源电压。

折叠式共源共栅放大器拓扑[152]如图2.9b所示。这种设计的摆动受其级联输出级的限制。相对于具有相同直流增益和没有大的速度损失的伸缩放大器来说，它提供更大的输出摆幅和输入共模范围。输出摆幅为$V_{DD}-4V_{DS,SAT}$，不与输入共模范围相连，即$V_{DD}-V_T-2V_{DS,SAT}$。该放大器的第二极位于g_{m7}/C_{par}，其中g_{m7}是T_7的跨导，C_{par}是晶体管T_7的源极节点处的晶体管T_1、T_7和T_9的寄生电容的总和。由于p沟道器件的较小跨导和较大的寄生电容，该放大器的频率响应从可伸缩式共源共栅放大器的频率响应恶化。为了确保对称回转，输出级电流通常等于输入级电流。折叠式共源共栅放大器的GBW也由g_{m1}/C_L给出。具有共源共栅晶体管的放

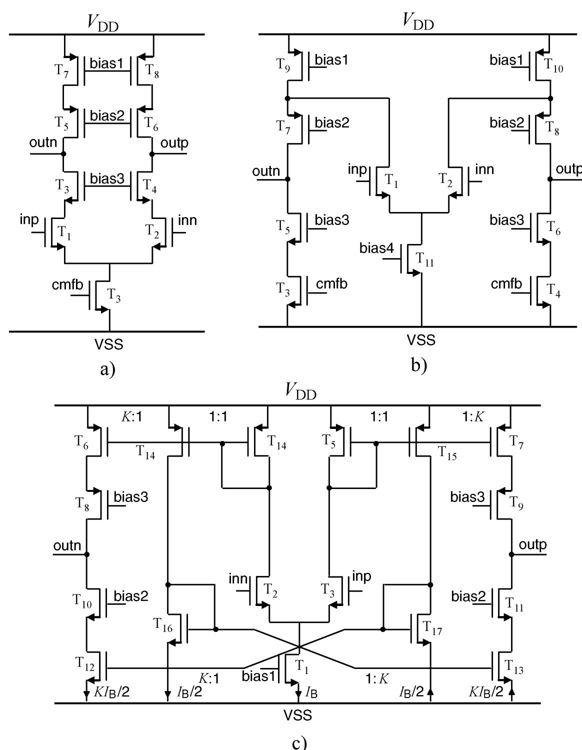


图2.9 一级放大器

) 伸缩级联 b) 折叠级联 c) 具有级联输出级的推挽电流镜放大器

大器的开环直流增益可以通过调节共源共栅晶体管的栅极电压来提升[140]。通过增加额外的增益级来实现该调节，该额外的增益级减少了从输入晶体管的输出到漏极的反馈。这样，放大器的直流增益可以增加了几个数量级。使用适当的反馈放大器架构，功率和芯片面积的增加可以保持非常小[140]。与可伸缩式共源共栅放大器相比，折叠式共源共栅的电流消耗加倍，尽管输出电压摆幅有所增加，因为仅存在4个堆叠晶体管。因为来自电流源晶体管 T_9 和 T_{10} 的附加噪声，折叠式共源共栅的噪声略微高于在套筒式共源共栅放大器中的噪声。此外，由于晶体管 T_1 和 T_9 的输出电阻的并联组合，折叠级联具有稍小的直流增益。

推挽电流镜放大器如图2.9c所示，具有更好的压摆率性能和可能比折叠式共源共栅放大器更大的带宽和直流增益。转换速率和直流增益取决于电流镜比 K，其通常为1~3。然而，太大的电流镜比增加了晶体管 T_{12} 和 T_{13} 的栅极处的寄生电容，将非主极点推向较低频率并限制可实现的GBW。由于输入晶体管的漏极处有较大的寄生电容，电流镜放大器的非主极点比折叠式共源共栅放大器和伸缩式放大器的非主极点低得多。电流镜放大器的噪声和电流消耗比在伸缩式共射共基放大器或折叠式共源共栅放大器中更大。因为转换速率不受限制，具有动态偏置的电流镜放大

器[153]可以用于使放大器偏置纯粹基于其小信号行为。在动态偏置中，运算放大器的偏置电流基于差分输入信号来控制。对于大差分输入信号，偏置电流增加以加速输出稳定。因此，不会发生转换速率限制，而且会放宽 GBW 的要求。随着稳定的进行，输入电压减小，并且偏置电流减小。仅仅需要偏置电流保持对执行足够的小信号提供足够的 GBW 的水平。除了宽松的 GBW 要求，静态电流消耗的减少使得高直流增益放大器的设计更容易。在非常低的电源电压下，使用共源共栅输出级明显地限制了可用输出信号的摆幅。因此，经常使用两级运算放大器，其中运算放大器增益被分成两个级，其中后一级通常是共源输出级。不幸的是，在相同的功耗下，两级运算放大器的速度通常低于单级运算放大器的速度。

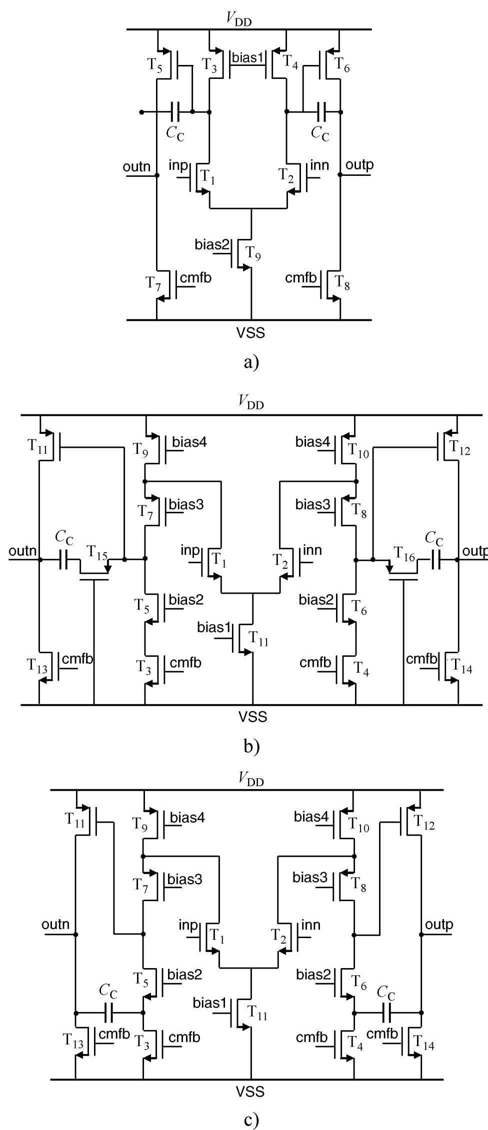


图 2.10　两级放大器

a）米勒补偿　b）具有共源输出级和米勒频率补偿的折叠式共源共栅放大器

c）具有共源输出级和 Ahuja 型频率补偿的折叠式共源共栅放大器

图 2.10a 显示了几个替代的两级放大器中的一个简单的米勒补偿放大器[154]。当该放大器的输出级中的所有晶体管都处于饱和区时，其具有的输出摆幅为 $V_{DD}-V_{DS,SAT}$。因为确定了来自输出节点的非主导极点主要由显式负载电容确定，放大器具有折中的频率响应。米勒补偿放大器的增益带宽约为 $GBW=g_{m1}/C_C$，其中 g_{m1} 是 T_1 的跨导。一般来说，基本结构的开环直流增益不够高分辨率应用的要求。增益可以通过使用级联来增强，然而这对信号摆幅和带宽有负面影响。这种结构的另一个缺点是，由于 V_{DD}通过 T_5 和 T_6 和 C_C 的栅极－源极电容 $C_{GS5,6}$的连接，

在高频下产生差的电源抑制比。两级米勒补偿运算放大器的噪声特性与伸缩共源共栅放大器的噪声特性相当，并且优于折叠式共源共栅放大器的噪声特性。米勒补偿放大器的速度由其分极电容器 C_C 确定。通常，位于两级放大器输出端的非主极点的位置低于折叠共源共栅放大器或伸缩放大器的位置。因此，为了将该极点推向较高频率，放大器的第二级需要较高的电流，也增加了功率耗散。由于第一级不需要具有大的输出电压摆幅，所以它可以是共源共栅级，或者是伸缩式或者是折叠式共源共栅。然而，电流消耗和晶体管数目也在增加。折叠式共源共栅结构的优点是更大的输入共模范围和能避免级之间的电平移位，而伸缩级可以提供更大的带宽和更低的热噪声。

图 2.10b 说明了具有共源输出级和米勒补偿的折叠式共源共栅放大器。噪声性能与折叠式共源共栅放大器的噪声性能相当。如果使用共源共栅输入级，则引线补偿电阻器可以与共源共栅晶体管合并。这样的一个例子是具有共源极输出级和 Ahuja 型补偿的折叠式共源共栅放大器[155]，如图 2.10c 所示。Ahuja 型补偿运算放大器的操作适用于比米勒补偿的更大的电容性负载，并且它具有更好的电源抑制比，因为通过输出级增益晶体管的栅极-源极电容的衬底噪声不是通过分极电容器直接耦合到运算放大器输出[155]的。

2.3.3 锁存比较器

前置放大器和比较器中的漂移构成快速转换器的主要误差源。具有薄氧化物器件的简单差分结构将在较新技术中保持前置放大器架构的主导地位。在高输入频率的高采样率下，动态性能至关重要。

由于其快速响应，再生锁存器几乎无一例外地用作高速应用的比较器。理想的锁存比较器由具有无限增益的前置放大器和数字锁存电路组成。由于在比较器中使用的放大器不需要是线性的或闭环结构，因此它们可以包含正反馈以实际获得无限增益[171]。由于其特殊的架构，锁存比较器的工作过程可以分为两个阶段：跟踪和锁存阶段。在跟踪阶段中，下级动态锁存电路被禁用，并且输入模拟差分电压由前置放大器放大。在前置放大器被禁用时的锁存阶段，锁存电路将放大的差分信号再生成具有正反馈机制的一对满量程数字信号，并在输出端锁存它们。

根据所使用的锁存器的类型，锁存器比较器可以分为两种：静态[59,173,174]，在操作期间具有恒定的电流消耗；动态[175-177]，不消耗任何静态功率。通常，所使用的锁存器的类型由本级的分辨率决定。对于每级的低分辨率量化，动态锁存器更合适，因为它消耗比静态锁存器更少的功率（即使在高时钟速率下该差异可忽略），动态锁存器在复位周期期间不消耗任何功率。当锁存电路再生差分信号时，再生节点上的大电压变化将导致瞬时大电流。通过晶体管的寄生栅极-源极和栅极-漏极电容，瞬时电流耦合到比较器的输入，使得干扰是不可接受的。这就是所谓的反冲噪声的影响。在大量比较器同时接通或断开的快速 A-D 转换器中，来自再

生节点的变化的总和可能变得意想不到的大，并且直接导致错误的量化代码输出[172]。正是由于这个原因，更高分辨率的实现优选静态锁存器。

来自文献［173］的静态锁存比较器如图 2.11a 所示 。当时钟信号为高电平时，T_{10}和T_{11}将由交叉连接的晶体管T_{8-9}形成的锁存器放电到输出节点。当锁存信号变低时，T_6 和 T_7 之间的漏极电流差表现为输出电压差。然而，电路中存在一些延迟，因为 T_8 和 T_{11}必须等待输出电压的任一侧变得大于 V_T。另一个是在比较器中存在的静态电流，其在输出完全形成之后接近阈值。假设 V_{outp}节点的电位高于 V_{outn}节点的电位。在短时间之后，T_{11} 截止，V_{outp}的电位变为 V_{DD}，然而由于 T_8 处于线性区域，所以来自 T_6 的静态电流将在再生期间排走。由于输入晶体管通过电流镜与再生节点隔离，所以反冲噪声减小。然而，再生电路的速度受偏置电流的限制，不适用于低功率高速应用。

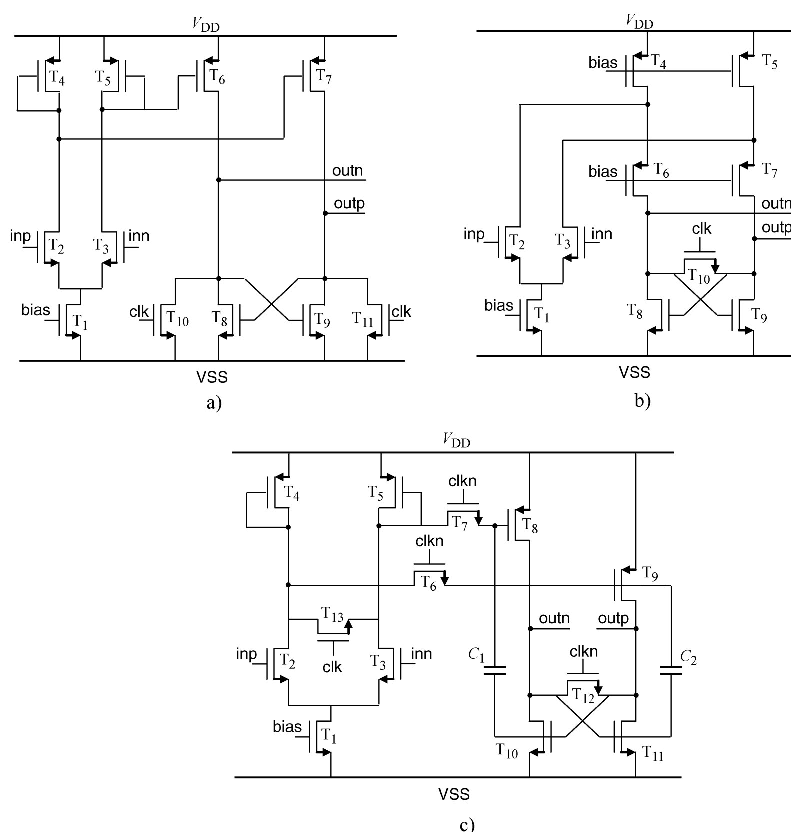


图 2.11　静态锁存比较器

a）来自文献［173］　b）来自文献［59］　c）来自文献［174］

图 2.11b 说明了文献［59］中给出的比较器的原理图。该电路由折叠式共源共栅放大器（T_1～T_7）组成，其中负载已被电流触发锁存器（T_8～T_{10}）取代。当

锁存信号为高（复位期间）时，晶体管 T_{10}使两个锁存器输出短路。此外，T_{10}的导通电阻 R 可以在锁存输出处给出额外的增益 $A_{reset}=(g_{m1,2}\times R)/(2-g_{m8,9}\times R)$，这加快了再生过程。然而，导通电阻 R 应该选择为使得 $g_{m8,9}\times R<2$，并且应当足够小，以便在时钟速率下复位输出。由于所有晶体管都在有源区中，所以锁存器可以在锁存信号变低之后开始再生。这种方案的一个缺点是大的反冲噪声。折叠节点（T_4 和 T_5 的漏极）必须在每个时钟周期跳至 V_{DD}，因为锁存输出完全摆动。因此，通过输入晶体管 T_1 和 T_2 的栅极－漏极电容器（C_{GD1}、C_{GD2}）在输入中存在大量的反冲噪声。为了减少反冲噪声，钳位二极管被植入到输出节点[178]。

图 2.11c 说明了在文献［174］中的设计。这里，当锁存信号为低（复位周期）时，放大的输入信号存储在 T_8、T_9 和 T_{12}的栅极，使 V_{outp}和 V_{outn}都短路。当锁存信号变高时，交叉耦合的晶体管 T_{10}和 T_{11}产生正反馈锁存。此外，正反馈电容器 C_1 和 C_2 通过在再生周期期间将 T_8 和 T_9 从复位周期期间的输入相关电流源切换到交叉耦合锁存器来提高再生速度。由于 C_1 和 C_2，$T_8\sim T_{11}$像交叉耦合反相器一样工作，使得一旦完成再生周期，锁存器不消耗静态功率。然而，通过正反馈电容器 C_1 和 C_2 存在大量的反冲噪声。添加开关（T_6、T_7 和 T_{13}）将前置放大器与锁存器隔离。因此，由于正反馈电容器（C_1、C_2）、隔离开关（T_6、T_7 和 T_{13}）和互补锁存信号的存在，需要相对较大的芯片面积。

动态比较器的概念说明其有低功率和小面积实现的潜力，并且这种情况仅限于没有静态功率耗散的单级拓扑。如图 2.12a 所示，是在文献［175］中引入的广泛使用的基于差分传感放大器动态比较器。在线性区域中偏置的晶体管 T_{1-4}，可以调整阈值电阻，并且在它们上方晶体管 T_{5-12}形成锁存器。当锁存控制信号为低时，晶体管 T_9 和 T_{12}导通，并且 T_7 和 T_8 截止，并迫使两个差分输出到 V_{DD}，而且在电源电压之间不存在电流路径。同时，T_{10}和 T_{11}截止，晶体管 T_5 和 T_6 导通。这意味着 T_7 和 T_8 上具有 V_{DD}的电压。当比较器锁存时，T_7 和 T_8 导通。再生时刻之后，晶体管 T_5 和 T_6 的栅极仍然处于 V_{DD}，并且它们进入饱和，放大它们的源极之间的电压差。如果假设晶体管 T_{5-12}完全匹配，则由 T_{1-2}和 T_{3-4}形成左右支路的电导的不平衡，决定了哪个输出到 V_{DD}，哪个到 0V。在达到静态情况（V_{clk}为高）之后，两个分支被切断，并且输出保持它们的值，直到通过将 V_{clk}切换到 0V 来将比较器再次复位。连接到输入和基准的晶体管 T_{1-4}在三极管区像压控电阻器那样起作用。在线性区域中运行的晶体管 T_{1-4}的跨导与相应晶体管的漏源电压 V_{DS1-4}成正比，而对于晶体管 T_{5-6}，跨导与 $V_{GS5,6}-V_T$ 成比例。在锁存过程开始时，$V_{DS1-4}=0$，而 $V_{GS5,6}-V_T=V_{DD}$。因此，$g_{m5,6}>>g_{m1-4}$，这使得 T_5 和 T_6 的匹配在决定锁存平衡中占主导地位。由于小晶体管是优选的，容易产生几百毫伏的偏移电压。晶体管 T_{7-12}中的失配被 T_5 和 T_6 的增益衰减，这使得它们不太关键。为了应对不匹配问题，关键晶体管的布局必须尽可能对称。除了失配灵敏度，锁存器也对负载电容的不对称性非常敏感。这可以通过在比较器核心输出之后添加额外的锁存器或反相器

作为缓冲级来避免。电阻分压器动态比较器拓扑具有一个明显的优点，即其低反冲噪声。这是因为输入晶体管 T_{1-4} 的漏极处的电压变化非常小。另一方面，由于在线性区域中偏置的晶体管的增益较小，拓扑的速度和分辨率相对较差。

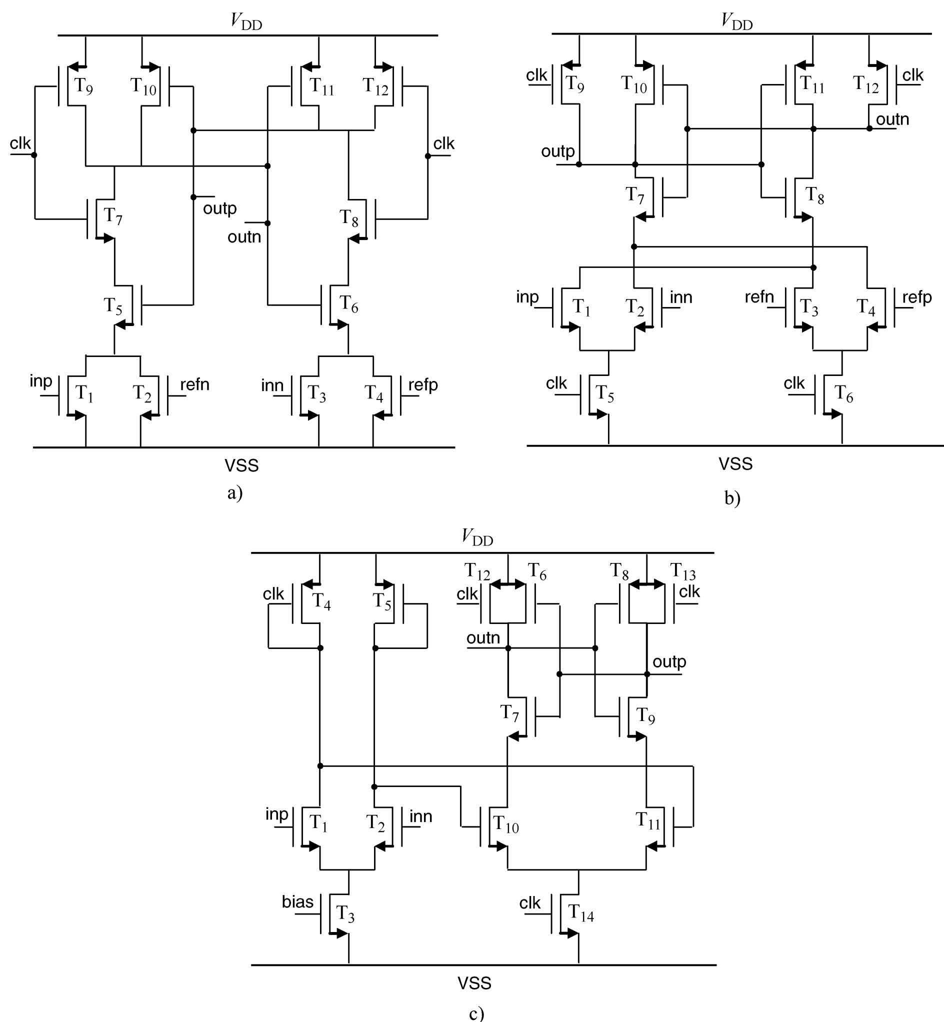


图 2.12　动态锁存比较器

a）来自文献［175］　b）来自文献［176］　c）来自文献［177］

图 2.12b 所示的是基于具有加载 CMOS 锁存器开关电流源的两个交叉耦合差分对的全差分动态比较器[176]。可以通过引入源极耦合对之间的不平衡来设置比较器的跳变点。由于动态电流源与锁存器直接连接在差分对和电源电压之间，比较器不消耗直流功率。当比较器闲置时，锁存信号为低，这意味着电流源晶体管 T_5 和 T_6 截止，并且在电源电压之间不存在电流路径。同时，p 沟道开关晶体管 T_9 和 T_{12} 通

过将它们短接到 V_{DD}来复位输出。锁存器的 n 沟道晶体管 T_7 和 T_8 导通并且迫使所有输入晶体管 T_{1-4}的漏极接到 V_{DD}，而 T_5 和 T_6 的漏极电压取决于比较器输入电压。当时钟信号升至 V_{DD}时，输出与正电源断开，开关电流源 T_5 和 T_6 导通，T_{1-4}将 $V_{inp}-V_{inn}$与 $V_{refp}-V_{refn}$进行比较。由于锁存器器件 T_{7-8}导通，电路在输入对的漏极处再生放大电压差。比较器的阈值电压由差分对中的电流分配和交叉耦合的分支之间的电流分配确定。可以使用差分对的大信号电流方程式导出比较器的阈值电压。在该拓扑中，其他晶体管 T_{7-12}的失配的影响不是完全关键的，因为在 T_{7-12}锁存之前，输入被 T_{1-4}放大。交叉耦合差分对的漏极是高阻抗节点，并且决定阈值电压晶体管 T_{1-4}的跨导很大。差分对动态比较器的缺点是其高反冲噪声：输入晶体管的漏极节点中的大瞬变通过寄生栅极－漏极电容耦合到输入节点。然而，存在减少反冲噪声的技术，例如通过交叉耦合虚拟晶体管从差分输入到漏极节点[13]。内置的动态放大引起了差分对拓扑的高速和高分辨率。

图 2. 12c 说明了文献［177］中给出的动态锁存的原理图。动态锁存器由预充电晶体管 T_{12}和 T_{13}、交叉耦合的反相器 T_{6-9}、差分对 T_{10}和 T_{11}以及防止在复位周期的静态电流流动的开关 T_{14}组成。当锁存信号为低（复位周期）时，T_{10-11}的漏极电压为 $V_{DD}-V_T$，其源极电压为 V_T，低于锁存输入共模电压。因此，一旦锁存信号变高，n 沟道晶体管 $T_{7,9-11}$立即进入有源区。因为交叉耦合反相器之一中的每个晶体管截止，所以一旦锁存器输出完全展开，则不存在来自锁存器的静态功率耗散。

2. 4　A－D 转换器：总结

2. 1. 4 节（见图 2. 13）的实际实验表明，对于第一级，当 f_S 远低于器件工艺转换频率 f_T 时，转换器功率与采样速率 f_S 有成正比的趋势。然而，随着工艺技术的速度能力被推到极限，所需的功率耗散变得非线性。在恒定电流密度设计的情况下，当总固有电容等于全部非本征电容时存在最佳功率点，超过该最大功率点，作为速度增加的后果，功率增加，产量减小。

功率对转换器分辨率的依赖性不如其对 f_S 的依赖性那么直接，因为转换器结构也随分辨率而变化。快速转换器在频谱的高速低分辨率端占主导地位，而流水线转换器通常在低速高分辨率端采用，无校准通常为 8～12 位，有校准最多 15 位。级间增益使得可以沿着管线缩放组件，导致了低功耗。高达 15 位的分辨率可以用两步/多步/分级转换器或者这些的组合结构来覆盖。流水线和两步/多步转换器往往是在实现给定分辨率和采样速率规格方面最有效的。它的高分辨率的能力将在第 3 章中用原型[37]来演示。

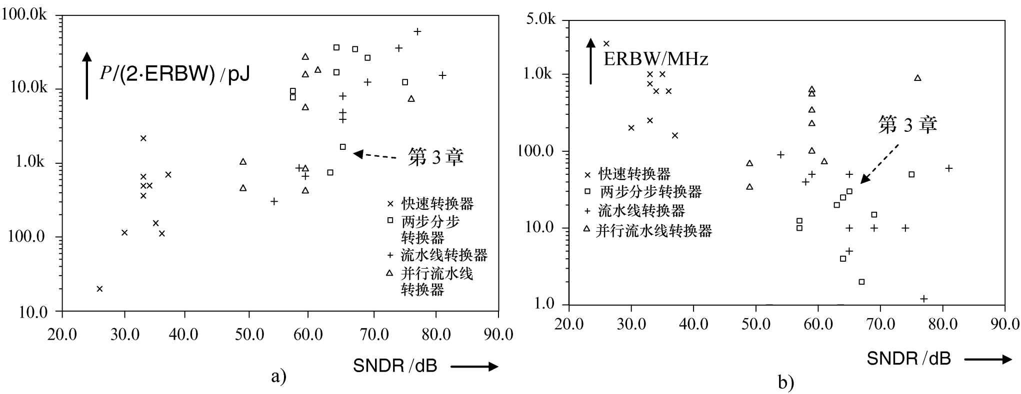


图 2.13 a）A－D 转换器的能量对 SNDR，见表 2.1 ~ 表 2.4；
b）A－D 转换器的 ERBW（有效输入带宽）与 SNDR 的关系，见表 2.1 ~ 表 2.4

第 3 章　多步 A – D 转换器的设计

在高度集成的电信系统中，能够对高频前端进行 IF 采样的移动 A – D 转换器可利用其系统的复杂性和整体性使经济价值最大化。A – D 转换器的目标是使模拟滤波最小化，并用更可控的数字功能替代。需要把 A – D 转换器嵌入大型数字 IC 来实现片上系统（SoC）。为了实现最低的成本，SoC 必须由最先进的 CMOS 技术实现，并且必须具有面积和功率有效性，并在避免修剪的情况下达到所需的精度。深亚微米 CMOS 技术使得特征尺寸和电源电压迅速下降增加了对于转换器的要求。随着电源电压按比例缩小，可用于表示信号的电压降低。为了在较低的电源电压下保持相同的动态范围，电路的热噪声也必须按比例减小。在模拟电路中，电压降低减小了输出摆幅，降低了 SNR。这导致由给定频率处的 SNR 决定的功率消耗的增加。尽管在实现的 SoC 中可以嵌入多种架构，但一些诸如快速 A – D 转换器的大量硅需求和功耗等缺点，折叠 A – D 转换器中数十个折叠放大器的输入匹配和较大的流水线 A – D 转换器中某些数字反馈回路的延迟限制了分级或两步/多步架构的选择。

3.1　多步 A – D 转换器架构

大多数数字接收机都要求高性能 A – D 转换器和模拟组件。例如，在蜂窝基站数字接收机中，需要足够的动态范围来处理高电平干扰源（或阻塞器），同时适当地解调较低级别的期望信号。蜂窝基站由许多不同的硬件模块组成，包括执行接收机和发射机功能的硬件模块。现在，模拟技术正在被全球 CDMA 和 WCDMA 所取代，欧洲在 10 年就前采用了 GSM。

为了验证多步架构相对于功率效率的有效分辨率带宽，GSM 基站应用（见表 3.1）已被作为本章描述的原型的适当载体。目前存在各种 CDMA 和 GSM 设计，基站收发机厂商不断寻求降低成本和功耗的方法。优化单载波解决方案或开发多载波接收机可以实现这一点。对于基站收发站设备常用的子采样接收机架构，对于 A – D转换器有严格的噪声和失真要求。在接收机应用中，较低级别的期望信号被单独数字化，或在非期望大幅度信号面前被数字化。为了正确设计接收机，A – D 转换器的有效噪声系数必须在这两个信号极限下确定。转换器噪声系数通过将其总噪声功率与热噪声基底进行比较来确定。对于小型模拟输入信号，热加量化噪声功率主导 A – D 转换器本底噪声，用于近似 A – D 转换器的有效噪声系数。实际上，一旦 A – D 转换器有效噪声系数在小信号条件下已知，并且确定了模拟电路（RF

和 IF）的级联噪声系数，则选择 A－D 转换器前面的最小功率增益为满足所需的接收机噪声系数。选择在 A－D 转换器过载之前，接收机可以容忍的最高干扰电平上限为功率增益量。如果在较高 IF 频率下可以从转换器获得足够的 SNR 和 SFDR 性能，则可以使用单采样架构。失真引起了不需要的大信号的互调，其产生的结果可能落在所需的信道频带中。具有 12 位精度的 A－D 转换器连同通道滤波器的量以及自动增益控制的增益一起是足够的，其中包括放大 A－D 转换器的动态范围要求。为了能够处理完整的 GSM 频段，A－D 转换器的采样率必须为 50～60M 次采样/s，有效分辨率带宽为 25 MHz。GSM 信号的 SINAD 只有 9dB，但是为了处理大的相邻信道，转换器的 SNR 需要为 66dB。由大干扰无用信道产生的噪声可能会干扰小有用的接收信道。因此，SFDR 必须低于 75dB，国标功耗选择为 150mW。

表 3.1 IF 转换要求

技术	数字 CMOS
分辨率	12 位
电源电压	单电源
采样率	＞50M 次采样/s
有效带宽	25MHz
SNR	＞66dB
SFDR	＞75dB
THD	＞70dB
功耗	＜150mW
面积	＜$1mm^2$

图 3.1 中表示出了两步/多步 A－D 转换器的详细框图。由于 5～8 个分区（利用 5 位粗略和 8 位精细量化器的 A－D 转换器）为所需精度提供了较低的晶体管数量，因此在 6～7 种方法中选择了这种拓扑。差分输入信号用 3 个时间交替的 S/H 电路进行采样。在 S/H 电路中产生的和样本的噪声会使必须由 A－D 转换器量化的输入模拟信号恶化。这种产生的和样本的噪声必须足够低以满足 SNR 要求。所得到的模拟信号会经 5 位粗 A－D 转换器处理，并将其中的差分输入信号与电阻参考电路进行比较。由于其简单的结构和高速能力，粗略 A－D 转换器自然选择快速结构。为了执行正确的总转换，粗略 A－D 转换器必须有使得所得到的残留信号总是在精细 A－D 转换器的范围内的精度。如果偏移电压是主要的不准确度，那么输入设备区域需要以所需的精度成反比地增加，精细比较器的功率也会以二次方成比例增加。或者，可以使用一些偏移消除技术，仅需要通过取消额外电路来增加功率（具有一些定时和速度影响）。来自该量化器的所获取的信号被存储在锁存器中并且被施加到开关单元。开关矩阵电压基准将增加类似于全快速转换器参考梯所需的功率。开关矩阵中的电阻梯的功率也应遵循粗糙部分所示的相同特性。该开关单元

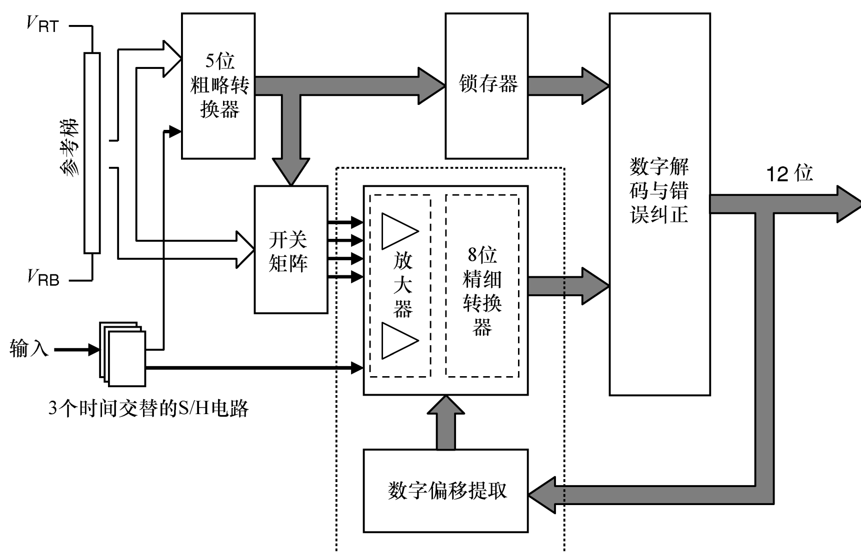


图 3.1　两步/多步 A－D 转换器原型

根据粗略量化，从相同的参考电阻梯中选择 4 个参考信号用于粗量化。这些选择的参考信号与两个残差放大器中来自 S/H 电路的保持的输入信号组合。减少这些放大器的偏移是必要的，因为残差信号相对于整体 A－D 转换器在精度上是准确的。放大后，使用精细缓冲器将残留信号放入精细电阻梯。精细 A－D 转换器的 8 位可以以足够的精度生成，而不需要使用折叠和交错的 A－D 转换器来进行补偿。

如果粗略 A－D 转换器存在错误，则可能会发生缺陷代码，这可能是由于粗略 A－D 转换器的稳定不足或粗略比较器中的失配引起的。因此，精细 A－D 转换器识别超过范围 1 位的信号。S/H 电路必须具有与 12 位操作一致的线性。对于 12 位线性重构 D－A 转换器（由参考电阻梯和开关矩阵组成），粗略 A－D 转换器仅需要为 5 位线性，因为其量化级别中的误差会产生超过或范围内的残留信号值最终被精细 A－D 转换器数字化。然而，在减去残差放大器的输入之前，它们必须保持 12 位的线性度，这是在从另一个减法之前一个输入必须从电压转换为电流的非常重要的约束。残差放大器和精细 A－D 转换器的整体线性度必须表现出与 8 位一致的线性度。

整个 A－D 转换器主要由非关键低功耗部件组成，如低分辨率量化器、开关和开环放大器。尽管多步 A－D 转换器利用相当数量的数字逻辑，但其大多数信号处理功能都是在模拟域中执行的。因此，转换过程易受模拟电路和器件损害的影响。这些错误大部分将在以下部分进一步阐述。

3.2 非理想多步 A－D 转换器的设计注意事项

除了定时误差外，多步 A－D 转换器中存在的主要误差源是 S/H 电路的偏移和增益误差、粗略的 A－D 转换器非线性、D－A 转换器非线性、残差放大器偏移并增益误差和精细的 A－D 转换器非线性。如 2.1 节和 2.2 节所述，源自放大器和比较器的高偏移的那些冗余和数字校正的使用，已经成为应对多步 A－D 转换器中存在的一些误差的有效手段[59,111,112]。这些技术的关键优势在于降低了这种 A－D 转换器对于其比较器和模拟处理过程级间偏移量的线性敏感度。由于粗略 A－D 转换器中的非线性和增益误差引起超范围和代码电平转换，所以应用数字校正的方法基于增加下一级的输入范围，并使用额外的比较器或使用部分在下一阶段的代码来纠正现阶段的代码。

通常，根据所需的分辨率，校正必须仅应用于第一或最多第一和第二步转换器[62]。通过数字校正，减少或消除偏移、增益和粗略 A－D 转换器非线性的影响，因此，D－A 转换器非线性和残差放大器的增益和偏移误差限制了多步转换器的性能。

具有偏移、增益和线性误差的两步 A－D 转换器的框图如图 3.2 所示。由于两步架构中此块的要求与其他架构中的要求没有差异，因此未显示采样和保持误差。不理想的粗略 A－D 转换器、D－A 转换器、残差放大器和精细 A－D 转换器被理想的部件和一系列的增益、偏移和线性误差所取代。

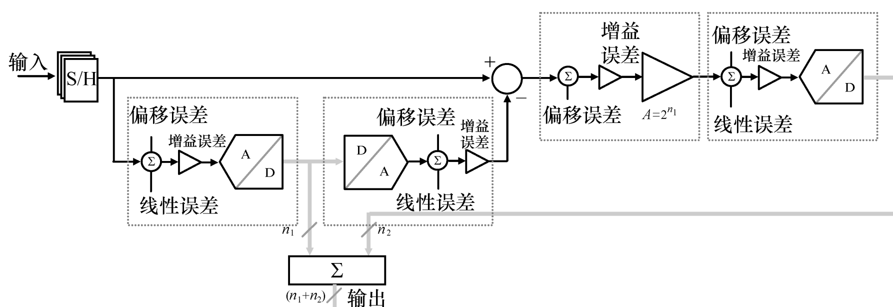


图 3.2 具有偏移、增益和线性误差的两步 A－D 转换器的框图

偏移和增益误差是两种物理效应的组合结果：①噪声，包括模拟开关中的电荷注入噪声，热、发射和闪烁噪声以及从数字电路（通过串扰或衬底）耦合的噪声；②片上处理参数变化，例如设备不匹配偏移误差包括由组件不匹配、自热效应、比较器滞后或噪声引起的偏移。增益误差组包括放大电路中的所有误差，包括运算放大器的技术变化和有限增益和偏移。D－A 转换器误差是由 CMOS 传输门中的电荷注入引起的电阻梯变化和噪声以及开关矩阵中的误差引起的。

热噪声是由电子的随机运动引起的。由于电子携带电荷，电子的热运动导致随温度升高的随机电流。该噪声电流存在于所有电路中，并破坏任何通过的信号。在多步 A－D 转换器中，S/H 电路是最重要的噪声源。由于热噪声从一个样品到下一个样品是随机的，所以不容易通过校准校正，尽管可以通过使用大的组分或过度采样来缓解。然而，对于固定的输入带宽规格，这两种补救措施都增加了功耗。因此，在热噪声、速度和功耗之间存在基本的权衡。

S/H 电路中的偏移误差以及分级偏移误差使整个正确的子范围移位，并且等于两个偏移量的组合前级：分支中的一个在输入分支中，另一个极性相反，在粗略 A－D转换器分支。残余放大器的偏移可以朝向转换器的输入端移动。为了获得相同的结果，必须将相反极性的第二偏移电压插入到 A－D 转换器后一级分支[54]中。因此，增益级输入端的偏移被有效地分成两部分。A－D 转换器输入端的第一个 S/H电路的偏移误差只会引起输入参考偏移量，但不影响多步转换器的线性度。如果应用超范围，则粗略 A－D 转换器的精度要求等于其有效级分辨率。粗略 A－D 转换器的性能主要受到比较器的精度限制，其次受参考精度的限制。这两者都可以被建模为比较器阈值电平的偏移量。比较器的阈值电平通常由其输入端的参考电压直接确定。所需的不同参考电压电平通常用电阻串实现，电阻串依赖于电阻器的相对匹配。当应用超范围补偿[55,59]时，可以轻松实现匹配要求，而无需任何高精度部件。宽松的偏移电压规格允许在某些比较器拓扑中使用内置的调节电路来调整阈值电压电平。如果比较器作出错误的判定，则从输入中减去错误的参考值。结果在残差放大器放大时，多步 A－D 转换器的下一步的范围超出范围。如果粗略 A－D 转换器偏移与粗略 A－D 转换器中存在的非线性的组合不超过校正范围，则通过数字校正消除粗略 A－D 转换器偏移的影响，留下输入－偏移作为下一步偏移的唯一影响。

通过检查理想残差相对于输入的关系图（见图 3.3a），考虑粗略 A－D 转换器偏移影响的残差相对于输入的关系图（见图 3.3b）和粗略 A－D 转换器失调误差在超范围应用时残差相对于输入的关系图（见图 3.3c），来研究粗略 A－D 转换器偏移的影响。在图 3.3a 中，粗略 A－D 转换器和 D－A 转换器都被认为是理想的。当输入在由粗略 A－D 转换器确定的判定电平之间时，粗略 A－D 转换器和 D－A 转换器输出是恒定的，因此，残差随着输入而上升。当输入跨越判决电平时，粗略 A－D 转换器和 D－A 转换器输出在 2 位电平上增加 1 LSB，因此残差值将通过精细 A－D 转换器转换范围的数字值减小。如图 3.3b 所示，当粗略 A－D 转换器具有一些非线性时，D－A 转换器仍然是理想的；对于类似的示例，粗略 A－D 转换器判断电平中的两个被移位：一个移位 $-1\frac{1}{2}$LSB（$n+1$ 个误差）；另一个移位 +2 LSB（$n+2$ 个误差）。当输入跨越移位判定电平时，残差值通过精细 A－D 转换器转换范围的数字值减小。如果第二阶段的转换范围增加以处理较大的残差，则可对其进行编码并校正误差（见图 3.3c）[55,59]。

比较器偏移误差对一个阶段的传递函数的影响如图 3.3d 所示。虚线表示理想的传递函数，实线表示比较器中具有偏移电压的传递函数。

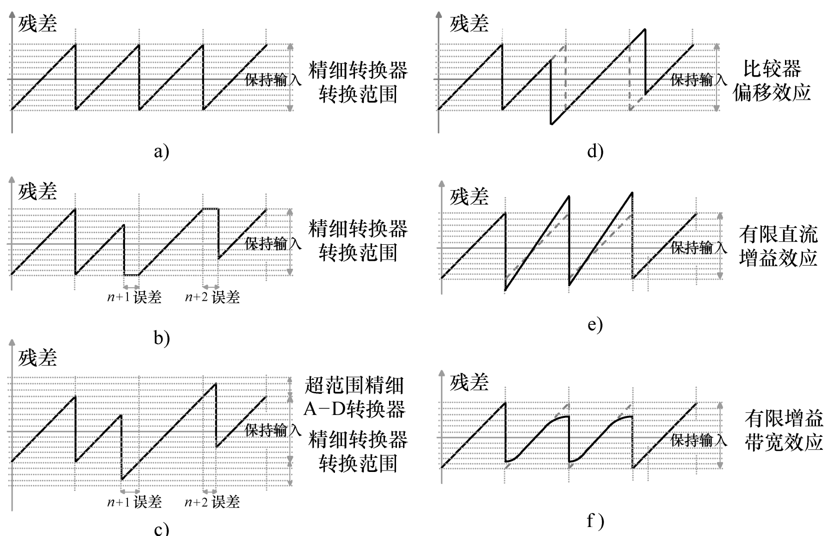


图 3.3　a）理想残差与输入　b）具有粗略 A－D 转换器偏移的残差与输入
c）当超范围应用时，具有粗略 A－D 转换器偏移误差的残差与输入
d）比较器偏移效应　e）有限直流增益对传递函数的影响
f）有限增益带宽对传递函数的影响

D－A 转换器中的参考电阻梯的匹配足以满足 12 位电平[118]，同时也开发了几种减少比较器偏移的技术，如自动归零[48]、平均[50]或内插电容[62]。或者还可以通过分布式预放大与平均[108,109]以及使用内插[110]来减小偏移和输入电容。残留放大器上的偏移给出了精细 A－D 转换器参考相对于粗略 A－D 转换器和 D－A 转换器范围的直流偏移。如果使用校准，残留放大器的偏移误差不影响线性度，如 3.5.2 节所过。

增益要求很简单。由于运算放大器的有限增益，输入采样和保持阶段的任何增益误差只会导致整个 A－D 转换器的转换范围发生变化，但不影响线性度。在多步 A－D 转换器中，每级增益（见图 3.3e）的误差可能由各种源引起，如非无限运算放大器增益、电阻不匹配等。每级增益误差会导致多步 A－D 转换器的输入到输出传递特性的非线性。和偏移情况一样，S/H 电路的增益误差仅改变多步 A－D 转换器的转换范围，但不影响线性度。残差放大器中的增益误差可以缩放残差信号的总范围（作为输入信号与 D－A 转换器信号的差信号），并且当应用于任何非零残差信号时，会导致模拟信号误差输入到下一级，这将导致残差信号不在精细 A－D 转换器范围内。如果下一级的模拟输入中的误差在 2^r 中超过一个部分（其中 r 是残

差放大器之后剩余的分辨率)，则会导致转换错误，数字校正不会消除。此外，如果残差放大器的增益小于理想值，则可能会发生代码缺失[55]。由于所有非零残基都受残余放大器增益误差的影响，从增益－误差的角度来看转换范围边界并没有特殊的意义。增益误差不能通过数字纠错得到纠正，因为 A－D 子转换器和 D－A 转换器电平的漂移增加了小输入值的残差绝对值[59]。由于较大的残差，加剧了由增益误差引起的非线性，但实际上这个缺点很小。A－D 子转换器中的每个线性误差增加了残差，从而使增益误差效应变差。因此，由残差的增加引起的非线性的增加仅适用于理想的 A－D 转换器，而实际应用当中，两种纠错算法的性能几乎相同。双残差信号处理[61]将残差放大器的误差扩展到整个细微范围，从而提高了线性度。精细 A－D 转换器范围内的误差引起的误差类似于残差放大器增益误差。因此，残差放大器的增益应该在精细 A－D 转换器范围内。

采样和保持跟踪非线性是指 S/H 电路在跟踪输入信号时产生的失真。这种类型的失真倾向于随着输入频率的增加而增加。在开关电容 S/H 电路中，非线性主要由 MOS 开关的非线性电阻和与源极和漏极扩散相关的非线性结电容引起。S/H 非线性的深入分析将在 3. 3 节中给出。

粗略 A－D 转换器、D－A 转换器和精细 A－D 转换器的非理想性被建模为输入参考线性误差。粗略 A－D 转换器量化决定子范围和 D－A 转换器设置的选择。当在该量化中发生错误，选择了错误的子范围时，这将导致代码缺失。向精细 A－D 转换器加超范围时，明显降低了粗略 A－D 转换器的精度要求。然而，由于精细 A－D 转换器的输出未被校正，因此粗略 A－D 转换器误差确实导致 A－D 转换器非线性，但这是在精细 A－D 转换器之前的组合级间增益削减的量。可以通过各个级分辨率的总和大于总分辨率来引入冗余，来构建具有对非理想性组件有大容差的多步 A－D 转换器。当通过数字校正算法消除冗余时，同样可以将其用于消除粗略 A－D 转换器非线性和阶段间偏移对整体线性度的影响[118]。

D－A 转换器的参考和 D－A 转换器输入与输出的差信号决定了总 A－D 转换器可实现的精度。D－A 转换器参考电平间隔的非均匀性也加剧了 A－D 转换器的非线性。残差信号不准确完全是由 D－A 转换器非线性量引起的。精细 A－D 转换器的线性度决定了 A－D 转换器的总体可实现的线性度。然而，由于残差放大器提供了增益，该增益因数减小了线性度要求。该量化中的误差增加了总 A－D 转换器的差分非线性。以下各节将进一步讨论每级有限增益带宽积（见图 3. 3f）对总 A－D转换器分辨率的影响。

3. 3　时间交错的前端 S/H 电路

前端 S/H 在多步 A－D 转换器的性能中起着至关重要的作用。没有 S/H 电路，输入信号的最大允许频率将明显低于其理论奈奎斯特要求（$f_{in} < f_S/2$），并且限制

在 f_{in} <（$3f_S$）/（$\pi 2^N$），其中 N 是以位为单位的分辨率，f_S 是采样频率。然而，S/H 的线性和动态范围直接影响整个系统的速度，而速度—精度的权衡则限制了转换率。这个权衡将在本节进一步讨论。

3.3.1 时间交错架构

可以通过使用时间交织技术来提高系统的采样率[90-106]，尽管在不同的时钟相位，可以通过并行运行系统获得较高的采样率，如图 3.4a 所示。3 次 S/H 电路共由 3 个 S/H 单元组成。由于时钟信号有 1/3 处于高位，因此在不同的模拟采样过程下，每个 S/H 单元在高电平时钟周期内进行采样，而在另外两个低电平时间段内保持，同时使 3 个动作（采样、粗略和精确决策）进行，如图 3.4b 所示。在这种设计中，仅用于采样的主时钟的一个时钟周期用于表示从输入看到的总电容减小，因为现在只有 1 个而不是 3 个保持电容 C_H 同时连接到输入端。如果 S/H 单元一个 S/H1 正在跟踪模拟输入信号 n，则 S/H3 执行先前采样 $n-1$ 的粗量化，而 S/H2较早地完成了两次采样之前的精细量化等。在采样模式下，输出开关打开，运算放大器的负载电容小。因此，运算放大器带宽高，这时输出可以跟随输入。在运行期间，输入信号必须通过不同的路径从输入到数字输出。然而，如果在单个单元之间发生偏移、增益、带宽或时间失配，则输入信号每当从一个单元切换到另一个单元时路径都会改变，这导致 S/H 电路输出端的固定标准噪声。后面将详细讨论这些误差的影响和可能的补救措施。

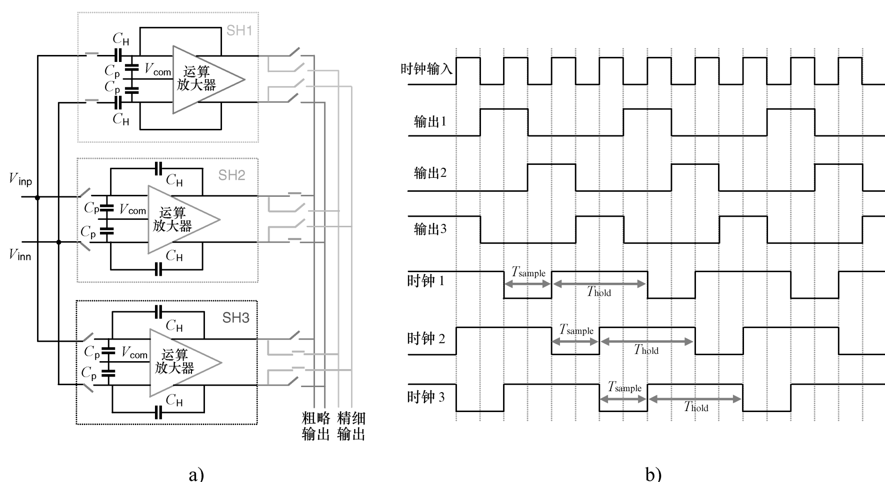


图 3.4 a）在 S/H1 采样以及 S/H2 和 S/H3 保持时，由 3 个时间交错的 S/H 单元组成的总 S/H 电路 b）交错原理的时序图，信号输出 1~3 是时钟发生器的内部信号

每个 S/H 单元电路的基本架构如图 2.7b 所示（见 2.3.1 节）。在采样阶段，运算放大器周围的单位增益反馈在放大器的输入节点建立虚拟接地。输入信号为采样电容器

C_H 充电，这些电容器的底板通过两个采样开关直接连接到输入信号。必须特别注意这些输入开关，因为它们被暴露于完整的输入电压摆幅。因此，导通电阻的变化大体因受输入信号的不同而变化。可以使用对称设计的传输门，使得导通电阻在最大和最小输入电压和/或使开关栅源电压下保持相对恒定，来减小导通电阻变化，如 3.3.3.2 节所述。在这种特定情况下，电路跟踪输入信号，直到开关断开并将输出复位为共模值。断开采样开关后保持电容的电压 ΔV_H 为 $\Delta V_H = V_{in} + V_{ped}$，其中基准电压可分为增益误差和偏移 $V_{ped} = \varepsilon V_{in} + V_{off}$：非单位增益 ε 由信号相关电荷注入引起，恒定直流失调电压 V_{off} 由信号独立电荷注入和时钟馈通引起的。用于采样和保持阶段的输入电压和采样时刻对基座电压幅度的影响如图 3.5 所示。

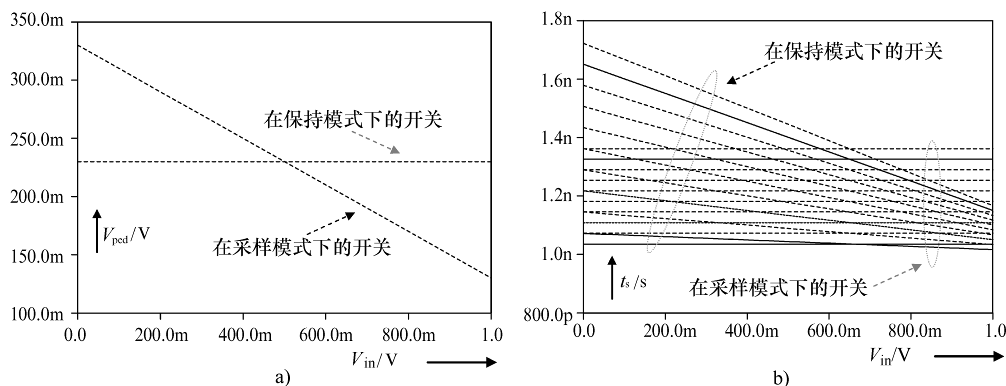


图 3.5　a）基准电压作为输入电压的函数　b）采样时间 t_s 作为栅极控制信号不同下降时间的输入电压的函数

在采样阶段结束时，反馈开关（实现传输门，以确保开关在整个节点电压摆幅中导通）首先打开，而输入采样开关由延迟开关控制时钟驱动。这种切换序列减少了信号相关的电荷注入[125]。反馈开关的开启将注入困在保持电容器 C_H 的开关中的电荷。由于该效应作为放大器的共模信号出现，因此也会被放大器的共模抑制比削弱。时钟馈通也通过使用差分信号路径被校正为第一级。尽管这种技术取决于晶体管的绝对匹配，只要在两个信号输入端存在误差并且具有相同的幅度，就可以通过差分输入来消除误差。由于输入开关的导通电阻 R_{on} 导致的二阶效应不会作为共模出现，因此不会被运算放大器拒绝，因为正输入开关看到的是相等但与负输入开关看到的相反的输入电压。因此，正输入开关的导通电阻 R_{on} 与负输入开关的导通电阻 R_{on} 不同。通过使用小型反馈开关和大型底板输入开关，可以最大限度地减少误差。

在保持模式下，电容器连接到运算放大器的输出端，并且在放大器输出端恢复采样和保持的输入电压。由于在采样阶段（由单位增益反馈引起）放大器的输出总是返回到共模电压，运算放大器必须执行的最大输出电压阶跃仅为满量程的一半。在采样模式下，运算放大器切换为跟随器，这意味着在采样电容器的一侧，参

考电阻梯的直流值存在，运算放大器的偏移也是如此。由于电荷守恒，采样输入出现在运算放大器输出端。由于运算放大器的求和节点被驱动到相同的电位，所以在运算放大器输入端的寄生电容上不存储差分信号电荷。当 S/H 单元切换到保持模式时，此时包含信号值和运算放大器的偏移量的采样电容器连接在运算放大器之间。现在，相反符号的偏移量被施加到电容器，从而补偿采样偏移。在输出端，采样值没有偏移。该偏移消除能力是闭环采样架构的主要优点之一，例如，当运算放大器开环增益 A_0 较大时，残留偏移误差与 $1/A_0\beta$ 成比例。尽管在现代 CMOS 技术中，由于信道长度调制和漏极势垒降低效应，定义为跨导 g_m 和输出电阻 r_o 的乘积的晶体管固有增益通常较低。运算放大器的开环增益可以通过许多技术来改进，包括有源共源共栅[138–141]、正反馈[142–144]和复制放大器增益增强[145]。闭环偏移消除能力的一个附加优点是，像与输入 CMOS 差分对相关联的 $1/f$ 噪声等低频噪声分量也被大大抵消，只要采样频率远大于 $1/f$ 噪声的拐点频率。

开关的类型和尺寸不仅决定可能导致非线性和偏移的电荷注入，还会影响 S/H 电路的带宽和稳定性。在保持模式下，反馈开关不参与更敏感的采样过程，因此对于它们的要求不是特别严格。除了运算放大器的主极之外，还可以由保持电容 C_H、运算放大器的输入电容 C_G 和寄生电容 C_{par} 以及开关导通电阻得到的有效电容 C_{eff} 形成极点。如果两极都是真实相同的，则会达到最佳速度，例如 $\omega_s = 4\omega_{GBW}$[127]，其中 ω_s 表示由开关引起的极点，ω_{GBW} 是运算放大器的增益带宽乘积。因此，可以得到反馈开关必要的导通电阻为 $r_{on} = 1/(4\omega_{GBW} C_{eff})$。在差分结构的采样模式下，4 个开关闭合：2 个开关用于在运算放大器的输入端提供虚拟接地节点；另外 2 个开关在输入端，将输入信号连接到保持电容。由于回路中的第二电阻，传递函数和极点的位置与保持模式获得的结果不同。与保持模式的情况相比，在这种情况下还有一个自由度：提供虚拟接地的输入开关和开关的导通电阻可以独立设置。从实际实现的角度来看，一个现实的选择是两者的导通电阻相等。为了获得两个相同的极点，若假设两个导通电阻相等，将得到 $\omega_s \approx 3\omega_{GBW}$。尽管与保持模式相比要求似乎并不严格，但由于有较大的有效电容，采样模式中开关的导通电阻必须要小得多。

在保持阶段，开关电容器采样保持放大器作为反馈电路进行工作，单元步骤应用于输入。该电路的输出响应是阶跃响应，其需要时间来确定给定的精度。保持时间不足导致的精度的不准确会引起误差，从而使 A – D 转换器性能下降。如果稳定性是线性的，则误差与输入成比例，结果是固定的增益误差。如果稳定性是非线性的，则效应是与信号相关误差[126]。选择放大器带宽太高会增加放大器的宽带噪声，另外需要不必要的低导通电阻开关，这样加大的晶体管尺寸反过来又增加了电荷注入。输出电压必须满足两个稳定要求。在转换器做出决定时，S/H 电路的输出信号必须分别稳定在 5 位和 8 位精度。稳定到完整的 12 位精度可以与 D – A 转换器的稳定同时进行，并且仅在残差放大器的输入端需要。在采样模式下，速度由所需的采集时间决定。对于 S/H 电路，这是运算放大器在从保持模式切换到采样模

式之后需要在其输入节点重新建立虚拟接地的时间。当稳定时间由运算放大器增益带宽 ω_1 决定时，如果动态范围保持恒定，则电路的速度随着电源电压的二次方而减小。可以增加运算放大器传输 g_m 以补偿带宽损耗。

在采样阶段，采样行为取决于电路单元增益带宽和相位裕度。但是在放大阶段，稳定行为主要取决于放大器的闭环时间常数。由于反馈系数小于 1，所以放大阶段的相位裕度不是问题。如果（$V_{GS}-V_T$）按满足输出摆幅要求确定，并且 g_m［与 C_{ox}（W/L）成正比］按满足速度要求确定，C_G 将与 L 成比例。利用先进 CMOS 技术的 L 的缩放会减小 C_G。然而，噪声主要来自采样电容器，由于其对 C_G 的依赖性较弱，因此即使采用缩放技术也不会进一步降低电容器值。如图 3.6a 所示，由于 C_L 与 C_H 和寄生电容 C_p 一起缩放，因此无论 S/H 电路大小（或 I_D）如何，最佳时间常数都会保持常数。因此，如果速度是唯一的约束，则可以通过缩小电容器尺寸来降低功耗，直到速度受其他实际因素，如布局、匹配等限制。时间常数标准化为器件的 τ_t（$=1/f_{t,\,intrinsic}$），大约是（C_G/g_m）。随着转化率的提高，寄生负载效应减弱。在高速转换器中，寄生电容可以与总采样电容相当。曲线上的每个点都有两个可能的偏置条件，在这里只考虑只具有正斜率的曲线，因为它是低功率解。

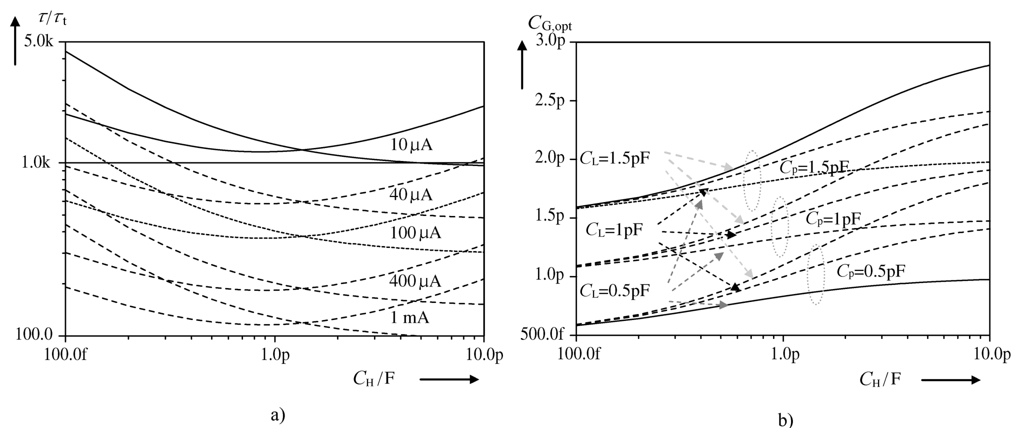


图 3.6　a）闭环归一化时间常数对不同偏置条件下的保持电容 C_H 的情况：$L=0.18$mm、$C_H=3C_L$、$C_L=C_p$　b）不同负载和寄生条件下的最佳栅极电容 $C_{G,opt}$与保持电容 C_H

噪声是高分辨率 S/H 电路前端的重要制约因素，因此必须首先选择合适的保持电容大小，以便将其 kT/C 噪声电平降低到低于给定噪声要求。保持电容值的选择一方面是噪声需求，另一方面是速度和功耗之间的折中。采样动作将 kT/C 噪声加到系统中，只能通过增加保持电容 C_H 来减小这种噪声。另一方面，大电容增加了运算放大器的负载，从而降低了给定功耗下的单位增益带宽。因此，保持电容的选择值总是折中的。接下来，可以通过 $\tau-C_H$ 曲线确定给定速度要求和最小功耗的运算放大器尺寸及其偏置电流，如图 3.6a 所示。注意到，实现给定稳定时间和噪声要求的最小功耗的低频运行的（其中 τ/τ_t 较大）C_G，通常不对应于最小时间

常数点。这是因为将电路的 C_H/C_G 固定为最小时间常数点需要较大的 C_G，这将导致功率增加和带宽过大。

然而，在给定技术的速度极限附近（其比例 τ/τ_t 较小），最小功率点与最小时间常数点之间的功率差变得越来越小，随着严格的稳定时间要求迫使 C_H/C_G 达到最佳值，达到最大带宽。C_H/C_G（见图 3.6b）可以表示为 $C_{G,opt}=\chi_2 C_H$，其中 χ_2 是电路相关的比例因数。对于给定的速度要求和信号摆幅，噪声电压（σ）降低 1/2 需要采样电容值和运算放大器尺寸增加 4 倍。相反，电源电压和信号摆幅增加 2 倍会导致 S/H 电路小 3/4，因此会使运算放大功率损耗降低 1/2。

这意味着在给定的速度要求和电源电压下，每增加一位附加位，S/H 电路的功率增加 4 倍，如图 3.7 所示。注意，对于小的采样电容值，热噪声限制了 SNR，而对于大的采样电容，SNR 受量化噪声限制，曲线平坦化。

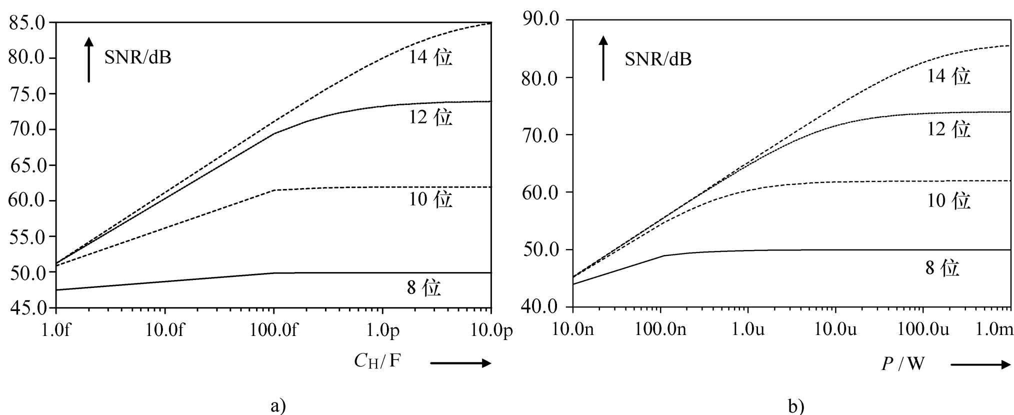


图 3.7　a）不同采样电容值和分辨率的最大可实现 SNR　b）SNR 与功耗

3.3.2　S/H 单元的匹配

S/H 单元的一致性受到两个主要误差源（见图 3.8）的影响：制造过程[130-132]和控制信号馈通的不准确性。虽然 S/H 单元在名义上被设计成相同的，但是组件匹配的程度受到制造过程中缺陷的限制。电容器匹配由电容器板的面积的变化和电介质的厚度决定。芯片上晶体管特性的匹配由阈值电压、迁移率、氧化物和栅极重叠电容以及晶

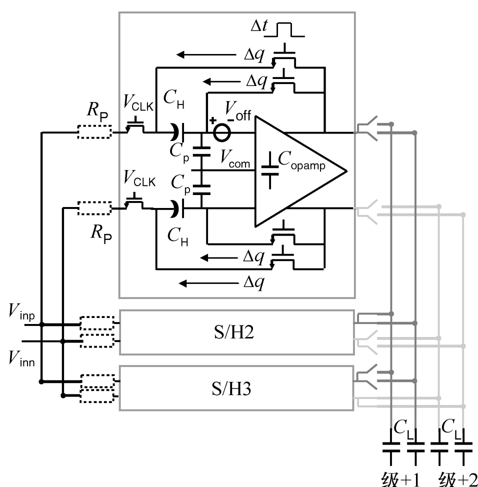


图 3.8　3 次交错采样和保持中的误差来源

体管栅极的宽度和长度的匹配决定。

通常，时间交织系统相关的采样单元的不均匀性的影响可以分为静态（偏移）和动态（时间、增益和带宽）失配错误[133-136]。静态失配会导致采样和保持中的固定模式噪声。它来自 S/H 单元的运算放大器偏移失调和电荷注入不匹配。对于直流输入，每个 S/H 单元可以产生不同的输出，并且该误差信号的周期是 N/f_s，如图 3.9a 和图 3.11a 所示。由于研究的偏移电压是 CMOS 源极耦合差分放大器的偏移电压，它是阈值电压 V_T、宽高比 W/L 和 g_m/I_{bias} 的函数。在这 3 个术语中，该过程确定前两个，而第 3 个与偏置电流的二次方根成比例。在快速关断条件下，通道电荷的变化主导电荷注入失配 q[131]，并且可以被建模为两个几何参数（通道宽度和长度）失配的一部分。两个不匹配晶体管的通道面积 $\delta(WL)$ 的差别是 $\delta(WL)=(W+\delta W)(L+\delta L)-WL$，其中 δW 和 δL 是通道宽度和长度的变化量。由于不均匀电荷注入导致的电压误差 δV_{ped} 与采样晶体管的沟道宽度和长度成正比，这意味着误差电压的大小和输入时间常数是相关的。W/L 较小的开关产生较小的基座不匹配，但限制了采样单元的信号带宽。电荷注入沉积在保持电容器 C_H 上，导致存储在电容器上的电压出现误差，使其在 N/f_s 周期的输出处出现失真。电荷注入失配引起的基座电压的不均匀性的另一个潜在源是采样电容的变化。然而，与采样开关不匹配的误差相比，通常该误差很小，因此可以忽略。

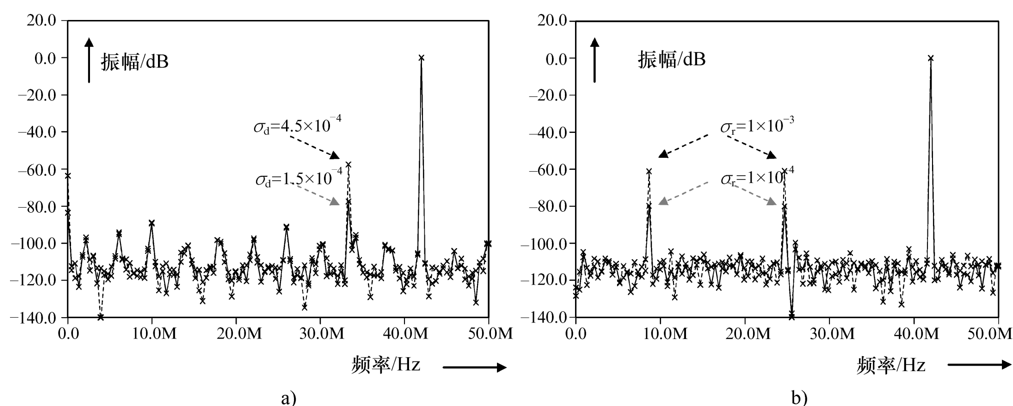


图 3.9　$N=3$，$f_s=100$MS/s

a）$\sigma_d=1.5\times10^{-4}$时和 $\sigma_d=4.5\times10^{-4}$ 的模拟偏移失配

b）$\sigma_r=1\times10^{-4}$和 $\sigma_r=1\times10^{-3}$时的模拟时间失配

每次使用不同偏移量采样时，偏移失配会使信号失真。可以通过向所有交织信

道发送具有相同数量周期的信号并研究平均值的差异来测量偏移不匹配。一旦测量了偏移量，就可以对其进行补偿，从而纠正偏移误差。如附录 A 所示，假设 d_n，$n=0, 1, 2, \cdots, N-1$ 是具有零平均值和标准偏差 σ_d 的独立且相同分布的随机变量，由于偏移造成的杂散功率密度，可以表示为

$$P_d^{spuk}(k) = \frac{1}{N^2}\left|\sum_{n=0}^{N-1} d_n e^{-jkn(2\pi/N)}\right|^2 = \frac{1}{N^2}\sigma_d^2 \qquad (3.1)$$

可以用模拟技术或数字方式取消时间交错系统中的偏移失配。从系统的角度来看，在校准之前必须测量静态偏移是数字方法的一个限制[91,97]。

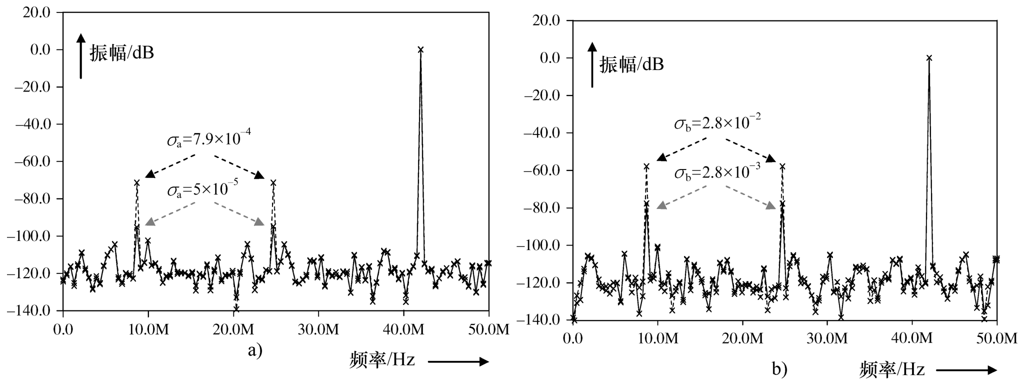


图 3.10　$N=3$，$f_s=100\text{MS/s}$

a）$\sigma_a=5\times10^{-5}$ 和 $\sigma_a=7.9\times10^{-4}$ 的模拟增益失配

b）$\sigma_b=2.8\times10^{-2}$ 和 $\sigma_b=2.8\times10^{-3}$ 时的模拟带宽不匹配

或者，可以利用伪随机信号控制通道输入信号斩波，加上 A－D 转换器输出通道的去除功能[98]。一种模拟偏移消除技术是采用辅助输入级来存储表示运算放大器偏移和电容注入偏移的量[137]。在这种如打击乐器般琳琅满目的设计中，例如差分信号路径、底板采样、小反馈开关、运算放大器高共模抑制比，并且通过使用闭环采样架构，主要削减了所得到的直流偏移，使得随后的偏移不匹配所需分辨率足够低。

采样单元传输特性的均匀性也受到通过衬底的馈通和寄生层间电容的影响。此外，由控制信号引起的公共电源、接地、信号或信号返回线路上的扰动（例如振铃）可能是 S/H 单元性能不匹配的原因。因此，电路的布局被仔细设计并被广泛地屏蔽，以便通过寄生层间电容和衬底来使耦合最小化。

前端采样和保持时，采样时钟是连续的时间信号，采样时刻与其理想值的任何偏差都会导致 SFDR（无杂散动态范围）采样信号中的电压误差，并且这个误差等于这两个时刻之间的信号变化。因此，采样时钟必须被视为敏感的模拟信号并进行相应的处理。除了相位中的随机变化（主要是由于器件噪声和从电源和基板耦合

的随机噪声以及存在于芯片上或电路板上可耦合到时钟上的信号)，时间交错的前端 S/H 也受频率相关的采样时间偏差（系统误差、时钟偏差）的影响，这主要是由于时钟发生器和时钟线路的器件不匹配和非对称布局导致的。由时钟偏移引起的误差信号在 N/f_s 周期的过零点处最大，并由输入频率 f_{in} 调制，如图 3.9b 和 3.11b 所示。如附录 A 所示，假设 r_n，$n=0, 1, 2, \cdots, N-1$ 是具有零平均值和标准偏差 σ_r 的独立且相同分布的随机变量，由于时间不匹配引起的杂散功率密度可以表示为

$$P_r^{spur}(k) = \frac{A^2}{2N^2}\left|\sum_{n=0}^{N-1}(1 - jr_n\omega_{in}T)e^{-jkn(2\pi/N)}\right|^2 = \frac{A^2\omega_{in}^2T^2}{2N^2}\sigma_r^2 \qquad (3.2)$$

式中，A 是正弦输入的幅度。

分布式 S/H 电路采样时钟之间的时钟偏差可以通过测量其值并控制 DLL 的可调延迟进行校准[147]。然而，校正 S/H 电路之间的偏差通常有两个明显的缺点：首先，偏差的测量是复杂的；其次，延迟的调整需要来自校准硬件和算法的高精度。或者，可以通过使用主时钟[126]来同步不同的采样时刻和通过仔细的设计来匹配通道时钟和输入信号线[148]以期获得所需精度内的定时调校。在此设计中，遵循类似的方法：除了对时钟线的广泛屏蔽，线路长度的差异、无源互连参数（如线路电阻率、电容和线路尺寸以及通孔/接触电阻）以及任何有源时钟分布式网络内的缓冲区保持最小。

类似于时钟偏移，如果每个 S/H 单元的增益不同，则基本误差以 N/f_s 的周期发生，但是误差的大小由输入频率 f_{in} 调制。在两种情况下（时钟偏移和增益失配），噪声谱峰在 $f_s/N \pm f_{in}$（见图 3.10a 和图 3.12a）。假设 a_n，$n=0, 1, 2, \cdots, N-1$是具有零平均值和标准偏差 σ_a 的独立且相同分布的随机变量，由于增益失配导致的杂散功率密度可以表示为（见附录 A）

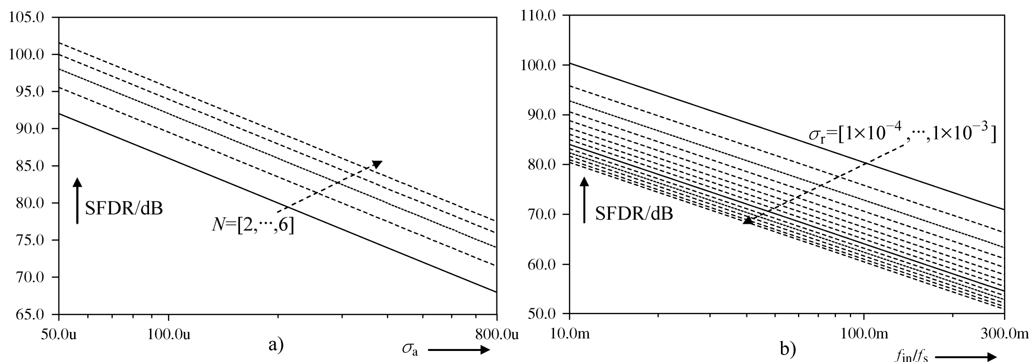


图 3.11　SFDR 与 a）对于不同的 N 的偏移不匹配范围为 $\sigma_d = 1.5\times10^{-4} \sim 4.5\times10^{-4}$
b）不同时间失配的 f_{in}/f_s 比的范围为 $\sigma_r = 1\times10^{-4} \sim 1\times10^{-3}$

$$P_{a}^{spur}(k) = \frac{A^2}{2N^2}\left|\sum_{n=0}^{N-1} a_n e^{-jkn(2\pi/N)}\right|^2 = \frac{A^2}{2N^2}\sigma_a^2 \tag{3.3}$$

增益和定时偏移不匹配将对信号产生类似的影响。通过纯观察，不可能通过增益或时间误差来区分信号是否失真。分析潜在行为的一种可能的方法是改变输入频率，例如增益误差不会随着输入频率的变化而变化，但时间误差随着采样频率的增加而线性增加。增益和定时偏移误差也会在每个采样点带来误差。

然而，与偏移误差相反，这些误差的大小取决于采样信号的相位。例如，如果信号在其过零点附近采样，则增益误差较小，如果在峰值附近采样，则增益较大。增益不匹配可以通过测量参考电平并将其存储在存储器中进行数字校准。可以使用这些测量的参考电平来恢复理想的输出代码[63]。然而，通过尺寸标定使运算放大器的开环直流增益足够大，其失配的影响被抑制在量化噪声电平以下。通过仔细地设计尺寸和布局，实现了满足 12 位电平的电容器匹配，具体也取决于工艺过程。

S/H 单元的内部电容 C_G、跨导 g_m、导通电阻 R_{on}、保持电容 C_H 以及后续级的输入电容和反冲噪声随机变化，就像在一个 S/H 单元所见，降低输出 SFDR 稳定行为和电路增益带宽积不同。该误差以 N/f_s 的周期发生，但是频率和幅度相关的误差的大小由寄生噪声频谱在 $f_s/N \pm f_{in}$ 处的输入频率 f_{in} 调制（见图 3.10b 和图 3.12b）。假设 b_n，$n=0, 1, 2, \cdots, N-1$ 是具有零平均值和标准偏差 σ_b 的独立且相同分布的随机变量，由单极系统中的带宽失配引起的杂散功率密度可以表示为（见附录 A）

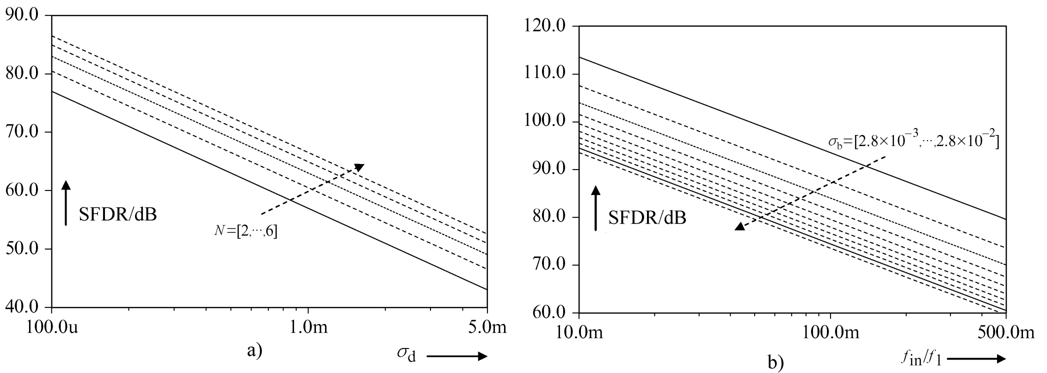


图 3.12　SFDR 与 a）不同 N 的增益不匹配范围为 $\sigma_a = 7.9\times10^{-4} \sim 5\times10^{-5}$

b）不同带宽不匹配范围为 $\sigma_b = 2.8\times10^{-3} \sim 2.8\times10^{-2}$

$$P_{b}^{spur}(k) = \frac{A^2}{2N^2}\left|\sum_{n=0}^{N-1} b_n e^{-jkn(2\pi/N)}\right|\frac{A^2 f_{in}^2}{2N^2 f_1^2}\sigma_b^2 \tag{3.4}$$

通过严格增加带宽，信号频率带宽失配的影响变小。由于这个原因，每个 S/H 单元的带宽已经选择为大于仅在查看信号衰减时需要的带宽。

3.3.3　电路设计

3.3.3.1　带增益辅助的折叠共源—共栅放大器

S/H 电路的最大速度和功耗很大程度上是由运算放大器决定的。通常，放大器开环直流增益限制了放大器输出的稳定精度，而放大器的带宽和转换速率决定了最大时钟频率。S/H 电路中的运算放大器有一些独特的要求，其中最重要的是输入阻抗，它必须是纯电容的，以保证电荷的保存。因此，运算放大器输入必须是公共源或源跟随器结构。S/H 电路的另一个特征是放大器输出端的负载，通常是纯电容，因此放大器输出阻抗可能很高。单独驱动容性负载的好处是不需要输出电压缓冲器。另外，如果所有的放大器内部节点具有低阻抗，只有输出节点具有高阻抗，则放大器的速度可以达到最大。不幸的是，具有很高输出阻抗的输出级通常提供不了大信号摆幅。

最终的稳定精度受到有限放大器直流增益的限制。精确的稳定误差不仅取决于增益，还取决于利用放大器的电路中的反馈因数。一种广泛使用的改善直流增益的方法是基于局部负反馈[56,138,165,166]。除了该共源—共栅调节之外，还提出了用于增加直流增益的其他技术。已经研究出了基于正反馈的增益提升[142,143]。在文献［167］动态偏置中，运算放大器电流在稳定阶段结束时减小，用于增加直流增益。因为电流减少可以降低晶体管 g_{DS}，同时增加了直流增益。通过增加额外的增益级来调节共源—共栅晶体管[140]的栅极电压，放大器的直流增益可以增加几个数量级。

放大器带宽和放大器向负载电容器提供的有限的电流限制了稳定时间。因此，输出速度不能比转换速率更快。设计放大器时，负载电容是已知的，可以从最大电压阶跃 V_{max}和时钟周期 T_S 计算所需的转换速率：$SR = kV_{max}/T_S$。常用的经验法则是建议稳定时间的 1/3 应用于转换，导致 k 为 6，所需的转换电流为 $I_{SR} = (kV_{max} C_L)/T_S$。它线性相关于时钟频率，而获得放大器带宽所需的电流具有二次相关性。

为了在闭环配置中使用放大器，其频率响应应该接近单极响应。因此，单位增益频率下的相位裕度也对建立时间有影响，并且基于这种要求进行 n 沟道器件和 p 沟道器件输入对之间的选择。由于低 p 沟道器件的跨导，p 沟道器件的输入结构（见图 3.13）提供了较低的增益带宽积（G_{m1}/C_L），但最高的非主导极点（g_{m5}/C_1）在折叠的节点与 n 沟道器件级联设备相关（晶体管 T_5 光源）。另一方面，利用 n 沟道器件输入对给出较高的增益带宽乘积，但非支配极低。可以使用前馈电容器以高频绕过共源—共栅晶体管，以提高相位裕度[156–159]。原则上，该技术产生一个零，其用于消除与共源—共栅节点相关联的极点。然而，不可能将这个零精确地放在极点的顶部。因此，存在足够紧密的极 – 零对，也就是双峰，已知其在阶跃响应中引入缓慢稳定分量[160]。可以并行使用 n 沟道器件输入对和 p 沟道器件输入对，将压摆率提高 1/3（总耗电量相同）。然而，同时会增加输入电容和热噪声并

降低非主导极。

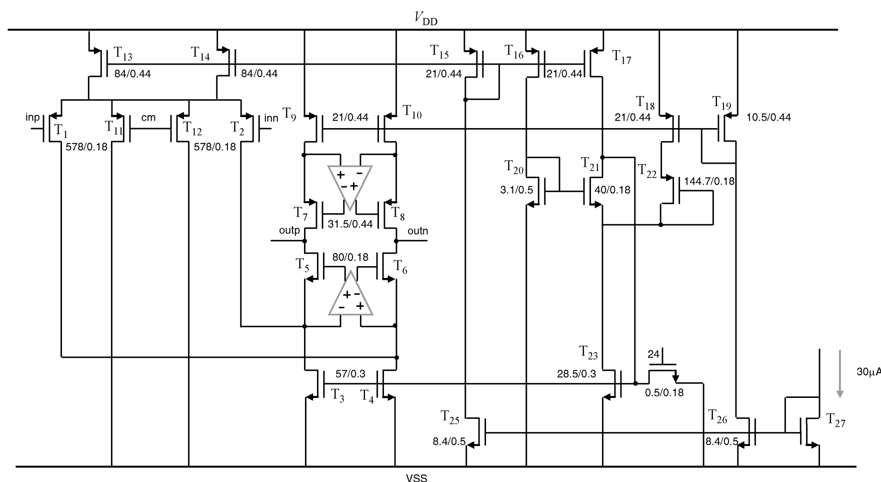


图 3.13　带增益辅助放大器的折叠级联放大器

在全差分放大器中，共模电压电平不会自动确定。为了将其设置为想要的电平，输入级提供了由同一电源连接的两个额外的晶体管 T_{11} 和 T_{12} 组成的共模电路，其栅极连接到输入端所需的共模参考电压 V_{cm}，它们的漏极接地[140]。如果存在输出和输入之间的正直流反馈，则调节输出端的 V_{cm} 电平，使得输入端的 V_{cm} 电平在 T_{11} 和 T_{12} 的栅极处等于 V_{cm}。如果输入端的 V_{cm} 电平上升，则 T_1 和 T_2 中的共模电流降低，并被 T_{11} 和 T_{12} 接地。结果是 T_5 和 T_6 中的共模电流增加拉低了输出端的 V_{cm} 电平。该解决方案的优点是输出端的共模范围不受调节电路的限制，并且可以非常接近轨对轨行为。

输出级的晶体管有 3 个约束：一个输出分支中晶体管的饱和电压之和必须匹配由于提供的电压和期望的输出电压摆幅之间的差异导致的余量；第二，级联晶体管 $T_{5,6}$ 的跨导必须足够高，以便提高共源—共栅的输出电阻，从而允许足够高的直流增益。最后，有效负载 $T_{3,4}$ 和 $T_{9,10}$ 的饱和电压必须最大化，以减少输出级的额外噪声影响。这些考量强调了将饱和电压拟合到电压余量中并使噪声影响最小化的折中。一个很好的妥协是使级联晶体管大于有源负载：以这种方式，使级联晶体管的跨导最大化，提高直流增益，同时降低其饱和电压，从而在不超过电压裕量前提下为有源负载提供更大的饱和电压。

通过使晶体管更大，运算放大器单位增益频率 ω_1（见图 3.14a）可以增大 g_{m1}，然而这并不一定意味着更快的运算放大器。寄生电容 C_G 也增加了，因此反馈因数 $\beta = C_H/(C_H + C_p + C_G)$ 变小，而主极 $\omega_p = \beta\omega_1$ 被推向较低的频率。因此，存在 g_{m1} 增加和 C_G 之间的权衡。这表明存在输入对的最佳尺寸，通过避免使输入

电容在反馈因数上占主导地位，使运算放大器的跨导最大化（见 3. 3. 1 节）。

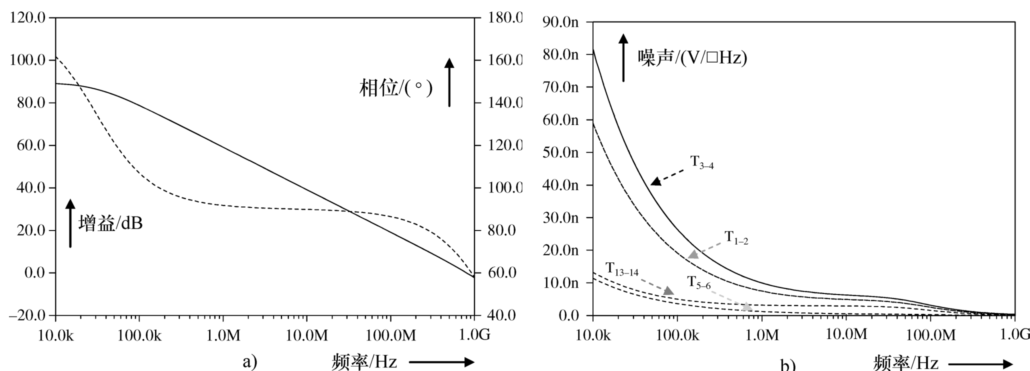


图 3. 14　a）具有辅助增益放大器的折叠共源—共栅放大器的开环频率响应　b）单个晶体管的噪声贡献

放大器中所有器件的总噪声通常被看作结合成为放大器输入端的一个电压源。假设噪声源是不相关的，则总噪声被作为各个输入参考噪声源的二次方和的二次方根获得。放大器第一级器件的噪声贡献最明显（见图 3. 14b），通常其余级的噪声可以被忽略，因为它被先前的电压增益衰减。放大器输入对的输入参考噪声通过增加器件的跨导、增加电流或增加器件的宽高比来降低。然而，最后一种方法的影响被噪声过量因数 γ 的增加部分抵消。当涉及放大器输入时，用作第一级中的电流源（或反射镜）的晶体管的噪声电压乘以器件本身的跨导，并除以被输入晶体管的跨导，这再次表明输入对跨导最大时噪声最小。而且可以通过减少电流源的跨导来进一步减少。由于电流通常由其他要求设定，唯一的可能性就是降低器件的长宽比。这导致栅极过驱动电压的增加，其作为积极的副作用也降低了 γ。应注意，过驱动电压等于 $V_{DS,SAT}$。因此，以低电源电压获得低噪声是困难的，特别是对于输出信号摆幅不大 $V_{DS,SAT}$ 的单级放大器。增加 L 以避免短通道效应也是可能的，但是通过恒定的长宽比，它会增加寄生电容，从而降低放大器带宽。串联晶体管不会对噪声产生重大影响，因为它们的噪声电压通过底层电流源的高输出阻抗变换为电流。

3. 3. 3. 2　自举电路

在标准 CMOS 技术中，MOS 晶体管的阈值电压与电源电压不相关，当 MOS 晶体管用作低电压开关时，它成为一个重大问题。当信号幅度大时，精度和信号带宽受到失真的限制，这是因为导通电阻不恒定但随着漏极和源极电压的函数变化。如果 V_{DS} 小，则导通电阻表示为 $R_{on}=L/[\mu C_{ox}W(V_{GS}-V_T)]$。在等式中，可以识别两个不同的信号相关项：第一个和主要的是栅极－源极电压 V_{GS}；第二个是源极体积相关的阈值电压 V_T。尽管大晶体管开关可用于最坏情况的 V_T 设计，开关寄生电容可以显著地过载电路的输出。因此，可增加 $V_{GS}-V_T$ 是实现低导通电阻开关而不增加太多寄生电容。

有两种方法允许增加该栅极电压驱动：一种方法是通过在该过程中包含额外的低阈值晶体管来减小 V_T，尽管将增加流程复杂性；另一种方法是通过使用芯片产生并提供的大的电源驱动芯片上的所有开关来增加 V_{GS}，但潜在的问题包括通过共享电源对一些敏感节点进行可能的串扰，并且难以估计驱动所有开关总的电荷消耗使得这个方法被排除。

避免主要的非线性源的另一个可行的解决方案是使开关栅－源极电压恒定，通过使栅极电压跟踪具有偏移 ΔV_{off_in}的电压源，其最大值等于电源电压来实现。这种在此设计中实现的技术被称为自举[67]。在这种情况下，图 3.15 所示的自举电路驱动使用相同时钟的每个开关，以避免通过时钟线串扰的问题。ΔV_{off_in}可以用开关电容产生，该开关电容在每个时钟周期中被预充电。在晶体管不导通的时钟阶段，开关电容器预充电到 ΔV_{off_in}。要打开电源，电容在输入电压和晶体管栅极之间切换。

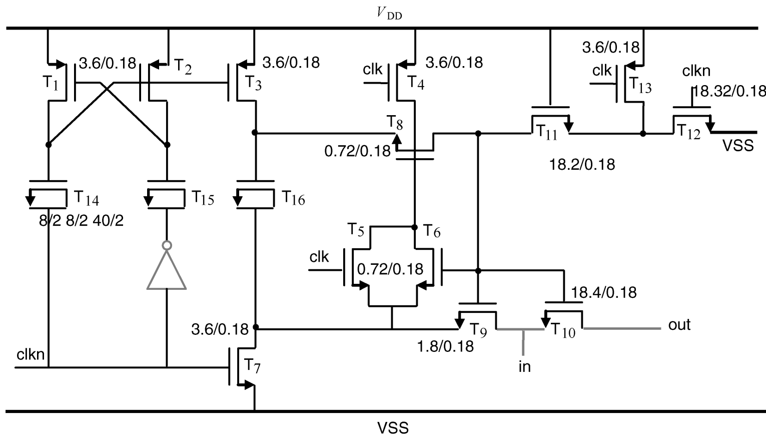


图 3.15　自举电路提升时钟电压

电容器值的选择要尽可能小地为面积考虑，但要足够多地考虑将负载充分充电到期望的电压电平。要在负载下有足够快的上升和下降时间为原则来选择设备尺寸。由开关器件 T_{10}的栅极电容和由自举电路与开关器件之间的互连而引起的任何寄生电容构成负载。因此，在布局中优先考虑使自举电路和开关之间的距离最小或插入屏蔽保护。自举电路的输出波形如图 3.16a 所示。

当开关 T_{10}接通时，其栅极电压 V_G 大于模拟输入信号 V_{in}一个固定差值，为 $\Delta V_{off_in}=V_{DD}$。虽然施加到栅极的绝对电压可能超过正输入信号，但是任何端子－端子器件电压都不超过 V_{DD}。单相时钟 clk 打开并关闭开关 T_{10}。在关闭阶段，clk 是低信号，开关栅极会通过 T_{11}和 T_{12}接地放电。同时，T_3 和 T_7 作为电容器连接的晶体管 T_{16}施加 V_{DD}，对于晶体管 T_{16}，它们在接通阶段充当栅极和源极上的电池。

T_8 和 T_9 在充电时将开关与电容隔离。当 clkn 变高时，T_6 拉下 T_8 的栅极，允许电池电容器的电荷流到 T_{10}的门上。这将打开 T_9 和 T_{10}。T_9 允许 T_{10}的栅极跟踪在 T_{10}的源极处施加的输入电压 V_{DD}，并保持栅源电压恒定，而不管输入信号如何。为了本部分的完整性，总 S/H 电路的输出波形如图 3. 16b 所示。

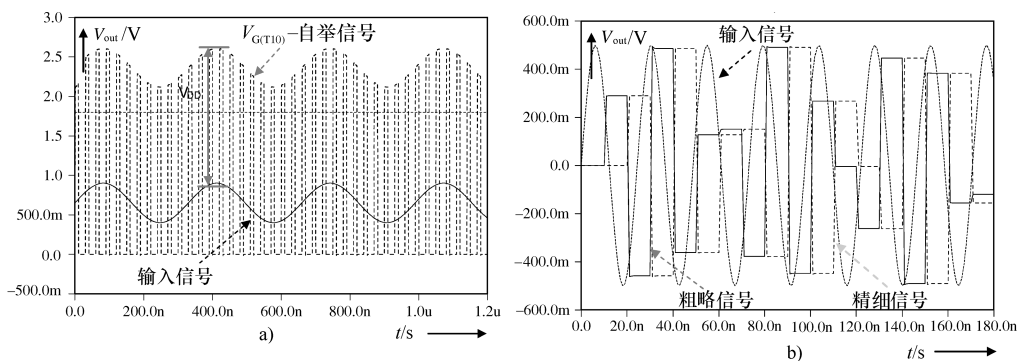


图 3. 16 a）自举电路输出 b）S/H 输出

3. 4 多步 A - D 转换器级设计

3. 4. 1 粗略量化

为了最大化子 D - A 转换器输出的稳定时间，即实现高转换速度，粗略 A - D 转换器应能够在 S/H 电路对输入进行采样并进入保持模式后，尽快将其输出提供到子 D - A 转换器。因为这样提供了最高的吞吐率，所以几乎无一例外，并联多步 A - D 转换器的粗略 A - D 转换器都为快速型[1-21]。如 2. 1 节所述，在快速架构中，模拟信号与 A - D 转换器的每个阈值电压同时与一组比较器电路进行比较。阈值电平通常通过电阻将一个或多个参考电压分成一系列等间隔的电压来产生，这些电压又被施加到每个比较器的一个输入端。所有快速转换器的缺点都源于比较器数量对分辨率的指数依赖性。所需比较器个数为 2^{N-1}，其中 N 是 A - D 转换器的分辨率，如此多的比较器导致了各种有害的影响：大的芯片尺寸意味着高成本，多的器件数量导致产量较低，复杂的时钟和分布明显增加了电容负载，在 S/H 电路中驱动粗略 A - D 转换器需要大输入电容和降低 S/H 中动态线性度的高功耗，由于大的数字开关电流引起的高电源噪声和通过电阻梯形参考电路时由比较器输入偏置电流流动引起的阈值电压的明显误差，这些因素使得实现高达 8 位的快速转换器非常困难，特别是在需要低功耗的情况下。

如果应用超范围，则粗 A - D 转换器的精度要求等于其有效级分辨率。低分辨率快速 A - D 转换器的性能主要受限于比较器的精度，其次受参考精度的限制。为

了缓解大输入电容的问题，模拟输入和每个参考电压之间的差值可以在每个前置放大器的输出端进行量化，这是因为前置放大器的有限增益（非零线性输入范围）。这表明在前置放大器的输出之间插值可以增加快速级的等效分辨率[168]。图 3. 17 的插值技术大大降低了输入电容（从 2^{N-1} 到 $2^{N-\text{Ninterpolation}}$）功耗和快速转换器的面积，同时保持了架构的一步性，因为所有的信号都同时到达了锁存器的输入，因此可以在一个时钟沿进行捕获。

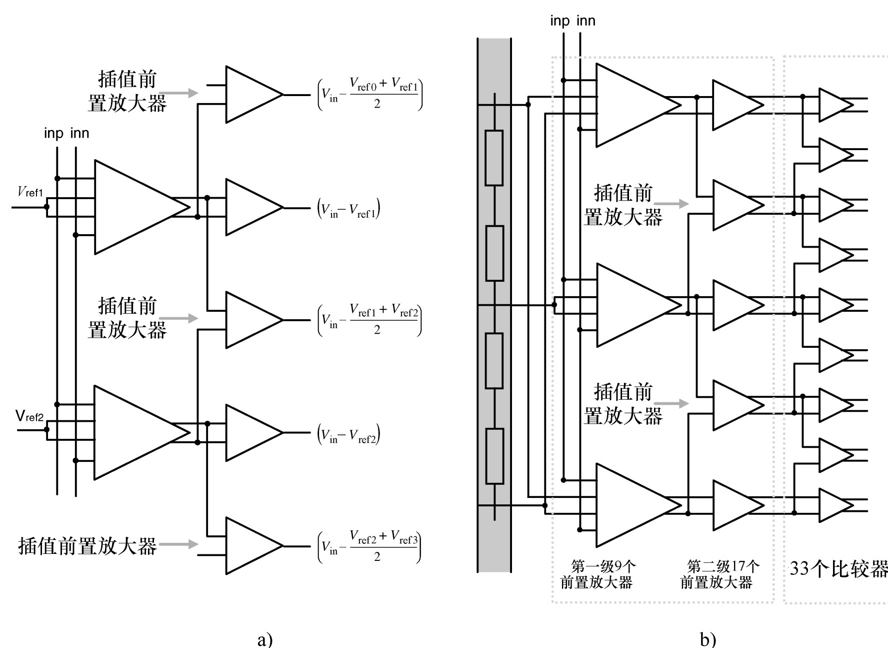


图 3. 17　a）插值原理　b）粗略 A－D 转换器中的插值

插值一般可以视为根据过零点而不是直接幅度量化的 A－D 转换，本质上，插值会向快速转换阶段的一组输入/输出特性增加的零点。插值原理利用了前置放大器非理想性。当输入电压超过参考电压时，并非立即从低电平切换到高电平，它们或多或少地以线性方式在有限范围内跟随输入信号。只要输出信号零点的位置保持不变，前置放大器输出信号中包含的信息就不受影响，因此转换器的精度也不受影响。通过从前向后缩放模拟预处理链中的放大器，也可以在给定的增益/带宽约束条件下优化整体功耗。

前置放大器的增益可以降低驱动比较器的前置放大器的功耗以及所需的精度，从而降低比较器的功耗。通过它们的并行特性，由快速转换器消耗的功率增加所需的量化级数。因此，对于第一个阶数，每增加一位分辨率功率都以指数方式增加 2 倍（见图 3. 18）。功耗和采样率之间的关系取决于使用的工艺和用于改变电路速度的方法。电路的功率是固定的外部电容 C_{fixed}（不考虑晶体管宽度、内部或芯片外

的任何电容）和最大采样频率 $f_{S(max)}$，也就是某个因数（4～50）低于设备 f_T（见图 3.19）。当 f_S 远低于 $f_{S(max)}$ 时，功率与 f_S 成正比。当用晶体管 W 放大的本征电容 C_{scaled} 远远小于 C_{fixed} 时，会发生这种情况。当 C_{scaled} 比 C_{fixed} 大得多时，渐近行为使 f_S 接近 $f_{S(max)}$。在这种情况下，功率增加导致 f_S 的增量减少，而且从功率利用的角度来看效率低下。当 C_{scaled} 等于 C_{fixed} 时，这两种情况之间的过渡或盈亏平衡点就会产生。在功率－速度效率方面，P_{opt} 为最佳功率点。最小功耗受到给定速度和精度的技术质量匹配的限制。

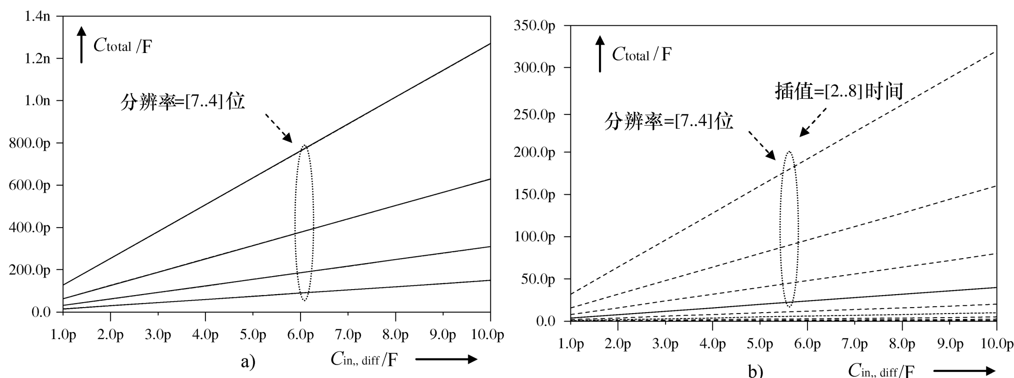


图 3.18　a）作为不同转换器分辨率的固有前置放大器电容的函数，
闪速转换器中的总电容 $C_{tot}=\chi_3(2^N-1)*C_{in,diff}$
b）对于不同转换器分辨率，内插前置放大器电容的插值转换器的总电容
$C_{tot}=\chi_3(2^{N-Ninterpolation})*C_{in,diff}$

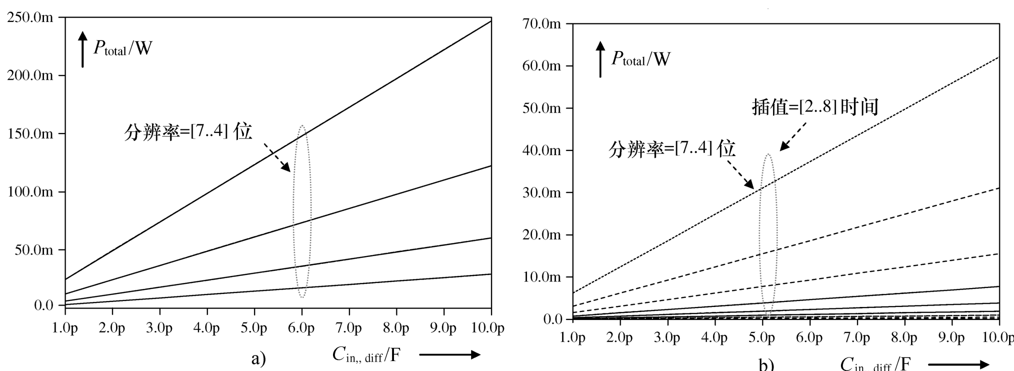


图 3.19　a）根据 $P_{tot}=C_{tot}V_{DD}^2f_s$ 在 $f_s=60$MS/s 下闪速转换器的总功耗作为
不同转换器分辨率的固有前置放大器电容的函数　b）插值转换器的总功耗按照
$P_{tot}=C_{tot}V_{DD}f_s$ 在 $f_s=60$MS/s 下作为不同转换器分辨率的固有前置放大器电容的函数

5 位粗略 A－D 转换器的精度要求仅限于 6 位，因为精细 A－D 转换器能够纠

正高达半个子范围的误差。在总体 A－D 转换器的实现中，将来自 S/H 电路的差分输出与静态梯形参考电路进行比较以获得粗量化。为了能够将两个信号与一个静态参考信号进行比较，一个比较器是必要的，它不在零点的位置而在某个参考电压下具有跳变点。因此，预放大器使用 4 个输入：两个输入连接到 S/H 电路模拟输出，两个输入连接到参考梯。通过为每个前置放大器使用不同的参考，将产生所有过零点。出现在差分放大器的最大非线性误差得以最小化，这个放大器参考电压是与输入电压最远和前置放大器的非线性误差，前置放大器有着与差分放大器的参考电压最接近输入电压，并负责 A－D 转换。

在该第一级前置放大器之后，应用内插法并通过来自相邻前置放大器的输出信号的组合产生额外的过零点。内插适用于亚微米技术的实现，因为前置放大器不需要具有准确的增益、高线性度或大的输出摆幅，并且可以简化以得到最大速度（见图 3.20）。再次使用内插法（见图 3.22a），这些放大器驱动 33 个比较器。每个比较器将数字代码编码之前的 S/H 电路输出电压之差与参考电压的差进行比较。由于这种转换技术只需要静态直流参考，所以它自然没有 *RC* 延迟。与运算放大器一样，最重要的比较器规格是偏移、增益、速度、功耗以及噪声和失配的抗扰性。由于非常小的晶体管被优选以最小化功率和面积，所以比较器不可避免地对于较大的偏移量是敏感的。为了减轻比较器偏移电压对 A－D 转换器线性度的影响，已经开发了诸如插值前置放大器[1]、自动归零[2]或数字背景校准[18]几种方案。在图 3.21 所示的全差分比较器中，实现了低偏移，因此作为 4 种措施的结果没有偏移补偿。由于前置放大器电路中的信号放大，输入信号相对较大。电流－电压转换的大跨阻在电压判定电路的输入端引起大的 LSB 电压。两相时钟方案[179]减少了增加偏移的器件的数量，最后选择适当的 g_m 比率进一步减少输入参考偏移。由于没有偏移补偿，时钟频率会很高。

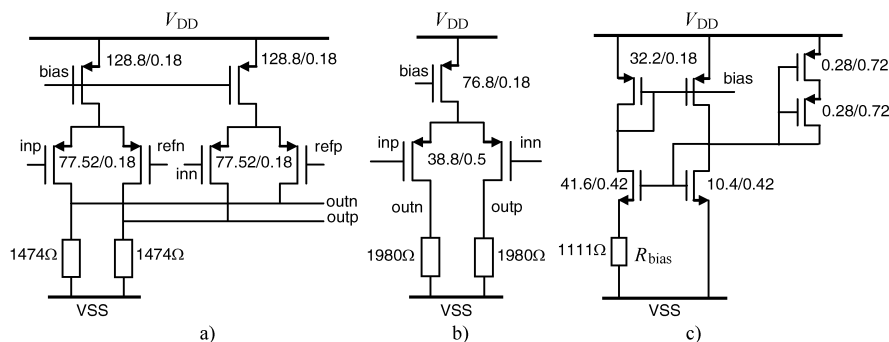


图 3.20　粗略 A－D 转换器前置放大器的晶体管级实现

a）第一级　b）第二级　c）偏置电路

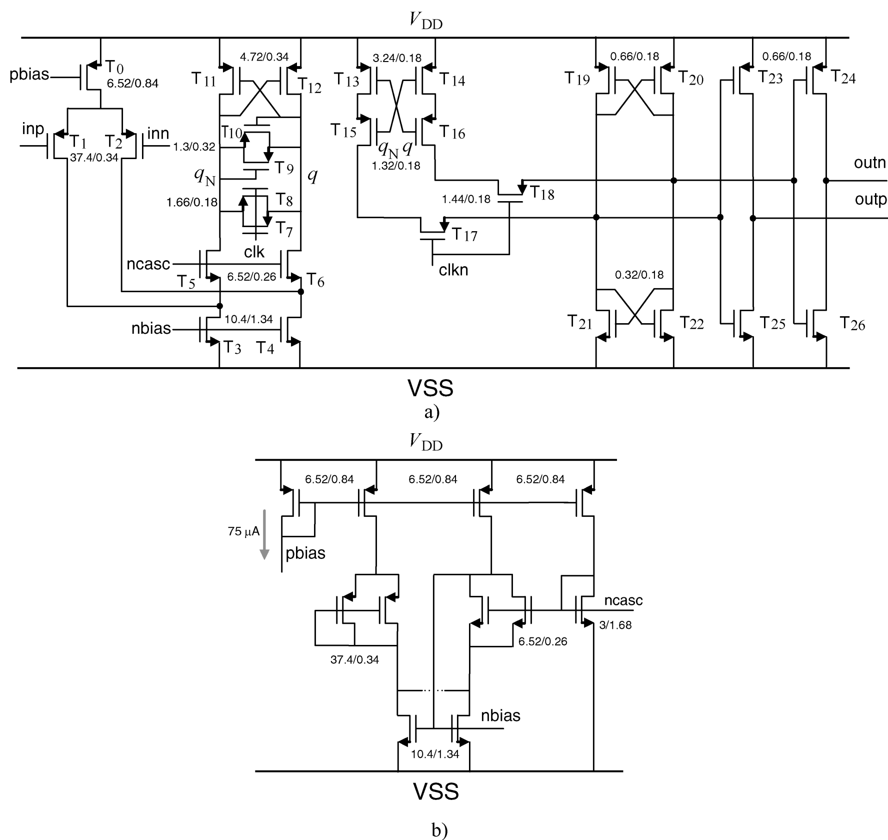


图 3. 21　a）比较器示意图　b）比较器偏置电路

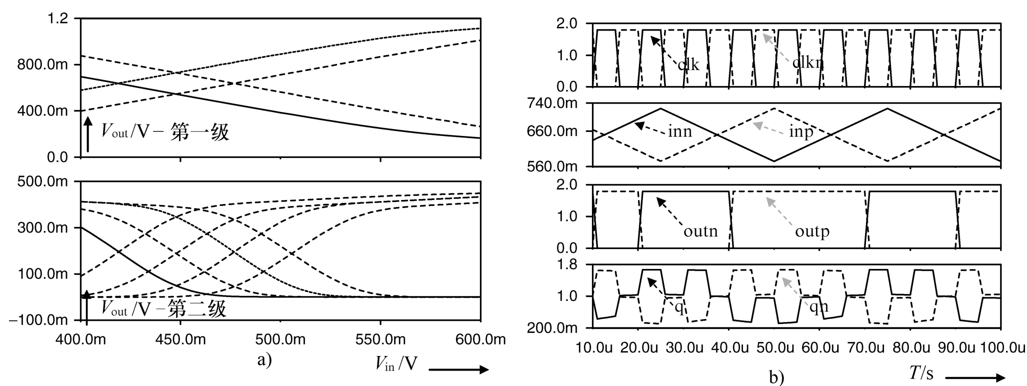


图 3. 22　a）前置放大器第一和第二级的一些插值信号　b）比较器转换

由输入电流－电压转换和随后的电压判定电路组合产生的电流输入锁存器有高速度和低偏移的特性。通过钳位电流－电压转换电路中的输入电压摆幅并优化再生电路的设计来实现高速度。当 clk 为高电平时，电路输出的判定取决于输入信号。时钟的再生动作与前置放大器的组合导致判定电路的不平衡，迫使电路进入由 $V_{(q)}$ 和 $V_{(q_N)}$ 确定输出的状态。

当 clk 为低电平时，交叉耦合的逆变器与判断电路隔离，并且在 clk 切换为低电平瞬间比较器停止比较并记住输入状态。电流流经闭合复位开关 $T_{7,8}$，迫使前两个逻辑状态电压相等。在输入阶段结束决定之后，最终在节点 q 和 q_N 之间建立与输入电压差成比例的电压（见图 3.22b）。该电压将作为后续判定间隔的初始不平衡。锁存器的运行速度由再生时间常数 $\tau = C_{\text{tot}}/(g_{\text{mn}} + g_{\text{mp}})$ 确定，其中 g_{mn} 是 $T_{5,6}$ 的跨导，g_{mp} 是 $T_{11,12}$ 的跨导，C_{tot} 为 q 和 q_N 处的总电容。开关 $T_{7,8}$ 的长度应尽可能小，因为它增加了寄生结电容并且可以引入意想不到的增益（q/q_N）。然而，其宽度应足够大以在复位阶段结束时复位节点 q 和 q_N 来防止迟滞。由于二极管连接的晶体管 $T_{9,10}$ 限制了判定电路的结果，在决策过程中，它们被关闭。在比较器的输出端，放置两个反相器 $T_{23,25}$ 和 $T_{24,26}$ 来缓冲该信息并产生数字信号。

3.4.2 精细量化

粗略量化器以低分辨率数字化输入信号，并将结果数字值应用于重构 D－A 转换器。然后从 S/H 电路的保持级输出中减去 D－A 转换器的模拟输出，形成残差信号。4 个残差信号连接到 4 个精细缓冲器，其将信号施加到精细 A－D 转换器中的两个变化阶梯电阻串的顶部和底部。尽管 8 位精细 A－D 转换器的全并行系统（快速）实现将提供一步操作，但需要大量比较器，从而使此架构被废弃。另一方面，折叠和插值技术已被证明是中等分辨率下高带宽信号数字化的有效方法[169,180]。

3.4.2.1 折叠概念

两步 A－D 转换器通过将 N 位量化分割成两个较低分辨率的量化来获得效率（见图 3.23a）。折叠 A－D 转换器的目的是用简单的模拟电路形成残差信号，从而避免了对粗略量化器、D－A 转换器和附带驱动部件的需要。在如图 3.23b 所示的这种实现方式中，由模拟折叠电路产生的低动态范围残差信号直接驱动精细量化器。除了残差信号不是从粗略量化器的输出结果产生，折叠信号类似于分步 A－D 转换器中的残差信号。然而，由于残差信号的周期性质，来自精细量化器的数字输出是不明确的，并且粗略量化器仍然是必要的，以确定量化器输入信号所在折叠电路传送特性的周期。由于并行性，实现了高转换率。折叠放大器的开环设计也使转换器速度提高。

理想的折叠操作将输入信号以周期的方式映射成连续的线性段。模拟折叠电路的输入－输出特性可以通过其包含的线性分段或折叠进行参数化。粗略量化器基本上用作指向输入值所在折叠段的指针，从而确定最高有效位，而精细部分用于解析

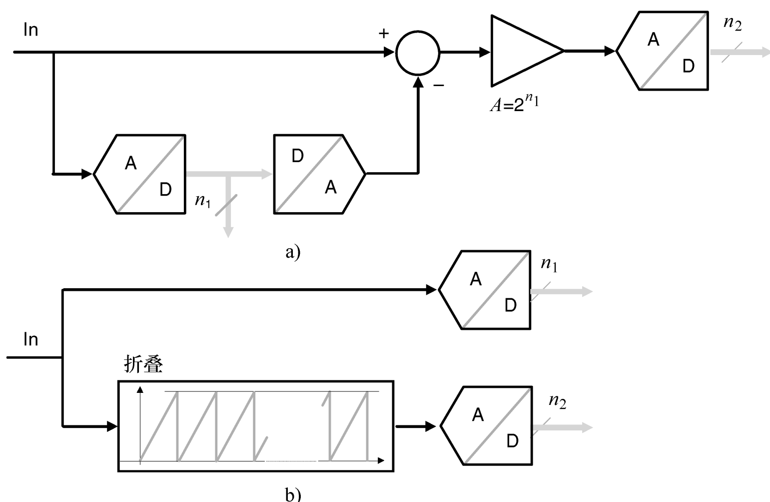


图 3. 23　a）两步分区　b）折叠拓扑

折叠器输出端的电压范围。用折叠因数（F_F）即输入被折叠的线性段的数量，来确定粗略和精细指针阈值的分辨率。对于粗略指针，其分辨率为 $n_1 = \log_2 F_F$，而精细指针需要 $2^N/F_F$ 阈值，因此其分辨率为 $n_2 = \log_2(2^N/F_F)$。

如果简单的模拟电路可以轻松实现所表示的分段线性输入 – 输出特性，那么基于图 3. 23b 的架构的折叠 A – D 转换器是可能的。锯齿形转化特性由于其不连续性而不容易实现。在这些不连续的点处，转换速率应该是无限大的，因此优选三角形特征。然而，完美线性三角形曲线很难产生，其角部趋于变圆。为了解决这个问题，并行使用两个折叠电路来产生具有仔细计算的相互偏移的两个折叠信号，从而保证至少一个信号在所有输入的合理线性区域中运行，如图 3. 24a 所示。每个折叠信号只能在其使用的区域内保持线性。同样值得注意的是，当使用两个信号时，要检测的 V_{out} 的范围继续减少 1/2。这表明每个折叠信号需要区分的电压电平的数量可以互换到使用的折叠信号的数量。然而，在实践中，使用差分折叠设计，折叠信号对于过零点周围的小部分是线性的。因此，这个并行折叠信号的思路可以进一步扩展到过零检测方案。如图 3. 24b 所示，随着更多的折叠信号被并行使用，每个需要折叠信号保持线性的区域减少。最终，如果折叠信号相对于输入电压缩减到只有一个 LSB 的相互偏移时，就使用过零点的位置来确定码转换，而不是检测折叠信号中的电压电平。

这种利用过零检测的方案比电压电平检测更可靠，因为它不需要极端线性化的信号。只要比较器可以确定折叠信号，信号的形状就不那么重要了。图 3. 25 以 3 位分辨率为例表示了过零检测和电压电平检测之间的差异。随着使用更多的折叠信

号，它开始施加限制，因为每个折叠信号需要不同的折叠放大器。因此，相关联的硬件将增加，复杂性和功耗将与闪速转换器相当。

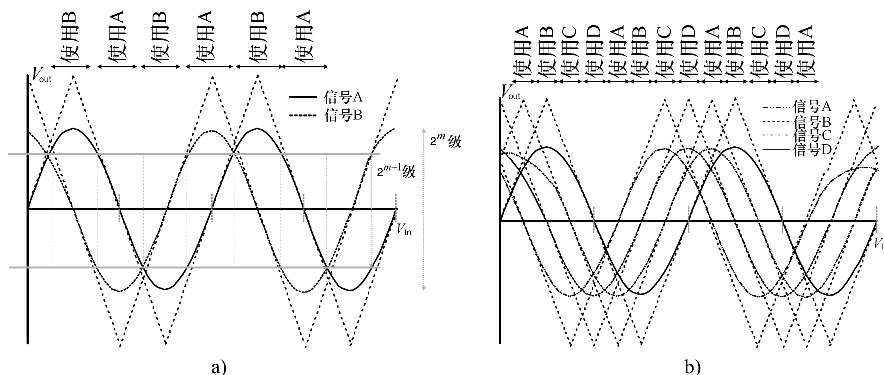


图 3.24　a）使用第二个折叠信号克服拐角区域的非线性
b）使用 4 个折叠信号进一步收缩每个折叠信号所需的线性区域

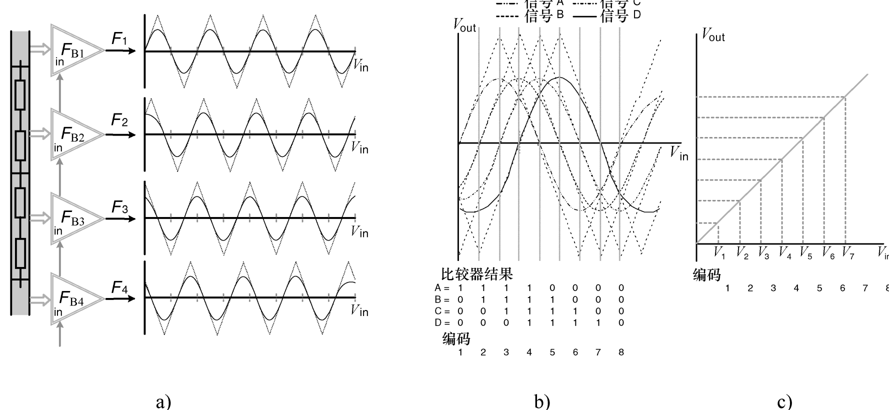


图 3.25　a）平行折叠　b）过零检测方案，其中过零点的位置用于确定代码转换，这减轻了需要完美线性信号的问题　c）电压电平检测方案，其中将线性信号与参考电压（$V_1 \sim V_7$）进行比较以确定码转换

3.4.2.2　折叠和插值 A-D 转换器的设计

从功率角度看，折叠块中的前置放大器级比给定速度的比较器消耗更多的功率，原因有两个：由于时间折叠器中的 n 个前置放大级，折叠块的输出节点电容大约比比较器电容大 $n/2$ 倍，并且折叠块的带宽需要比 $n/2$ 倍的比较器高约 $n/2$ 倍输入信号频率乘以折叠动作。根据折叠转换器的先前描述，具有 m 个最高有效位和 l 个最低有效位的 $m+l$ 位转换器需要 2^m-1 个 MSB 比较器，每个块 2^m 次折叠和 2^l-1 个折叠块和 LSB 比较器。从图 3.26 中可以清楚地看到，折叠转换器消耗

更多的功率，并且比常规闪速转换器慢。为了提高折叠转换器的性能，使用插值生成一半以上的折叠波形。由于只有过零点很重要，因此插值波形可以代替折叠块波形，同时允许将其移除。尽管在这种情况下仅消除一个块，但是在 8 次折叠的情况下，可以使用插值来去除 7 个块中的 3 个，从而随着折叠次数的增加而节省一半的功率和面积，进而产生比闪速转换器更有利的功率性能。因此，大多数折叠转换器使用经过修改的架构，用于低失真加上插值，以减少功率和面积。

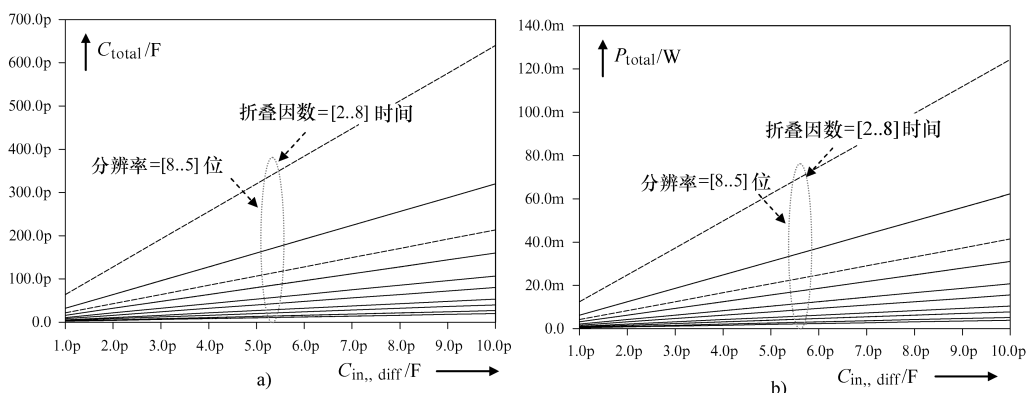


图 3.26　a）折叠和插值转换器中的总电容 C_{tot} 作为不同转换器分辨率的固有前置放大器电容的函数　b）折叠和插值转换器中的总功耗是以 $f_S = 60\text{MS/s}$ 为基础的 $P_{tot} = C_{tot} V_{DD}^2 f_S$ 作为不同转换器分辨率和折叠因数的固有前置放大器电容的函数

如之前所述，折叠和插值 A – D 转换器基于过零点确定数字输出代码转换。因此，为了提高 A – D 转换器分辨率，必须在输入范围内创建更多的过零点。可以通过增加输入端的折叠放大器的数量来实现这一点。然而，这种方法将增加更多的并行性，也就是伴随着功率上和速度上的亏损。折叠放大器对于匹配的晶体管也非常敏感，这又会影响 A – D 转换器的性能。增加零交叉数量的另一种方法是增加插值因数，然而这种方法有一些缺点：首先，输出需要更精细的比较器，这导致功耗增加，面积更大，速度性能下降；第二，如文献［184］所说，由插值产生的信号与原始折叠信号产生振幅失配。通过插值获得的折叠信号仅提供过零点附近的理想折叠信号的良好近似。插值信号本身具有不同的幅度和斜率。尤其当插值因数大于 2 时，幅度不匹配导致过零点的位移。另外一个解决问题的可能方案是在插值之前增加每个折叠信号中的折叠次数。

然而，在一个折叠放大器中插入太多的差分对会减小折叠放大器的增益。这是因为每个折叠信号的折叠数量的增加减少了折叠放大器中两个连续差分对之间的电压差。差分对的 g_m 曲线开始重叠，从而使折叠放大器的增益恶化。鉴于本节所述的局限性，改进折叠和内插架构的重点放在增加每个信号的折叠数。虽然，级联折叠和插值架构[109,184]减轻了 g_m 曲线重叠的问题，但由于每个阶段的折叠都以较低

的频率进行，考虑到精细 A－D 转换器设计规格，其继承的速度－精确度－面积－时间相对于市场的妥协不能保证选择。

精细 A－D 转换器的架构概况如图 3.27 所示。由于在 3.2 节所述的精细 A－D 转换器中采用误差校正，所以必须从残留信号（精细转换器的输入信号）中产生附加的所需范围。后面将对此进行介绍，通过利用双残差技术，精细 A－D 转换器将不具有固定的参考电压。通过使用两个电阻梯的插值产生精细转换的过零点。

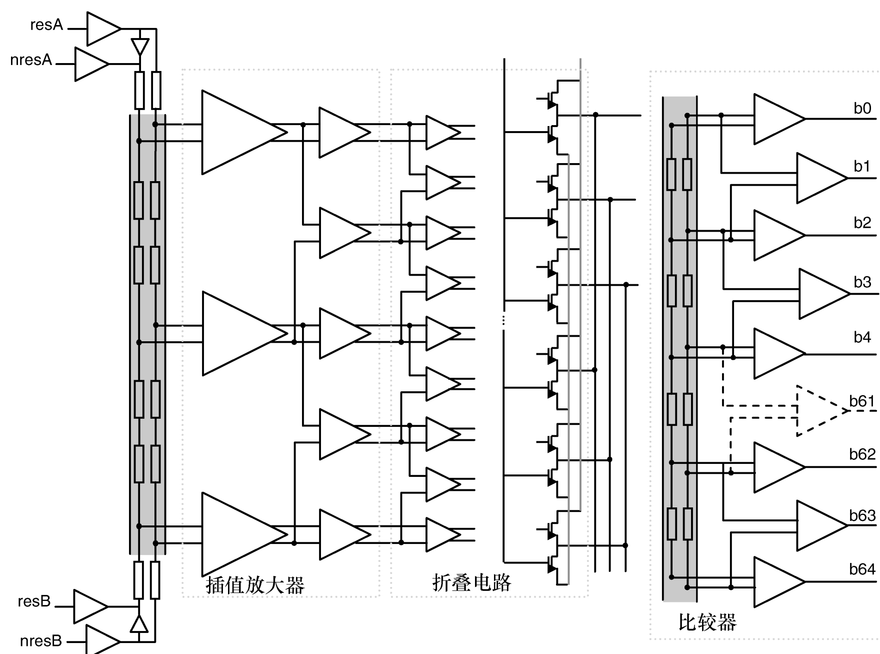


图 3.27 折叠和插值精细 A－D 转换器的概念示意图，MSB 生成未显示

为了减少功耗和电容负载，在折叠前置放大器的前面放置了两级插值前置放大器（由第一级的 9 个和第二级的 17 个前置放大器组成，类似于之前描述的粗略量化器插值前置放大器）。在第一级前置放大器的输出端，在两个相邻前置放大器的差分输出电压之间产生附加的插值、过零点，如图 3.28a 所示。第二插值级由 dir 信号控制，dir 信号根据梯形电流的方向从高变为低。第一个折叠级由 33 个折叠放大器组成。这些放大器产生一个钟形信号（见图 3.28b），它们插值以产生额外的折叠，如图 3.29 所示。

第一和第二前置放大器级、折叠放大器差分对和偏置电路的晶体管级实现如图 3.30 所示。为了更详细地说明实现的折叠原理，请参考图 3.31 所示的典型的折叠原理实例。在典型的折叠实例中，差分对的输入连接到转换器输入电压和由电阻梯产生的参考电压。交叉连接每个其他差分对的输出产生该折叠的周期性传输特性，

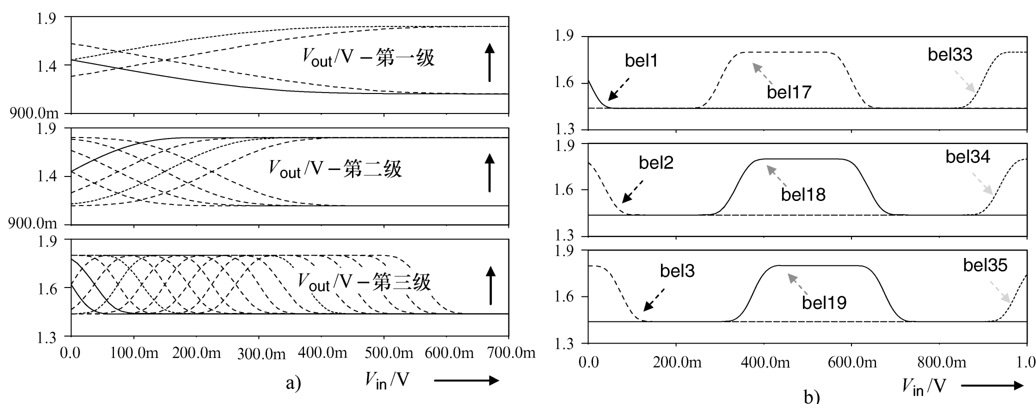


图 3.28　a）第一、第二和第三前置放大器级的插值　b）在折叠编码器中形成钟形折叠信号

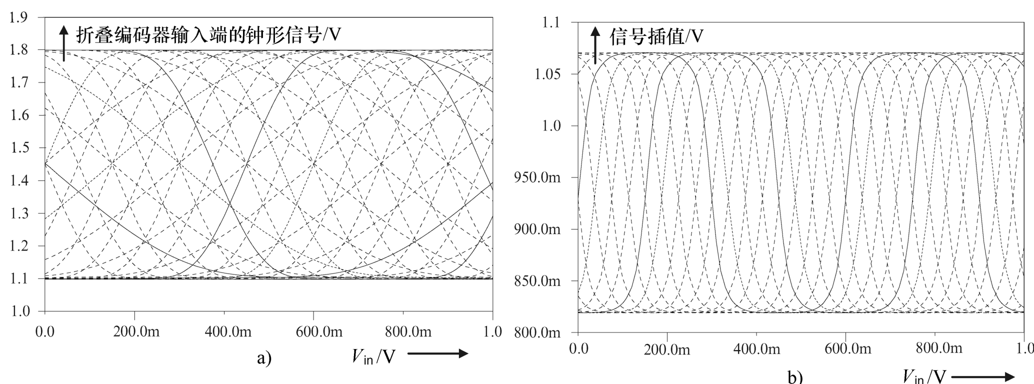


图 3.29　a）折叠编码器输入端的钟形信号　b）信号插值

如图 3.24 所示。文件夹的当前输出通过负载电阻转换成电压。以这种方式实现的传输特性类似于图 3.23 所示的理想传输特性，但其峰值变平，如果要解决折叠的完整输出范围，则会导致整个 A－D 转换器的响应过度失真。这种舍入问题通过偏移平行折叠解决，其中过零检测取代了精确的电平量化。平行使用折叠块可提高 A－D转换器的分辨率，也不会增加系统的折叠率。所有折叠块具有完全相同的模拟行为，尽管它们使用稍微偏移的参考电压。随着折叠数量的增加，在每个折叠处需要解决的级别数量对于给定的整体分辨率而成比例地减少。尽管使用简单的平行折叠将导致大量的折叠以获得足够的分辨率，这本身将导致大输入电容，但是插值技术可以使其达到可接受的水平。

理想情况下，折叠放大器应具有分段线性传输特性，但由于折叠放大器中不同差分对之间的不匹配，每个线性段的斜率可能不同。然而，不同电路元件之间的失

配会导致输出过零点中意想不到的漂移，并且似乎是差分对的偏移。恒定电流源的电流差异、尾部电流与其理想值的偏差、差分对的偏移、参考电压的非线性分布以及输出负载之间的失配等误差有助于每个折叠单元的等效输入偏移。然而，由于前置放大器的增益，折叠放大器的差分对中的偏移只有有限的影响。可以使用具有较小尺寸的晶体管来限制折叠块输出节点处的总电容，并且因此确保折叠预处理过程有大的带宽。

另外，前置放大器的增益可以实现折叠器的大型 V_{DSAT}，这又可以在低电源电压下进行折叠。因此，折叠只需要差分对，这样就提供了简单、快速和低电源电压兼容的解决方案（见图 3.30）。折叠输入输出特性意味着折叠输出端的信号带宽将

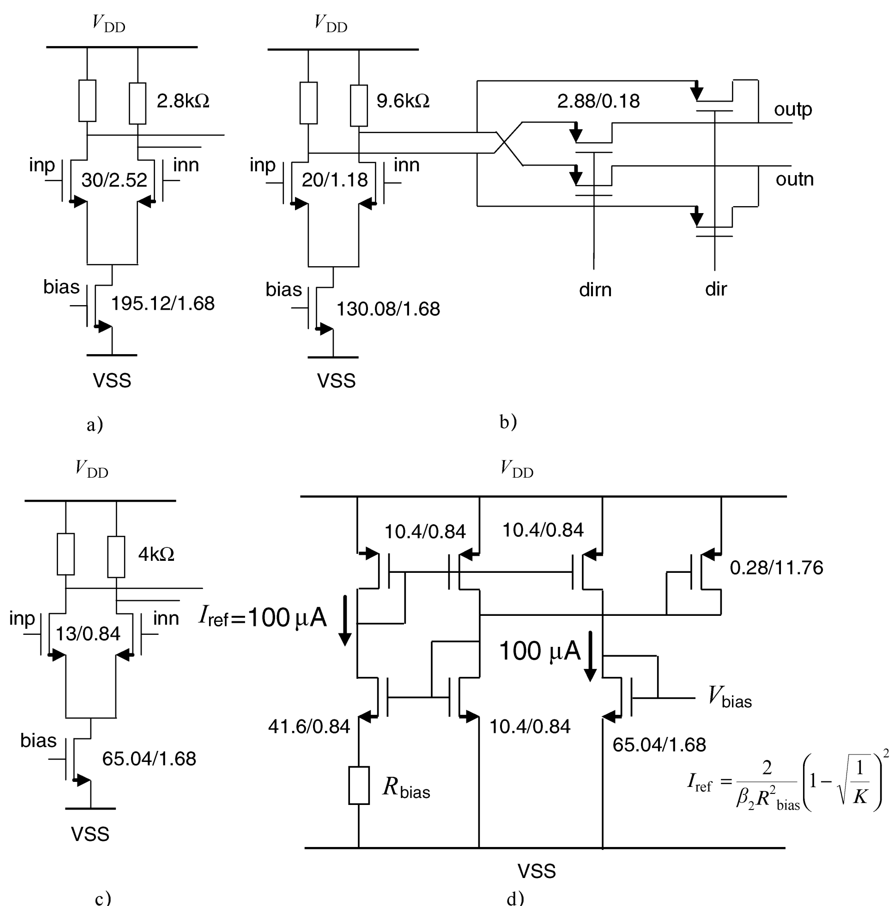


图 3.30 精细 A－D 转换放大器的晶体管级实现

a）第一插值级 b）第二插值级前置放大器 c）折叠放大器差分对 d）偏置电路

大于输入端的信号带宽。第二，折叠放大器和插值器的转换速率也应该足够大，以防止信号偏移。大带宽和压摆率都需要较大的偏置电流。带宽限制以 3 种方式影响折叠输出[191]：①衰减波形；②引入群体延误；③改变过零点的相对位置。在实际实现中，使用简单的放大来补偿衰减，而不影响过零点的位置，而组延迟仅仅是折叠输出的整体延迟，不影响转换器的线性。然而，过零点的剩余位移与用于对输入信号进行采样的阈值的变化相对应，并因此在转换过程中引入非线性。在折叠输出端，滤波器的带宽越窄，位移越严重，从而信号的失真变得越来越严重。如果折叠放大器（或其他模拟预处理块）的带宽不够大，高频内部信号将导致动态性能的下降。负载折叠的输出节点的电容由下一级的输入电容和差分对晶体管漏极的寄生电容组成。后者可能相当重要[178－182]。终端电阻和折叠输出端的电容形成了对输出波形进行过滤的带宽限制网络。为了应对模拟带宽限制，采用了一种运算放大器[178]。跨导级的输入和输出阻抗都是 $1/g_m$，并且变低，因此模拟带宽增加了一个因数 g_mR。另外一个优点是其低输出阻抗，有利于驱动下一个阶段。

折叠放大器的低欧姆输出 outp 和 outn 连接到电阻插补梯。电阻[169]、电流[182]或有源[183]插值可用于产生额外的折叠。在电流插补模式中，插值电流用共源—共栅电流镜分成与电流镜尺寸成比例的小股电流，并且相加以形成精细电流分割[194]。然而，插值装置（即电流镜）的电流偏移导致插值的过零点的误差。大的沟道长度是有利的，因为它产生较大的有效栅极电压，这使得阈值偏移值相对于信号输入而不太明显。与电压插补模式相比，电流模式插补电路的延迟变化小得多。在有源插值中，图 3.31 的折叠放大器的差分对被实现插值差分对的 4 个晶体管结构所取代。两个额外晶体管的漏极和源极连接到原始差分对的漏极和源极。在作为两个输入信号的函数的输出电流中，在两个输入信号的过零点之间实现零交叉。

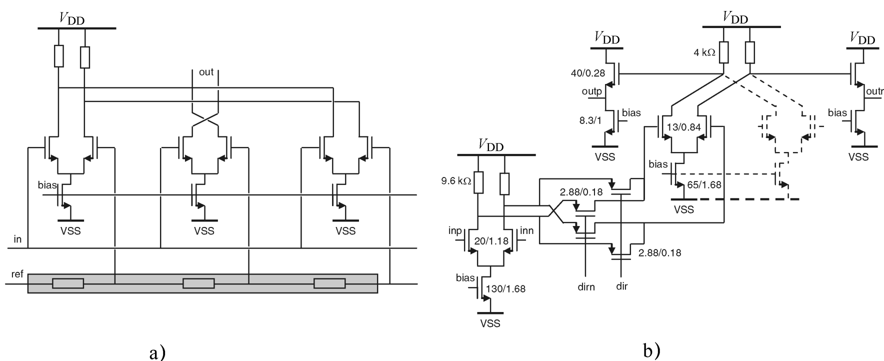


图 3.31　a）典型和 b）具有第二级前置放大器的折叠原理

另一方面，电阻插补提供了相对于电流插值更简单并且功率效率更高的解决方案。在电阻插值中，两个插值折叠波形的线性部分必须延伸到彼此的过零点，以避免插值折叠波形中的误差。可插值区域是折叠波形线性区域的一半。为了提高电阻

插值的线性度，几种基于电阻网格[184,193]和平均[108,109]的技术是可用的。然而，这种架构中的常见问题是需要超范围比较器来保持转换边缘的线性度。文献［170］中的电路技术允许减少超范围比较器的数量，尽管该技术依赖于将终端电阻与超量程块的输出电阻匹配。然而，插值的特殊情况是两次插值，其中非线性不影响插值过零点的精度，所以插值折叠波形长度对称并且形状相同，因此在该设计中使用。另外，与较高的插值因数相比，两次插值减少了延迟差异，这是由每个比较器的输入端子返回到插值器的不同阻抗引起的，同样，这也放宽了带宽限制。使用两次插值，来自下一个源的 32 个互补信号转换为 64 个过零点，可以驱动对应于 6 个最低有效位的 64 个差分比较器。为了区分对应于相同折叠信号输出的 8 个可能的输入电压，超范围信号被施加到另外 4 个比较器以产生两个最高有效位。两级所有比较器类似于 3.2 节（见图 3.32）中描述的比较器。

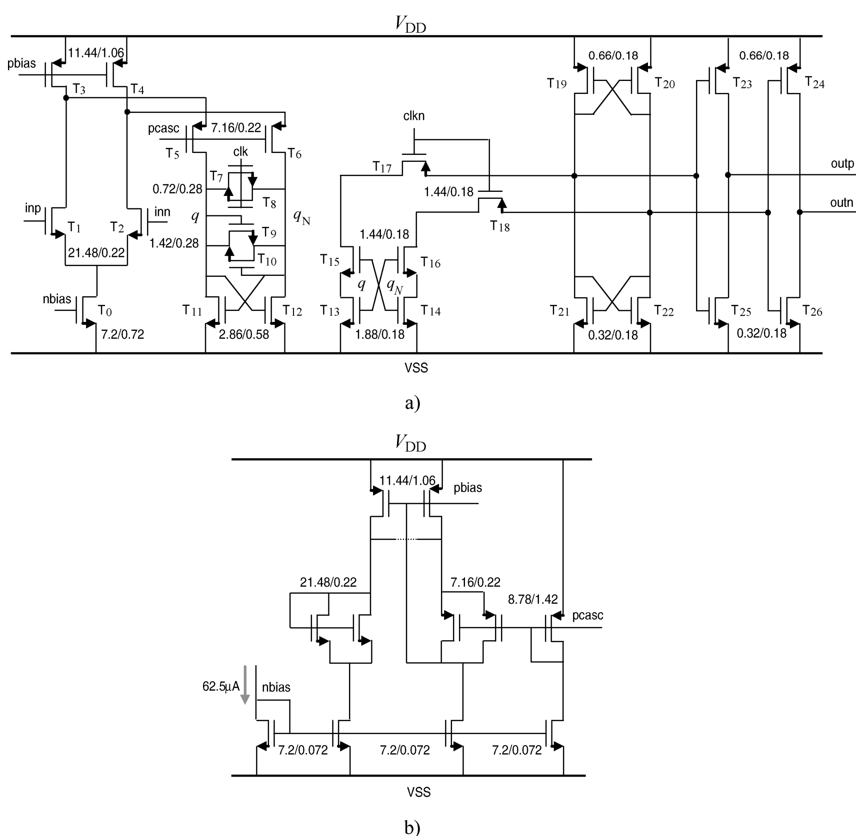


图 3.32　a）实施的比较示意图　b）比较器偏置电路

源极跟随器电路的低输出阻抗可以直接驱动电阻。由每个电阻梯上的源极跟随器偏置电流产生的直流电压降定义为差分满量程范围的一半，因此通过改变梯形偏

置电流来控制量化器输入范围。两个梯形电路的每个输出端子都必须遵循输入信号的完全偏移，然而由于负载梯的比较器的分布式 *RC* 延迟，较低的端子缓慢地趋于稳定。然而，信号插补减少了梯形电路上的电容负载。

3.5　中间级设计和校准

3.5.1　子 D – A 转换器设计

在完成粗略决定并生成温度计代码之后，结合异或门的组合比较温度计代码的每两个相邻位。然后就打开了开关矩阵中相应的开关，从静态电阻参考梯中选择一个特定的子范围 sub。假设选择 sub（n），如图 3.33a 所示，通过切换适当的开关，选择最接近差分输入信号的 4 个参考信号。这些参考信号与差分输入信号组合在一起，以产生两个残差信号的差分对：resA = inp – refA；nresA = inn – nrefA；nresB = inp – refB；resB = inn – nrefB。两对残差信号分别都连接到两个电阻梯的输入和输出端，如之前所述。信号从 sub（n）变为 sub（n + 1）。一对参考信号（refB ennref B）通过开关保持连接，而另一对参考信号（refA en nrefA）改变了端子。如图 3.33b 所示，粗略比较器中的粗略 A – D 转换器不匹配或不够稳定会转换为量化误差，并且显示为导致漏码的量化步长的位置的偏移。如 3.2 节所述，超范围和数字校正的使用已经成为应对这些错误的有效手段[59,111,112]。为了产生这个超范围，精细 A – D 转换器不使用与粗略判定相同的参考，它连接到移动了半个子范围的参考端子，如图 3.33c 所示。

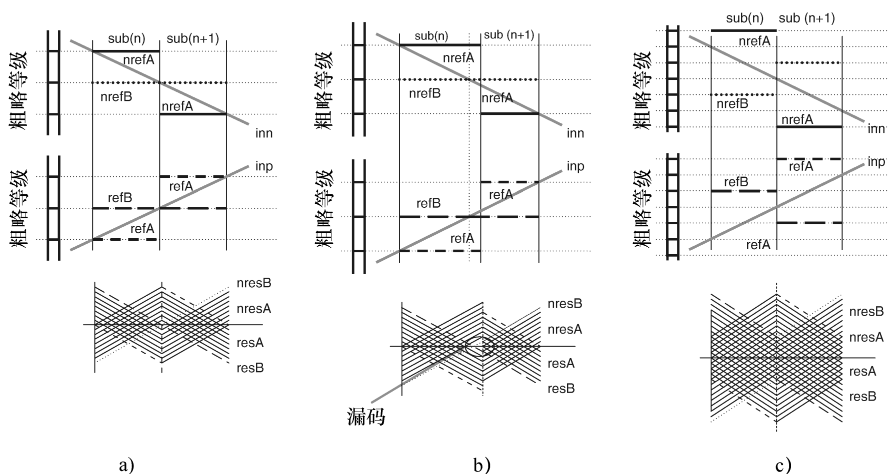


图 3.33　a）参考信号的切换和残差信号的产生　b）信号切换时具有粗略 A – D 转换器误差，无超范围　c）具有超范围和残差信号的超范围信号切换

残差信号对生成方式与上述方法类似。残差信号具有范围内的部分也有欠量程和超范围部分。当粗略 A – D 转换器发生错误时，子范围之外仍然存在精确的比较器来量化此级别。通过适当延迟阶段输出位重叠相加来进行超范围电平的重建：精细级的 MSB 被添加到粗略级的 LSB。粗略阶段的 LSB 不被校正，这表明粗略阶段必须是没有超范围的完全快速。由于超范围校正造成的硬件过剩非常小，在精细阶段里，比较器的数量有所增加，但是在 D – A 转换器中，只需要几个额外的开关。然而，随着比较器规格同时放松，面积和功率最小化产生积极的影响。对于数字域中的重构，只需要一个小的加法器。值得注意的是，S/H 操作、子 D – A 转换和相减的残差必须达到等于多步 A – D 转换器的总分辨率的精度要求。因此，多步 A – D 转换器的分辨率受到子 D – A 转换器的精度（例如，稳定性和部件匹配）的限制。

在标准 CMOS 工艺中，可以通过几种方式，例如基于二进制加权电流源[196]或通过使用 MOS 开关的 R – 2R 梯中的电流划分来进行中等分辨率子 D – A 转换[197]。电阻梯形架构是迄今为止最简单的 D – A 转换器实现。此外，只要开关元件设计正确，并且与其他架构相比，DNL 相对较低，它们本质上是单一的。电阻串 D – A 转换器本质上是串联的一组相同的电阻器，顶部电阻连接到电源，底部电阻连接到地（见图 3. 34）。根据其与电源的接近度每个电阻之间的节点具有不同的电压，并且通过在数字信号上使用温度计或二进制解码，可以选择一个特定节点作为正确的模拟电压。电阻元件的数量决定了电阻梯形 D – A 转换器的分辨率，n 位 D – A 转换器需要带有 2^n 个电阻的电阻串。

在高速运行中，端子处的寄生电容产生电压毛刺。这个瞬变必须在给定的时间内稳定到给定的精度，最坏的情况是在中间点发生，其中等效的 R 值是总电阻加开关导通电阻的一半。这种瞬态会导致 D – A 转换器依赖信号稳定性，并可能转化为谐波失真。因此，R 值设计得足够小，以致最坏情况下的瞬态稳定在 12 位精度内。然而，通过确定产生的参考电压的总体精度的各个电阻器的不匹配来设置 R 值的限制。文献［217］假设电阻值正态分布，平均值为 R，标准偏差 σ_R，最大不匹配 σ_R/R 为≤0. 1%，并允许 5 位分辨率和 12 位精度。

图 3. 34　电阻串 D – A 转换器

3.5.2　残差放大器

3.5.2.1　偏移校准

通过使各个分级分辨率的总和大于总分辨率，构建具有对分量非理想性（比较器偏移等）的大容差多步 A－D 转换器。因此，转换精度仅依赖于残差信号的精度；另一方面，转换速度主要由残差放大器的稳定速度决定。当通过数字校正算法消除冗余时，也可以用它来消除阶段间偏移对整体线性的影响[118]。然而，残差放大器的增益误差仍然很重要[200]。阶段间累积增益减小了电路非理想性的影响，如后期的噪声、非线性和偏移对整体转换精度的影响。考虑图 3.35a 所示的多步 A－D 转换器中的经典单残差处理。残差放大器中的增益误差可以缩放残差信号的总范围，当应用于任何非零残差时，会导致模拟输入到下一级的误差，导致残差信号不适合精细 A－D 转换器范围。如果精细 A－D 转换器级的模拟输入误差超过 2^r 中的一个部分（其中 r 是残差放大器增益误差后剩余的分辨率），则会导致转换误差，从而导致非单调或漏码[200]，而且这不能通过数字校正去除。如果精细转换器的参考值与残差信号的增益相同，则该转换误差是可以减小的[64,201,202]，尽管它仍将可实现的精度限制在 10 位左右。

为了克服这种限制，如图 3.35b 所示的双残基处理投入使用[61]。根据粗略量化决定，第一和第二残差放大器分别通过模拟信号与最近的和第二近量子化级之间的差信号。通过将两个残差信号传递到后续阶段，由于两个残基的总和等于两个量化级之间的差异，所以关于量化步长精确大小的信息得到传播。因此，两个残差放大器的绝对增益并不重要，只要两个残差放大器匹配并具有足够的信号幅度来克服比较器有限的分辨率。通过利用双残基技术，精细 A－D 转换器没有固定的参考电压。在概念上，双残基系统可以被认为是像在两个子范围边缘产生过零点的两个

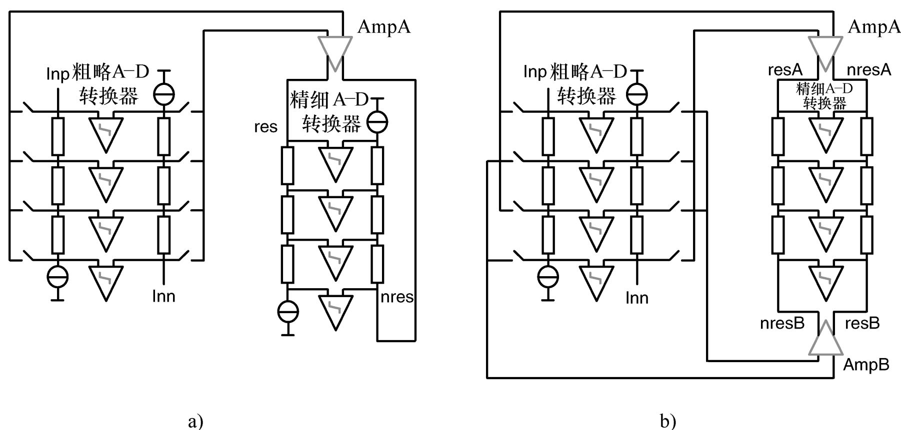


图 3.35　a）单残基信号处理　b）双残基信号处理

放大器。考虑到这一点，比较器额外要求的过零点可以通过电阻插值来产生。因此，总之，应用增益之前的信号路径中的主要误差贡献是 S/H 电路、参考梯、开关单元中的开关和残差放大器的偏移。花费足够的功率来满足 S/H 电路的噪声和线性要求，并且参考梯电阻器的匹配对于 12 位电平是足够的。由于开关矩阵中的开关是简单的 CMOS 开关，设计为具有足够低的导通电阻，为残差放大器上的参考信号的 12 位稳定提供足够的带宽，残差放大器上的偏移仍然是唯一的精度限制组件。因此，应用偏移校准保持残差放大器的速度，同时实现 12 位线性要求。

人们已经提出来各种使 A-D 转换器级传递函数中的不连续性达到最小化或校正的校准技术[29,95,96,117,203-211]。每个步骤附带的不匹配和错误可以被平均化，或者可以测量和校正其幅度。在本书中包括的模拟校准方法是在模拟电路中对分量值进行调整或补偿的技术，而校正系数的计算和存储可以是数字化的。当系统中没有空闲时间来更新系数时，校准测量必须在后台运行，而不会中断正常操作。通常，背景校准技术[34,95,96,208-211]通过添加硬件或软件与前台方法相同的算法来开发，以执行对正常操作透明的校准系数测量。应用于残留放大器的混合信号斩波和校准技术[34]是一种这样的技术，其中使用 CMOS 技术的数字处理能力来提取来自A-D 转换器输出的偏移。

由于双残差信号处理的切换方式，两个放大器的偏移将对传输曲线产生影响。如图 3.36 所示，给出了 A-D 转换器的 INL 曲线中的确定性重复模式。因此，通过在 A-D 转换器的输出处的常规数字信号观察，可以在数字域中测量偏移量。偏移是随机确定的，它可以为任何值。然而，对整体偏移的影响可以分为两个部分：

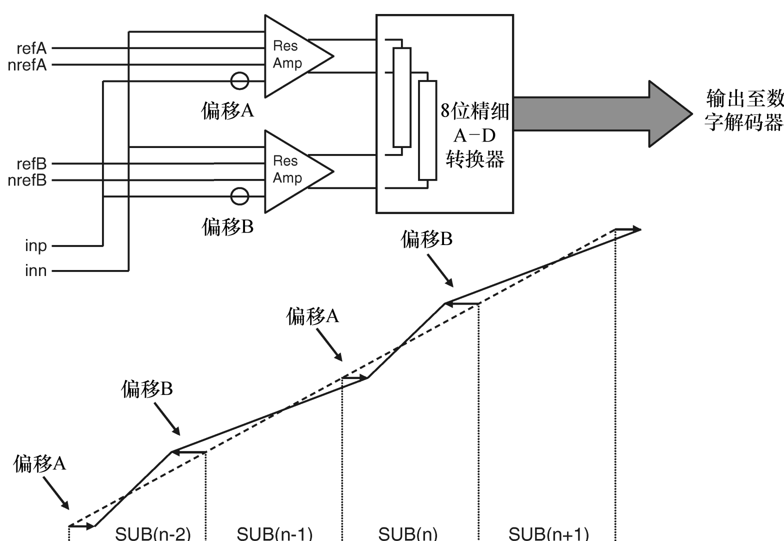


图 3.36 具有残差放大器偏移的 A-D 转换器的传输曲线

公共量[$V_{\text{common}}=(V_{\text{offsetA}}+V_{\text{offsetB}})/2$]对于两个放大器来说是相等的和差分分量[$V_{\text{diff}}=(V_{\text{offsetA}}-V_{\text{offsetB}})/2$]，这也是相等的，但是符号相反。公共偏移分量降低了精细 A – D 转换器的超范围能力，这导致粗略 A – D 转换器中较小的允许偏移。然而，差分偏移分量直接降低了两步 A – D 转换器的非线性度。总补偿回路如图 3.37 所示。应用斩波方法[98]提取公共和差分偏移分量，并且将残差放大器的偏移与 A – D 转换器的输入信号的直流值进行区分。一般来说，动态偏移消除技术可以分为自动归零和斩波技术[212]。它们之间的根本区别是偏移处理。虽然自动归零原则首先测量偏移量并在下一个相位中减去偏移量，但是斩波将偏移调制到较高的频率。可以发现这两种基本偏移消除技术的许多衍生产物，如相关双采样[212]、斩波稳定、作为自动归零技术和同步检测的示例的自校准运算或两路或三路信号方法[213]，斩波放大器、斩波稳定和动态元件匹配（DEM）作为斩波技术的例证。自动归零技术及其衍生技术的主要特征是偏移消除分两个阶段完成。偏移量的测量、采样和放大阶段，从输入信号中减去采样偏移并进行放大。然而作为采样过程的结果，高频分量被折回到较低频率，因此热噪声基底因放大器的单位增益带宽与自动调零频率之比[212]而增加。在斩波技术中，输入信号被调制到斩波频率，被放大并调制回较低的频率。偏移仅调制一次，出现在斩波频率及其奇次谐波中。然后通过低通滤波器去除这些频率分量。与自动调零放大器的白噪声分量增加相反，斩波放大器的低频噪声几乎等于宽带热噪声，假设斩波频率高于 $1/f$ 噪声拐角频率。斩波技术的较低噪声是使用该技术校准残差放大器的主要原因。

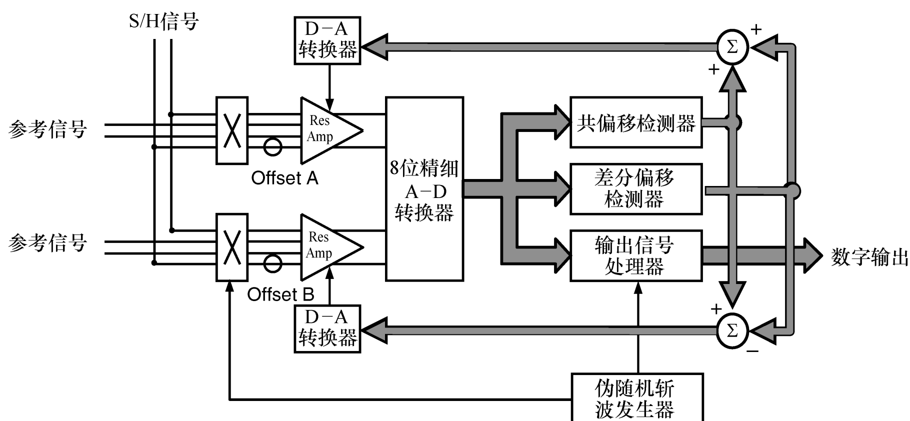


图 3.37　补偿回路

在残差放大器放大后，在精细 A – D 转换器中量化信号。在数字域中，数据被切回以获取原始输入信号，该输入信号被应用于公共和差分偏移提取器。虽然公共和差分偏移分量需要在数字域中进行不同的处理，但两者可以通过在 A – D 转换器的输出处积分信号来检测，而且提取了公差和差分偏移的符号[34]。共偏差分量像

图 3.38a 那样为正数时，在一个积分周期之后，积分器的值是正的，反之亦然。差分偏移分量检测需要额外的处理过程，因为图 3.38b 所示的误差曲线的面积将在整合后相互补偿。首先进行必要的附加处理以纠正误差区域，如图 3.38c 所示，然后整合信号。结果符号用于更改上下计数器的值。计数器的输出被馈送到位于残差放大器内部的偏移补偿 D－A 转换器，其在模拟域中补偿残差放大器中存在的偏移。图 3.38d 和 e 说明了在几个积分循环之后如何去除补偿。当积分器的内容小于阈值时，校准不会改变补偿 D－A 转换器上的值。

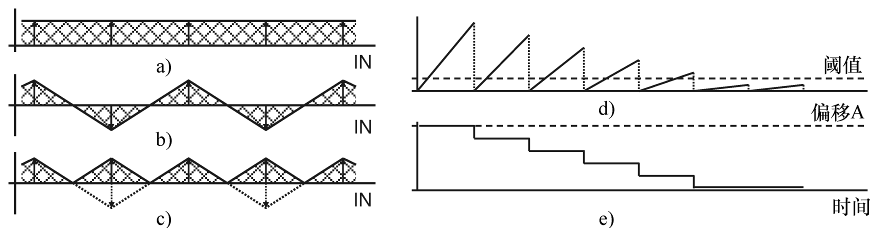


图 3.38　a）公差　b）差分偏移　c）具有子范围相关处理的差分偏移
d）积分器信号　e）残差放大器误差

在加法器中可以看到普通和差分偏移提取器的不同效果。由公共偏移提取器引起的变化给了 D－A 转换器相同符号的值的步骤，而由差分偏移提取器引起的变化给了相反符号的值的步骤。这些 D－A 转换器闭合了补偿回路，从而消除残差放大器中的偏移。

3.5.2.2　电路设计

因为电路使用参考梯中所选的参考信号与输入信号进行减法，残差放大器两个差分对的作用就像减法器（见图 3.39）[211]。在当前域中减去模拟输入与各自引用参考之间的差异。残差放大器的电路增益减小了具有增益因数的放大器后所有电路的精度（噪声和匹配）要求。残差放大器在残差信号施加到 8 位精细 A－D 转换器之前提供 8 倍增益。为了减小电路增益对输入电平的依赖性，这通常转化为使得增益相对独立于偏置电流，差分输入对的电源退化通过线性多电阻器施加。

在这种情况下，电路增益由变阻器 R_{DEG} 和输出电阻 R_{OUT} 的比值确定，因此，两个残差放大器之间的增益匹配将主要由多电阻匹配决定。有限输出阻抗的影响将导致总偏置电流的调制，从而影响其精度和线性度。然而，多电阻匹配是足够的，它不会限制完整的 A－D 转换器的性能。另外，如之前所述，只要两个放大器的增益值具有相同的增益值，残差放大器的绝对增益要求就不是必需的。电流源（晶体管 $T_{11,12}$）添加到两个输出电阻器以产生方便的共模信号。该共模输出信号电平的精度将由输出电阻的工艺扩展和偏置电流的精度决定。

偏置和共模反馈电路如图 3.40 所示。值得注意的是，当输出端出现较大的差分摆幅时，R_1 和 R_2 必须足够大，以确保源极跟随器 T_{25} 和 T_{29} 合适的条件。确定总

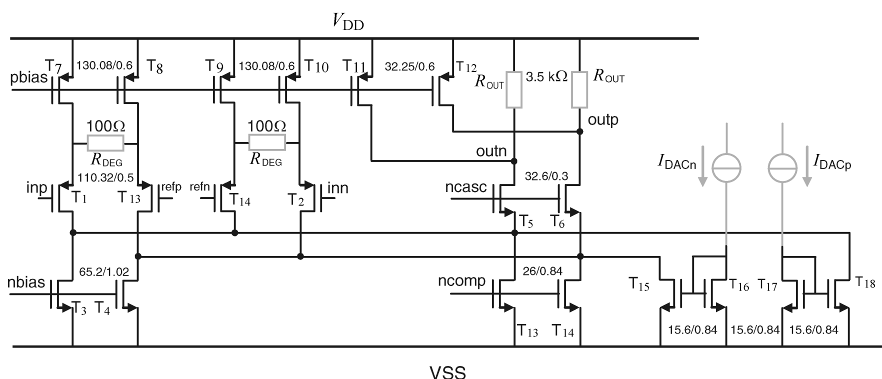


图 3.39　残差放大器和偏移补偿电路的一部分

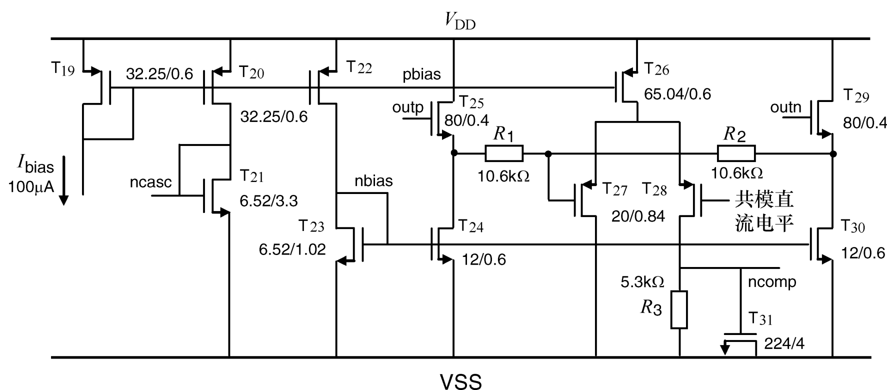


图 3.40　残差放大器偏置和使用源跟随器的共模反馈电路

A－D 转换器精度的残差放大器的输入参考偏移源自于输入晶体管之间的不匹配、电流源与多电阻之间的失配。数字偏移提取块决定了数字代码，它是放大器的偏移量，用于电流导向补偿 D－A 转换器（见图 3.41）。参考源简单地复制在 D－A 转换器的每个分支中，并且每个分支电流基于输入代码被接通或断开。对于二进制版本，参考电流乘以 2 的幂，产生较大的电流以表示较高幅度的数字信号。补偿 D－A 转换器通过折叠节点驱动电流，并通过低欧姆共源—共栅节点驱动放大器的输出电阻，以消除偏移。已经发现 9 位分辨率是偏移补偿的足够的分辨率。由于该 D－A 转换器仅需要提供电流来补偿偏移误差，所以它的线性度不是问题。

从作为精细转换器的输入信号的残差信号，通过使用两个电阻梯的插值产生精细转换器的过零点，如 3.4.2.3 节所述。残差信号被设置在具有缓冲器的这些电阻梯上，如图 3.27 所示。

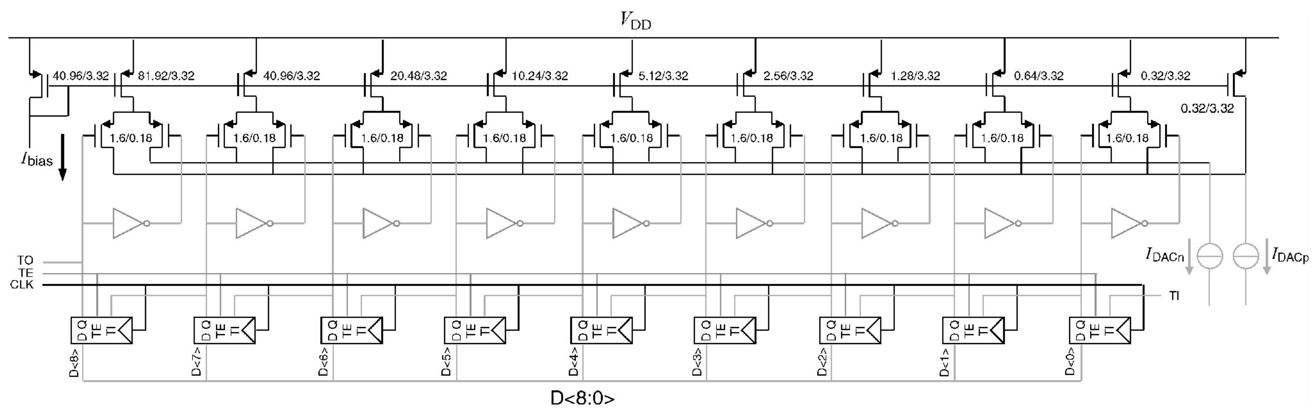


图3.41　偏移补偿电流导向D-A转换器

精细缓冲器的晶体管级实现如图 3.42 所示。它由第一折叠共源—共栅级（$T_0 \sim T_7$）和源极跟随器输出级（T_9、T_{10}）组成。源极跟随器在 p 沟道 MOS 中实现，以消除由于体效应引起的非线性。通过使非优势极点 $p_2 \approx g_{m5}/C_{gs5}$ 尽可能大，来获得足够的相位裕度。这可以通过增加器件的宽度或流过其电流来增加共源—共栅器件 T_5 的跨导来实现。增加宽度也增加了 C_{gs5}。增加偏置电流会增加功耗。此外，必须注意，大的幅度增加偏置电流可能导致用作电流源 T_3 的晶体管移出强反转操作区域。通过插入 C_{T8} 来提高电路的稳定性，可以降低主极。

在精细梯中流动的电流的方向由选择的子范围和斩波状态决定。因此，两个缓冲器必须吸收梯形电流，并且两个缓冲器必须根据子范围和斩波状态来源梯形电流。在子范围转换或斩波状态改变中电流反转，由于电流变化大，可能导致缓冲器的输出信号跳变。为了限制这种效果，在两个梯子的顶部和底部添加了两个电流源（见图 3.27 和图 3.43），以吸收或引导梯内电流。现在，缓冲器只能提供误差电流，这比通过梯形直流电流要小得多。

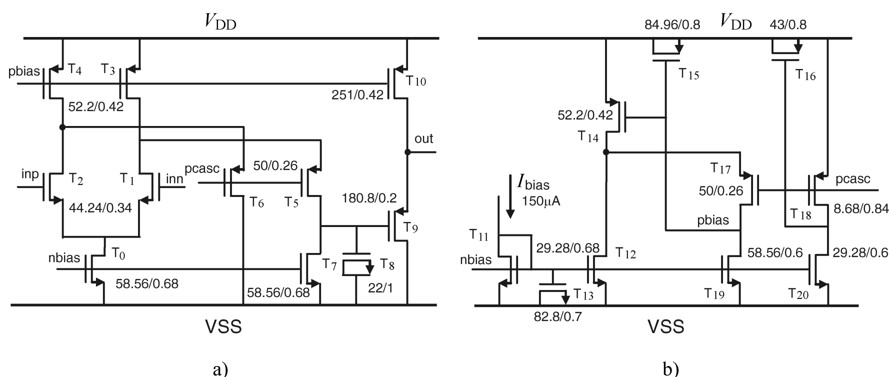


图 3.42　a）精细缓冲器示意图　b）精细缓冲器偏置电路

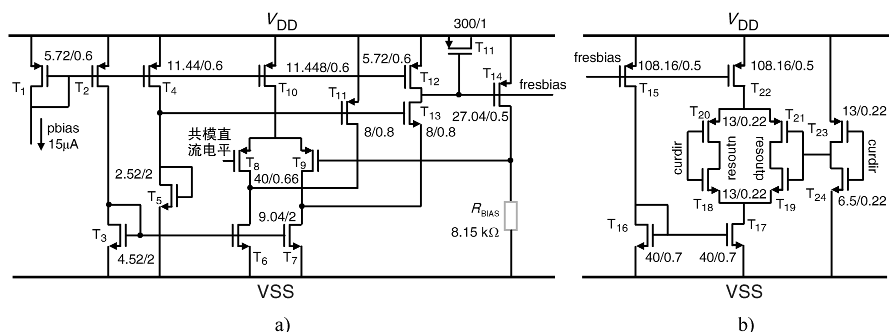


图 3.43　a）附加电流源的偏置电路　b）额外的电流源

3.6 实验结果

图 3.44 所示的两步/多步 A－D 转换器的原型和本章中描述的是在五金属层 0.18μm CMOS 工艺中制造的。该芯片具有 3 个独立的电源和接地：两个用于模拟和数字模块，一个用于输出驱动器。电源电压由 HP3631A 提供，参考电流源由 Keithley 224 提供。电位器用于调整参考电压和共模电压。参考时钟用于信号产生，A－D 转换器时钟产生和数据采集的时钟由 Agilent 81134A 提供。单个频率正弦输入信号由任意波形发生器（Tektronix AWG2021）生成，并在第一个窄带带通滤波器上应用，以消除任何谐波失真和外来噪声，然后再到测试板。信号通过 50Ω 同轴电缆连接，以尽量减少外部干扰。在测试电路板上，使用变压器将单端信号转换为平衡差分信号。进入 A－D 转换器的测试信号的共模电压通过连接到参考电压的匹配电阻来设置。A－D 转换器的数字输出通过输出缓冲器缓冲，驱动板上电路的大寄生电容和逻辑分析仪的探头。数字输出由逻辑分析仪（Agilent 1682AD）捕捉，还向逻辑分析仪提供时钟信号以与 A－D 转换器同步。所有的设备都是由 LabView 程序设置的，它也进行信号分析。

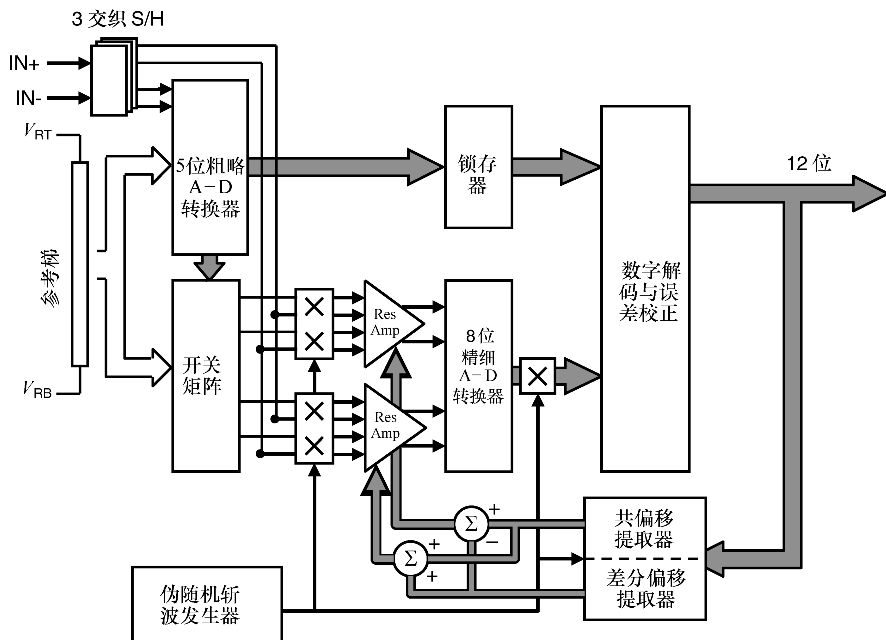


图 3.44 具有混合斩波校准算法的原型两步/多步 A－D 转换器

A－D 转换器本身必须处理以下问题：关键路径的布线、电源和接地隔离、数字部分到模拟部分的噪声耦合、时钟线的屏蔽等。为了减少输入路径中的布线电

容，前端采样和保持输入尽可能对称和短布线。整体布线电源和具有最大允许宽度的接地线以减小电压降。由于模拟部分易受来自数字部分的噪声耦合，因此它们将始终保持分离。关键时钟线已经提供屏蔽。在混合信号芯片中，通常找不到通过公共基板使数字电路到敏感模拟电路的噪声耦合的影响最小化的最佳策略。降低衬底噪声的最有效方法是创建从 p＋衬底到地（或芯片中最低电位）的低阻抗路径。然而，通常情况下裸片的背面因为暴露于空气而被氧化，这增加了其电阻。因此，即使将裸片直接接到具有接地腔的封装，衬底的电阻也是很高的。如果成本允许，芯片的背面可以背面（底部）镀金，并且直接接到包装上并保证可导电。在这个原型中，采用了以下方法：分别使用了称为 V_{DDD}、V_{SSD}、V_{DDA} 和 V_{SSA} 的数字和模拟信号。由于使用 n 阱工艺，因此数字和模拟 p＋沟道晶体管通过单独的阱自然隔离。然而，n－沟道晶体管通过公共的高电阻 p＋衬底相互作用。p＋衬底具有以下优点使其难以产生闩锁，这对数字电路至关重要，并产生耦合于不期望信号的高电阻路径。因为噪声几乎完全在 p＋区域中传播，传统的隔离使用接地的 n 阱保护环来收集噪声是无效的[215]。对于模拟 n 沟道晶体管，重要的是源－体电压是恒定的。否则，如果这些电压相对移动，则需要通过体效应来调制漏极电流。因此，重要的是在本地具有从主体到源极的低电阻路径。在布局中，在每个 n 沟道模拟晶体管周围放置一个 p＋衬底环。然后将该环与 V_{SSA} 接触，V_{SSA} 与普通源设备的源极相同，这有助于保持源极和主体的电位相同。对于共源—共栅 n 沟道器件，这种布置有助于减小体终端的波动，但不能保证源极和主体将一起移动（因为源极电位不是地电位）。然而，对于共源—共栅器件，漏极电流和 V_{SB} 之间的关系由于源极退化而弱得多。使用这些 V_{SSA} 基板触点足以使源到体路径保持低电阻。V_{DDA} 和 V_{DDD} 由独立但相等的电压调节器产生，以允许独立测量电源电流。所有模拟路径都是差分的，以增加共模噪声的抑制，例如衬底噪声和电源电压波动。为了减少电源线上的开关噪声，片上去耦电容器被采用。去耦电容器在切换瞬间就像本地电源。因此，大多数电流可以从去耦电容器中抽取，而不是直接来自电源，这将表明来自流过封装的寄生阻抗的芯片外电源的电流降低，并且与电流相关的开关噪声减少。

A－D 转换器芯片的显微照片如图 3.45 所示。具有保持电容的 S/H 电路在左侧清晰可见，具有开关矩阵的粗略转换部分位于 S/H 电路右侧，而精细转换部分、残差放大器、斩波器、偏置、校准和其余电路均放在右边。数字部件位于布局的右上方。诸如时钟和数据输出之类的数字信号的布线位于数字部分之间。数字输出从芯片的下侧和右侧离开芯片。使用这种总体布置，存在最少的模拟和数字信号线交叉点。S/H 输入是实现的集成电路最关键的节点。因此，需要小心以防止这个节点受到干扰。总采样和保持由 3 个相同的交错 S/H 单元组成。S/H 单元、输入信号、关键时钟线和输出信号线都已经提供尽可能的屏蔽和尽量短且对称的布线。在粗略 A－D 转换器中，第一级的 9 个前置放大器必须与第二级的 17 个前置放大器和 33 个粗略比较器对齐，这意味着前置放大器和比较器布局需要高宽高比。开关单元放

置在参考梯附近，以减少电阻梯 D－A 转换器的稳定时间。虽然电阻梯位置与比较器相距一定距离，但由于比较器的精度只有 6 位，所以是可以承受的。来自开关单元的参考信号选择尽可能短的布线，因为由布线电容引起的延迟增加了残差放大器的稳定时间。由于布线电容引起的延迟导致残差放大器在错误的方向上暂时输出，直到正确的选择开关闭合。选择正确的开关后，输出在正确的方向开始收敛。

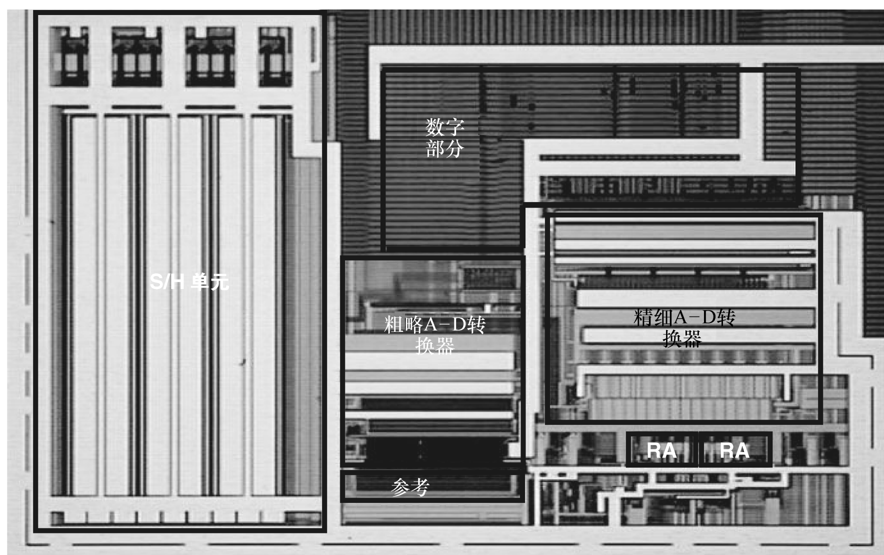


图 3.45 芯片显微照片

因此，由于布线电容增加了残差放大器的稳定时间，如果梯度参考电阻更靠近，由于附近的大数字信号传输耦合的影响，比较器的参考信号很容易被破坏。前置放大器和折叠编码器的 3 个阶段以线性阵列布置，类似于粗略 A－D 转换器前置放大器，并通过对接连接到比较器阵列。比较器阵列必须与前置放大器对准，这意味着比较器的布局需要大的纵横比。将这些阵列彼此靠近，大大降低了布线电容，并提供了最大速度。为了保持比较器阵列较小和有较短导线，数据在放大到最大后被立即驱动出阵列。时钟从右到左分布，利用由左到右增加的参考电平，可以部分消除采样时间变化。具有互补时钟的比较器交叉存取，共享同一个输入、参考和电源线，以便一开始就消除充电反冲和电源噪声。不包括焊盘，芯片面积为 0.9mm×0.75mm。不包括输出缓冲器，完整的 A－D 转换器内核从 1.8V 电压源中抽取 53mA 电流，导致小于 100mW 的功耗，其中的数字内核使用了 6.6mW，采样频率高达 80MS/s。25 个样本的测量结果显示了 ±0.2 ENOB 变化。并且进行了码密度测试[35]以获得 A－D 转换器的静态线性度。

测量的 DNL 和 INL 如图 3.46 所示。从图中可以看出，在 12 位电平下，DNL 和 INL 的最大值分别为 0.9LSB 和 1.5LSB。

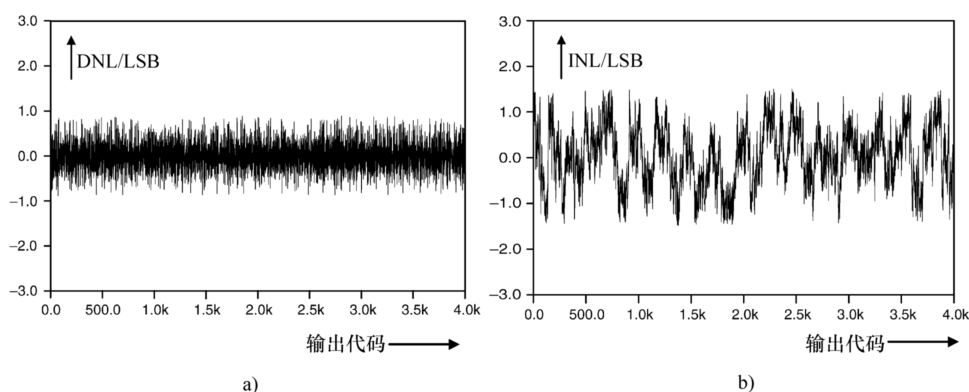


图 3.46　a）测量的 DNL　b）测量的 INL

通过分析单个输入信号的数字输出代码的快速傅里叶变换（FFT）来测量 A－D 转换器的动态性能。图 3.47a 说明了采样频率为 60MHz、输入频率为 21MHz 时 A－D转换器输出代码的频谱。除基本输入信号之外的最大峰值是出现在 $f_s/3 \pm f_{in}$ 处的杂散谐波，并且比基本信号低约 78dB。SNR、SFDR 和 THD 是关于输入频率的函数，如图 3.47b 所示。所有测量均在室温（25℃）下用 1.8V 电源进行。测量结果总结在表 3.2 中。具有较高输入信号的劣化主要是由于寄生电容、时钟非理想和衬底开关噪声的影响。寄生电容降低反馈因数，导致稳定时间常数增加。时钟偏移是时钟边沿的实际到达时间与其理想的时钟边沿到达时间之间的差异，也可能由时钟互连导线的寄生电容引起。诸如时钟抖动、非重叠周期时间、有限上升和下降时间、不对称占空比的时钟的非理想性是这种劣化的另一个原因。

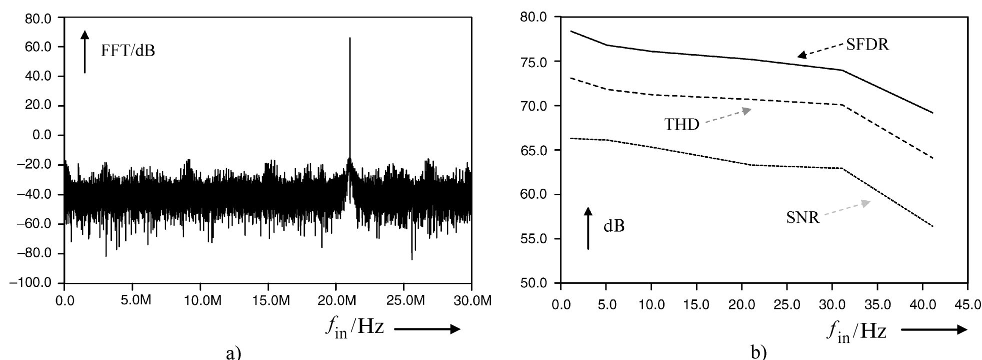


图 3.47　a）60MS/s，输入频率为 21MHz 时的测量频谱

b）测量的 SNR、THD、SFDR 作为输入频率的函数

表 3.2 12 位原型机的测量性能

技术	数字 CMOS 0.18μm
分辨率	12 位
电源电压	1.8V
采样率	>60MS/s
有效带宽	30MHz
DNL	±0.9LSB
INL	±1.5LSB
SNR	66.3dB
SFDR	78.4dB
THD	73.1dB
SNDR	65.1dB
功耗	100mW
面积	0.67mm^2

后面 3 个误差减少了为设置时间分配的时间。这些误差可能会增加衬底噪声或导致数字输出频谱中的失真，降低 SNR 和 SNDR。随着输入频率和分辨率的增加，时钟抖动[216]的要求越来越严格。换句话说，当输入频率接近奈奎斯特输入频率时，时钟抖动误差将降低 SNR。锁定的直方图测试揭示了系统中的 3.2ps rms 抖动，包括时钟发生器、合成器、A – D 比较器芯片和电路板，大约在 30MHz 时转换为 64dB 的 SNR。这证明了通过观察得到的：该转换器的性能受到高输入频率下的时钟抖动的限制。

3.7 小结

便携式多媒体设备的爆炸性增长对低功率 A – D 转换器产生了巨大的需求。随着片上系统的日益增长，A – D 转换器必须在低电压亚微米 CMOS 技术中实现，以便实现低制造成本，同时能够与其他数字电路集成。高速 A – D 转换器的关键功能的功耗基本限制因素，如采样、量化和参考生成，在每种情况下均由准确性原则决定。采用 1.8V、12 位、80MS/s、100mW A – D 转换器，通过并行和校准并利用低压电路技术，实现了在五金属层 0.18μm CMOS 工艺下多步转换器高分辨率的功耗测试制造。如图 3.48 所示，如 2.1.4 节比较过去 10 年公布在 ISSCC 和 ESSCIRC 上所有 A – D 转换器（闪速、折叠和插值、多步、流水线、并行流水线、连续逼近和 Δ – Σ）的性能数据表明，这个原型是最好的。

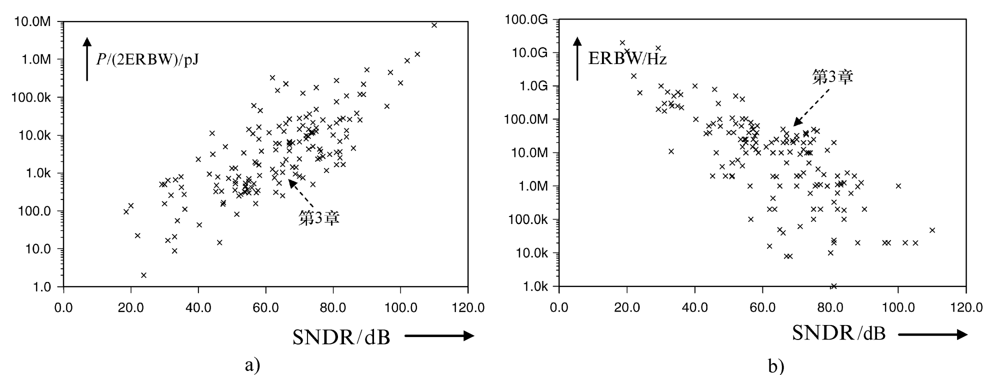


图 3. 48　a）在过去 10 年间在 ISSCC 和 ESSCIRC 发布的 A – D 转换器的能源与 SNDR
b）过去 10 年在 ISSCC 和 ESSCIRC 发布的 A – D 转换器的有效分辨率带宽与 SNDR

第 4 章　多步 A – D 转换器的测试

4.1　准静态结构试验的模拟 ATPG

复杂的片上系统（SoC）产品包括需要测试的模拟和混合信号 IP。由于这些 IP 嵌入在 SoC 中，因此难以访问其所有端口，因此现有的测试方法并不是全部适用，有些需要修改。这也意味着测试时间需要在数字测试时域内降低到可接受的限度；它还意味着需要引入可测性设计（DfT）、内建自测（BIST）和硅调试技术。对于这些 SoC，许多要在最终测试中进行的测试正在被迁移到晶圆测试，一部分原因是需要在封装之前提供已知的良好裸片，另一部分原因是需要降低模拟测试成本。

典型的测试流程将测试时间分配给晶圆测试和最终测试。更传统地讲，晶圆测试主要包括直流测试，在大多数工作条件下，对每个引脚进行电流/电压检查，并且适当调整测试极限，而且在某些情况下，还要进行一些低频测试以保证功能。晶圆测试适用于检查其他参数中的开路/短路、直流偏置、电荷泵电流和逻辑泄漏。最终测试包括通过运行含有重要的电路参数的测试来检查设备功能。然而，随着新型封装技术的出现和测试成本的压力，封装级的功能测试被推回到晶圆级。在这种新情况下，进行晶圆测试以确定独立于包装的模具的真实性能。

结构化，故障定向测试[218 – 223]是晶圆级测试中避免功能测试常用方法。这些低频测试技术与传统的电流/电压直流检测功能不同，更适用于替代或补充功能测试。面向故障的测试包含使用故障模型来描述真实缺陷或缺陷集的行为。故障模型随后用于确定电路的故障行为，从而可以衍生出新的测试或调查现有测试的有效性。故障模型不仅可以清楚地描述故障效应，而且可以提供导出测试刺激因素的线索，但是它也使修改输入刺激和估计故障覆盖变得可行。利用这种方法可以很好地创建数字电路，因为其中存在许多基于 0/1 决策的测试矢量发生器和故障模拟器，如单一固定型（single – stuck – at）故障模型的情况。然而，由于模拟电路的连续性，故障电路与非故障电路之间的区别不如数字电路那么清楚。过程参数和组件公差的统计变化使测量中的公差窗口必须在故障检测期间做出决策。另外，无故障和故障电路的测量值中存在的重叠区域会恶化可接受的公差窗口的推导，引起了故障检测中的模糊区域。

多项研究[224 – 229]已经表明，可以通过廉价的直流测试或电源电流监测来检测到改变晶体管级模拟电路工作点的故障。文献［224］中的一个模型通过测量不同节点的直流电压来测试模拟电路。组件互连之间的参数（例如电压和电流）之间

的关系表示它们的行为。该模型通过在电路内传播该模型的测量效果来推导电路中的参数值。在文献［225］中，提出了直流测试选择程序，其中检测标准包括参数公差线性逼近标称值的影响。在文献［226］中，为了在测试过程中包含参数公差的影响，测试生成问题被制定为最小最大优化问题，并且作为连续的线性规划问题迭代求解。在文献［227］中，通过组合先验信息和测试的信息呈现出来的是基于贝叶斯直流测试决策规则的故障检测方法。在依赖测量的情况下，应用主成分分析来计算判别函数。然而，测试是通过仿真多个电路并记录错误分类的良好和有缺陷的设备的百分比来获得的。文献［228］中利用电路主要组件的过程信息和灵敏度来进行参数故障模拟和测试矢量生成，以生成无故障和故障电路的统计模型，计算所有贝叶斯风险的刺激和故障列表中的每个故障。贝叶斯风险最小的刺激被看作所考虑的故障的测试矢量。在文献［229］中，测量事件根据数据落入的区域进行分类，并获得每个参数故障的可测量参数的统计特征。通过反复进行测试和应用贝叶斯分析，发现每个故障的发生概率。

Bayes 测试的特殊情况下，如果先验概率可能未知，或贝叶斯风险可能难以客观评价或设定，Neyman－Person 统计检测器[230]提供了一个可行的解决方案。本节[231]中的研究利用了这些发现。在这种改变电路偏置条件的方法中，会产生模拟电路中遇到的各种功能故障。从实验结果[232]可以看出，这样可以实现结构和功能测试之间令人满意的相关性水平。

参数提取后，分别设定了无故障电路和具有特定故障的电路可能出现的信号值界限集合，并通过访问的提取过程参数的变化来计算电路准静态节点电压的偏差。使用 Karhunen－Loève 扩展方法[233]，设备的参数被建模为芯片空间上的随机过程，从而使芯片上任意两个器件的参数被看作两个不同的相关随机变量。另外，如果在容差范围的计算中考虑了可能的过程参数扩展，则会根据性能规格验证故障模型。考虑过程参数的绝对值的变化以及相关元素之间的差异，即匹配性。

4.1.1　测试策略定义

在这种方法中，被测电路用准静态刺激激发，并在指定时间采样响应以检测故障的存在。波形由分段线性斜坡段系统地形成，其激发电路的电源、偏置、参考和输入，这迫使电路中的大多数晶体管在所有操作区域中运行，并且因此提供偏置电流丰富的信息。为了将电源电流观测概念应用于模拟故障诊断，应对现有的测试技术进行重大修改，因为该方法不仅仅只是对电源网络上的异常电流进行简单地粗略观察。模拟故障行为并不如数字情况那样明显，由于电源电流观测技术的分辨率限制，被测器件必须经受可测性方法的设计，其中包括对电路进行分区以达到更好的可观察性。该方法测量当前特征，而不是单个值。许多故障具有独特或近乎独特的特征，可以降低诊断过程难度。实际上它与系统、电路或组件的线性或非线性无关。

顶层测试生成流程如图 4.1 所示。首先，根据测试刺激和测试程序得出公差窗口。该模拟电路没有任何故障，本测试的结果保存在数据库中。下一步是按照用于导出公差窗口的相同的测试刺激和测试程序，顺序地将所选择的故障注入电路并模拟。所有模拟结果都保存在数据库中，可以根据公差窗口和辨别分析计算故障覆盖范围。为了获得必要的刺激，需要对数据库中可用的结果执行测试刺激优化。

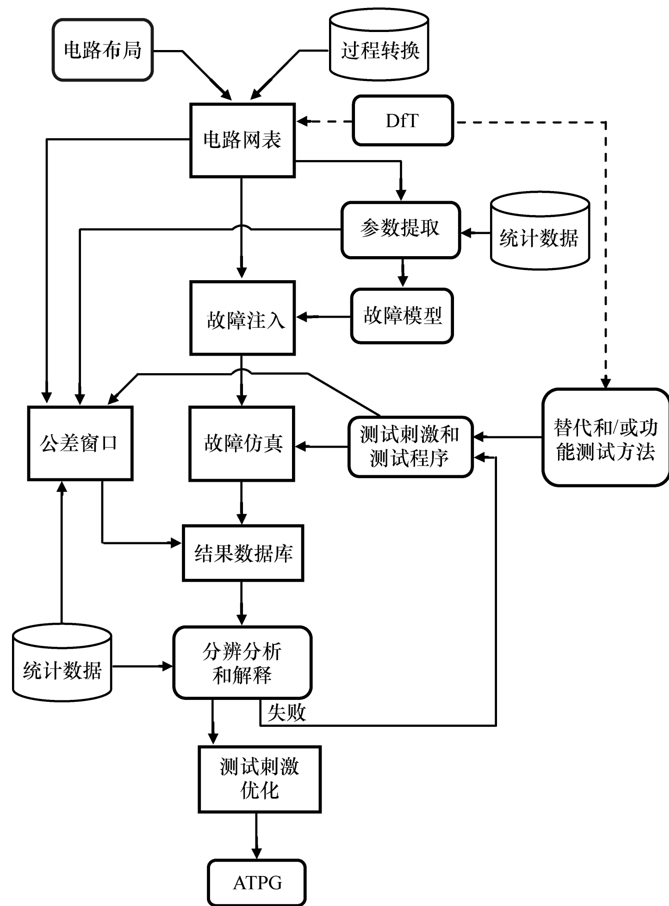


图 4.1 ATPG－顶层测试生成流程[231]

4.1.2 基于准静态节点电压法的线性故障模型

4.1.2.1 一般网络分析

现代集成电路通常由非常高的复杂性和非常高的封装密度来区分。这种电路的模拟数值需要允许自动生成网络方程式的建模技术。此外，描述网络的独立网络变量的数量应尽可能少。电路模型必须满足两个矛盾的要求：它们必须尽可能准确地描述电路的物理行为，同时要求尽量简单以使计算时间相对较小。依赖于要描述的

变量影响，模型的水平范围从简单的代数方程、普通的或偏微分方程到玻尔兹曼和薛定谔方程。由于属于一个电路的网络元素的数量太多（高达数百万个元素），因此仅限于描述相对简单的模型。为了尽可能地描述物理学行为，所谓的紧凑型模型成为了网络仿真中的首选。诸如晶体管的复杂元件由仅包含代数和普通微分方程描述的基本网络元件的小电路建模。这种替代电路的发展形成了自己的研究领域，并且现在引领超过 500 个参数的晶体管模型。

满足这两个需求的一个比较完善的方法是通过具有分支和节点的图形来描述网络。分支电流、分支电压和节点电位作为变量引入。节点电位被定义为相对于一个参考节点（通常是接地节点）的电压。每个网元的物理行为由其分支电流 j 与其分支电压 v 之间的关系建模。为了完成网络模型，必须考虑网络元素的拓扑。假设电路元件之间的电气连接要理想地导通而且节点要比较理想和集中，拓扑可以用基尔霍夫定理描述（所有分支电流的总和等于零，总分支电压在一个循环内的总和等于零）。描述网络拓扑的一种优雅的方法是通过表达所有节点（除了接地节点）和网络的所有分支之间的关系的（减少）关联矩阵 $\boldsymbol{A}=(a_{ij})$。如果分支 j 离开节点 i，则 $a_{ij}=1$，如果分支 j 连接节点 i，则 $a_{ij}=-1$，否则为 $a_{ij}=0$。给出具有 n 个节点和 b 个分支的连接网络。如果 $\boldsymbol{j}=(j_1, j_2, \cdots, j_b)^T$ 是电路所有分支电流的矢量，那么基尔霍夫电流定律（KCL）意味着：

$$\boldsymbol{A}\cdot\boldsymbol{j}=0 \tag{4.1}$$

关联矩阵还允许简单描述节点电位和网络的分支电压之间的关系。如 $\boldsymbol{v}=(v_1, v_2,\cdots,v_b)^T$ 是所有分支电压的矢量，$\boldsymbol{e}=(e_1,e_2,\cdots,e_{n-1})^T$ 表示所有节点电位的矢量，则满足关系：

$$\boldsymbol{v}=\boldsymbol{A}^T\boldsymbol{e} \tag{4.2}$$

式（4.2）的各个方程对应于一个分支电压。将所有网络元素的特征方程写为

$$f\left(\frac{dq_C(v,t)}{dt}, \frac{d\phi_L(j,t)}{dt}, \boldsymbol{v}, \boldsymbol{j}, t\right)=0 \tag{4.3}$$

这种记法假定电容器和电感器的端口方程是根据电荷和通量来定义的，其中 $q(t)$ 是存储在电容器中的电荷，$\phi(t)$ 是电感器中的通量。系统式(4.1)～式(4.3)是微分代数系统，即网络变量 j、v 和 e 中的差分和代数方程的耦合系统。该系统的尺寸等于 $2b+n-1$。导致该系统的方法被称为稀疏可视化分析（sparse tableau analysis）。改进的节点分析（MNA）需要未知数的数量要少得多。在这种情况下，通过其特征方程代替式（4.1）中所有电流定义元件的分支电流，并且通过式（4.2）的节点电压代替所有分支电压，所得到的系统代表微分代数方程（DAE）。一般 DAE 已被广泛研究[234－237]，其结果涵盖了独特的可解性、数值方法的可行性以及稳定性。然而，大多数结果假设某种结构（例如 Hessenberg 形式），高平滑度，主要依赖于 DAE 的指数。最近，网络方程的特殊结构和索引已经被研究[238]，并且对不同的电路构架进行了更广泛的研究[239]。它指出了参数也可能使指数变得

任意高。在文献［240］中，电网导致指数不高于2的微分代数系统。实质上，网络分支是以这样的方式进行编号的，即入射矩阵形成具有描述不同类型网络元素的块的块矩阵。然后将这些块分别表示为$\boldsymbol{A}=[\boldsymbol{A}_{\mathrm{R}},\boldsymbol{A}_{\mathrm{C}},\boldsymbol{A}_{\mathrm{L}},\boldsymbol{A}_{\mathrm{V}},\boldsymbol{A}_{\mathrm{I}}]$，其分别代表电阻、电容、电感、电压源和电流源支路。式（4.1）中的所有电流定义元件的分支电流通过其特征方程替代，并且使用式（4.2）通过节点电压替代所有分支电压，可以获得下式：

$$\begin{gathered}\boldsymbol{A}_{\mathrm{C}}\frac{\mathrm{d}q_{\mathrm{C}}(\boldsymbol{A}_{\mathrm{C}}^{\mathrm{T}}\boldsymbol{e},t)}{\mathrm{d}t}+\boldsymbol{A}_{\mathrm{R}}g(\boldsymbol{A}_{\mathrm{R}}^{\mathrm{T}}\boldsymbol{e},t)+\boldsymbol{A}_{\mathrm{I}}\boldsymbol{j}_{\mathrm{L}}+\boldsymbol{A}_{\mathrm{V}}\boldsymbol{j}_{\mathrm{V}}=-\boldsymbol{A}_{\mathrm{I}}\boldsymbol{i}_{\mathrm{s}}(t)\\ \frac{\mathrm{d}\phi_{\mathrm{L}}(\boldsymbol{j}_{\mathrm{L}},t)}{\mathrm{d}t}-\boldsymbol{A}_{\mathrm{L}}^{\mathrm{T}}\boldsymbol{e}=0\\ \boldsymbol{A}_{\mathrm{V}}^{\mathrm{T}}\boldsymbol{e}=\boldsymbol{v}_{\mathrm{s}}(t)\end{gathered}\tag{4.4}$$

有未知数$\boldsymbol{e}(t)$、$\boldsymbol{j}_{\mathrm{L}}(t)$和$\boldsymbol{j}_{\mathrm{V}}(t)$的系统。式（3.4）中的网络方程描述了包括电容器、电感器、电阻器、独立电压源和电流源的线性电网，代表每个节点的KCL和电感器、电压源的元件特性。用n表示节点数，n_{L}表示电感分支数和n_{V}表示电压源分支数，系统的尺寸现在为$n-1+n_{\mathrm{L}}+n_{\mathrm{V}}$。在面向电荷的MNA方法中，另外将$q$和$\phi$作为未知变量引入。这意味着等效的系统：

$$\begin{gathered}\boldsymbol{A}_{\mathrm{C}}\frac{\mathrm{d}q}{\mathrm{d}t}+\boldsymbol{A}_{\mathrm{R}}g(\boldsymbol{A}_{\mathrm{R}}^{\mathrm{T}}\boldsymbol{e},t)+\boldsymbol{A}_{\mathrm{I}}\boldsymbol{j}_{\mathrm{L}}+\boldsymbol{A}_{\mathrm{V}}\boldsymbol{j}_{\mathrm{V}}=-\boldsymbol{A}_{\mathrm{I}}\boldsymbol{i}_{\mathrm{s}}(t)\\ \frac{\mathrm{d}\phi}{\mathrm{d}t}-\boldsymbol{A}_{\mathrm{L}}^{\mathrm{T}}\boldsymbol{e}=0\\ \boldsymbol{A}_{\mathrm{V}}^{\mathrm{T}}\boldsymbol{e}=\boldsymbol{v}_{\mathrm{s}}(t)\\ q=q_{\mathrm{C}}(\boldsymbol{A}_{\mathrm{C}}^{\mathrm{T}}\boldsymbol{e},t)\\ \phi=\phi_{\mathrm{L}}(j_{\mathrm{L}},t)\end{gathered}\tag{4.5}$$

由于几个原因，电荷导向系统式（4.5）在电路模拟器[239]中通常是用作半导体器件的替代电路模型的主要方法。方程式$q=q_{\mathrm{C}}(\boldsymbol{A}_{\mathrm{C}}^{\mathrm{T}}\boldsymbol{e},t)$和$\phi=\phi_{\mathrm{L}}(j_{\mathrm{L}},t)$的简单形式仅涉及$q$和$\phi$的确定的函数评估。因此，从计算的角度来看，电荷导向系统的维数等于经典系统的维数。为了扩展式（4.4）中的网络方程式以包含半导体器件，必须将半导体器件的电流加到KCL方程：

$$\begin{gathered}\boldsymbol{A}_{\mathrm{C}}\frac{\mathrm{d}q_{\mathrm{C}}(\boldsymbol{A}_{\mathrm{C}}^{\mathrm{T}}\boldsymbol{e},t)}{\mathrm{d}t}+\boldsymbol{A}_{\mathrm{R}}g(\boldsymbol{A}_{\mathrm{R}}^{\mathrm{T}}\boldsymbol{e},t)+\boldsymbol{A}_{\mathrm{L}}\boldsymbol{j}_{\mathrm{V}}+\boldsymbol{A}_{\mathrm{V}}\boldsymbol{j}_{\mathrm{V}}+\boldsymbol{A}_{\mathrm{S}}\boldsymbol{j}_{\mathrm{S}}+\boldsymbol{A}_{\mathrm{L}}\boldsymbol{j}_{\mathrm{s}}=0\\ \frac{\mathrm{d}\phi_{\mathrm{L}}(\boldsymbol{j}_{\mathrm{L}},t)}{\mathrm{d}t}-\boldsymbol{A}_{\mathrm{L}}^{\mathrm{T}}\boldsymbol{e}=0\\ \boldsymbol{A}_{\mathrm{V}}^{\mathrm{T}}\boldsymbol{e}-\boldsymbol{v}_{\mathrm{s}}=0\end{gathered}\tag{4.6}$$

$\boldsymbol{A}_{\mathrm{S}}$具有与其他关联矩阵［$\boldsymbol{A}_{\mathrm{C}}$，$\boldsymbol{A}_{\mathrm{R}}$，$\boldsymbol{A}_{\mathrm{L}}$，$\boldsymbol{A}_{\mathrm{V}}$，$\boldsymbol{A}_{\mathrm{I}}$］相同的形式。矩阵$\boldsymbol{A}_{\mathrm{S}}$的条目按以下原则定义，如果电流$j_{\mathrm{S}k}$进入节点$i$，则$a_{ik}=1$；如果参考端连接到节点$i$，则$a_{ik}=-1$；否则为0，对于$i=1$，…，$n-1$和$k=1$，…，$b_{\mathrm{S}-1}$都成立。$n$是网络

的节点数，b_S 是半导体终端的数量。诸如文献［240］的过程允许将电路的未知数（节点电压，通过分支的电流）分解成用于时间依赖解的差分分量 $\boldsymbol{y}$ 和用于准静态分析的代数分量 $\boldsymbol{z}$。标称电压和电流 $\boldsymbol{z}_0$ 由文献［241］获得：

$$\boldsymbol{z}_0 = -\boldsymbol{B}^{-1}(\boldsymbol{C}_Q\boldsymbol{y}_0 - \boldsymbol{F}_Q(\boldsymbol{i}_{(0)}, \boldsymbol{v}_{(0)})) \tag{4.7}$$

式中，$\boldsymbol{B}$、$\boldsymbol{C}_Q$ 和 $\boldsymbol{F}_Q$ 是与电路装置之间的线性和非线性耦合相关的确定性初始解的函数；$\boldsymbol{y}_0$ 是电路的任意初始状态；$\boldsymbol{i} \in \mathfrak{R}^{n(I)}$ 和 $\boldsymbol{v} \in \mathfrak{R}^{n(V)}$ 是独立的电流和电压源。

假设对于每个过程参数 p，例如，阈值电压、跨导等，只有 $\boldsymbol{z}_0$ 的一个解。

然而，由于工艺变化，工艺参数的制造值将不同。因此，晶体管 i 的参数 $p_i \in \{p_1, \cdots, p_m\}$ 的制造值被建模为随机变量：

$$p_i = \mu_{p,i} + \sigma_p(d_i)p(d_i, \theta) \tag{4.8}$$

式中，$\mu_{p,i}$ 和 $\sigma_p(d_i)$ 分别是参数 p_i 的平均值和标准偏差；$p(d_i, \theta)$ 是对应于参数 p 的随机过程；d_i 表示晶体管 i 在芯片上相对于原点的位置；θ 是晶体管所在的芯片，该参考点可以位于芯片的左下角，也可以位于中心点等。

作为示例，表 4.1 显示了一些典型的晶体管参数 p 及其平均值和扩展值。

表 4.1　0.18 CMOS 技术中的 MOST 关键参数 V_{BS} 中的 =0V（a）$I_{DS,lin}$，V_{GS} = 1.8V，V_{DS} = 0.1Vc。$I_{DS,lin}$，V_{GS} =1.8V，V_{DS} =0.1V（b）$I_{DS,sat}$，V_{GS} =1.8V，V_{DS} =1.8V d。$I_{DS,sat}$，V_{GS} = −1.8V，V_{DS} = −1.8V

p	$W/L=10/0.18$		p	$W/L=10/0.18$		单位
	μ	σ		μ	σ	
$V_{T0,N}$	516.92	10.44	$V_{T0,P}$	481.148	10.103	mV
$K_{0,N}$	422.53	10.34	$K_{0,P}$	518.538	13.109	$mV^{1/2}$
K_N	446.967	8.461	K_P	451.971	17.434	$mV^{1/2}$
β_N	26.334	1.290	β_P	6.775	0.261	mA/V^2
$W_{eff,N}$	10.034	0.010	$W_{eff,P}$	10.034	0.010	μm
$L_{eff,N}$	0.108	0.005	$L_{eff,P}$	0.143	0.005	μm
$I^a_{DS,lin}$	1.354	0.018	$I^c_{DS,lin}$	0.402	0.018	mA
$I^b_{DS,sat}$	6.035	0.226	$I^d_{DS,sat}$	2.914	0.226	mA

4.1.2.2　空间相关模型

通过参数提取获得的大量过程参数集合的可用性允许研究和建模过程参数之间的变化和相关性，这对于获得模拟电路未知数的真实值至关重要。图 4.2a 所示显示了具有 3 个不同阈值调整注入的批次的参数统计（对于 n 沟道和 p 沟道都是相同的）。传统方法依次确定每个参数，并忽略它们之间的相互作用，因此，模型对测量数据的拟合可能不如最优。另外，参数是与具体设备相关的，因此它们对应于不同的设备尺寸。提取程序通常也专门针对特定的模型，而且需要大量工作来改变或改进这些模型。对于复杂的 IC 模型，可以将参数提取作为优化问题。直接参数提

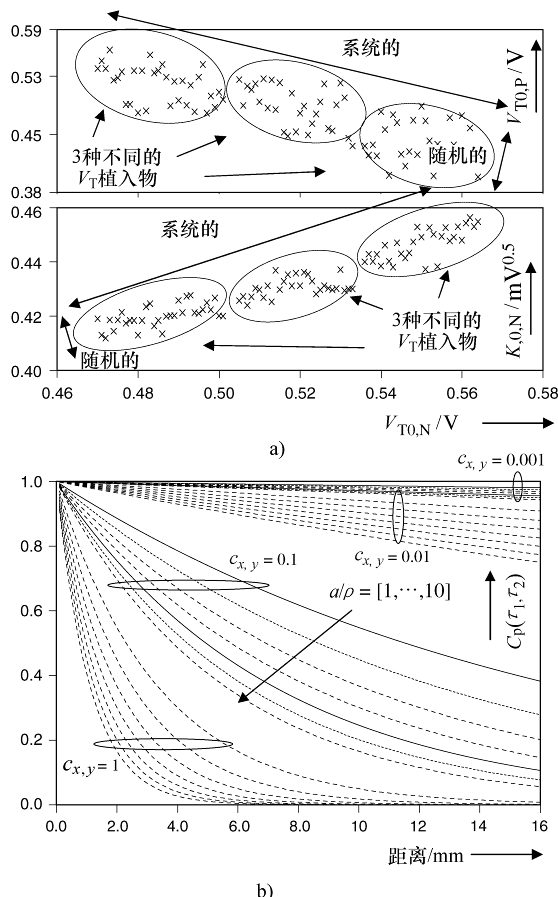


图 4.2　a）p 沟道阈值电压，$V_{T0,P}$，对 n 通道阈值电压，$V_{T0,N}$；在同一批次的 200 个晶体管对上测量。b）体效应因数，$K_{0,N}$，对阈值电压，$V_{T0,N}$；对于具有 3 个不同注入的批次的 200 个 n 沟道晶体管来调整阈值电压；b）使用 $M=5$ 的 $a/\rho=[1，\cdots，10]$（© IEEE 2009）的模型协方差函数的行为

取技术的使用[242]代替优化，可以进行行端紧凑模型参数的确定。模型方程分为功能独立部分，所有参数都使用直接代数求解，无需迭代过程或最小二乘拟合。随着电源电压的恒定降低，中等反转区域变得越来越重要，因此对该区域的准确描述是至关重要的。

基于阈值电压的模型，例如 BSIM 和 MOS 9，利用了弱反型区（即亚阈值）和强反型区（即远高于阈值）的漏极－源极沟道电流 I_{DS}的近似表达式。这些近似方程使用数学平滑函数连接在一起，导致中度反型区（即围绕阈值）中的 I_{DS}的既不是物理也不是精确的描述。基于阈值电压的模型，表面电位[243]（定义为栅极氧化物/衬底界面处的相对于中性体积的静电势）的主要优点是表面电势模型不依赖于在所有的操作区域和 $I-V$ 和 $C-V$ 特性区域的方法表达/评价使用一套统一的公式。

在基于表面电位的模型中，通道电流 I_{DS} 分为漂移（I_{drift}）和扩散（I_{diff}）分量，它们是栅极偏置 V_{GB} 和源极（v_{s0}）、漏极（v_{sL}）侧表面电位的函数。以这种方式，可以使用针对所有操作区域（即，弱、中等和强反型）的一个方程来准确描述 I_{DS}。数值过程也消除了表面电位建模中的一个主要问题：存在表面电位以封闭形式（有限精度）的解决方案，或者与使用二阶牛顿迭代方法来提高 MOS 型号 11 的计算效率[244]。

随机过程可以表示为一个不相关随机变量的级数展开，这些随机变量涉及完整确定性函数集合并具有相应的随机系数。这种方法根据随机变量和确定性函数提供了二阶矩特性。有几个这样的级数被广泛使用。常用的级数涉及频谱扩展[245]，其中只有当随机过程被假定为固定且随机过程的长度是无限或周期性时，随机系数不相关[246]。使用 Karhunen－Loève 扩展[233]由于其双正交性而显得有趣，即确定性基函数和对应的随机系数都是正交的[247]，例如正交确定性基函数及其幅度分别是协方差函数的特征函数和特征值。如果本征解的分析预处理步骤可用，则可以使用 Karhunen－Loève 扩展进行仿真，从而在保证精度的同时大大降低计算量[246,247]。假设 p_i 是零均值高斯过程并且使用 Karhunen－Loève 扩展，则 p_i 可以用有限数量的项 M 作为截断形式（用于实际实现）：

$$p_i = \mu_{\mathrm{p},i} + \sigma_{\mathrm{p}}(d_i)\sum_{n=1}^{M}\sqrt{\vartheta_{\mathrm{p},n}}\xi_{\mathrm{p},n}(\theta)f_{\mathrm{p},n}(d_i) \tag{4.9}$$

式中，$\{\xi_n(\theta)\}$ 是零均值非相关高斯随机变量的失量；$f_{\mathrm{p},n}(d_i)$ 和 $\vartheta_{\mathrm{p},n}$ 是本征函数和 $p(d_i,\theta)$ 的协方差矩阵 $\boldsymbol{C}_{\mathrm{p}}(d_1,d_2)$ 的特征值。为了不失一般性，考虑两个给定阈值电压的晶体管。在这种方法中，它们的阈值电压被建模为模具的空间域上的随机过程，从而使得芯片上的任何两个晶体管的参数为两个不相关的随机变量。变量可以由可用的已建立的子程序产生，然后乘以由目标协方差模型的特征分解导出的特征函数和特征值。M 的值由表征协方差函数的特征对的准确性而不是随机变量的数量决定。与以前的方法不同，后者将随机效应作为分段线性模型[248]或通过第二种类型的修改的贝塞尔函数[249]模型化过程参数的协方差，这里协方差表示为（见图 4.2b）线性递减的指数函数：

$$C_{\mathrm{p}}(d_1,d_2) - (1 + \varsigma_{d_{x,y}})\gamma(\mathrm{e}^{-c_x|d_{x1}-d_{x2}|\cdot c_y|d_{y1}-d_{y2}|/\rho}) \tag{4.10}$$

式中，ς 是基于距离的权重项；γ 是分别位于欧几里得坐标（x_1，y_1）和（x_2，y_2）的两个晶体管的测量校正因数；c_x 和 c_y 是依据过程成熟度的过程校正因数，例如，在图 4.2b 中 $c_{x,y}=0.001$ 涉及非常成熟的过程，而 $c_{x,y}=1$ 表示这是一个上坡阶段的过程；ρ 是反映集中定义在 $[-a,\ a]$ 中空间尺度的相关参数，其调节相关函数相对于距离（d_1，d_2）的衰减速率。

在物理上，较低的 a/ρ 意味着高度相关的过程，因此需要较少数量的随机变量来表示随机过程，相应地，在 Karhunen－Loève 扩展中较少数量的项。这意味着对于 $c_{x,y}=0.001$ 和 $a/\rho=1$，需要采样以评估的晶体管的数量，例如，诸如阈值电压

的过程参数远小于其所需的数量，由于相关函数中所示高的非线性，所以有 $c_{x,y}=1$ 和 $a/\rho=10$。

为了保持理论值和截断形式之间的固定差异，当常数 b 增加时，M 必须增加。换句话说，对于给定的 M，随着 a/b 增加，精度降低。特征值 $v_{\mathrm{p},n}$ 和本征函数 $f_{\mathrm{p},n}(\tau)$ 是在有界域 D 上索引的第二类的均匀 Fredholm 积分方程的解。为了找到 Fredholm 积分的数值解，每个特征函数近似为线性递减指数函数的线性组合。所得到的近似误差不是通过 Galerkin 方法最小化的。

图 4.3 给出了一个例子，这个例子通过 Karhunen－Loève 的扩展，进行空间相关依赖性和图 4.2a 中可用测量数据模型拟合。作为空间滤波分析的结果，采样窗口半径与片上可变性的关系如图 4.3a 所示，其中针对特定产量期望调整的单一变异函数是通过每个晶片的分布的组合导出的。采样窗口半径对应于参考点和窗口区域内任何其他单元格之间的最差情况的距离。为了分析随机过程变化，通过变异性分解方法去除测量数据的主要系统效应[250]。为了比较，基于网格的空间相关模型（见图 4.3b）直观、简单、易用，但由于固有的精确度与效率的限制，需要采用更灵活的方法，特别是需要在短时间内到中值距离[249]。

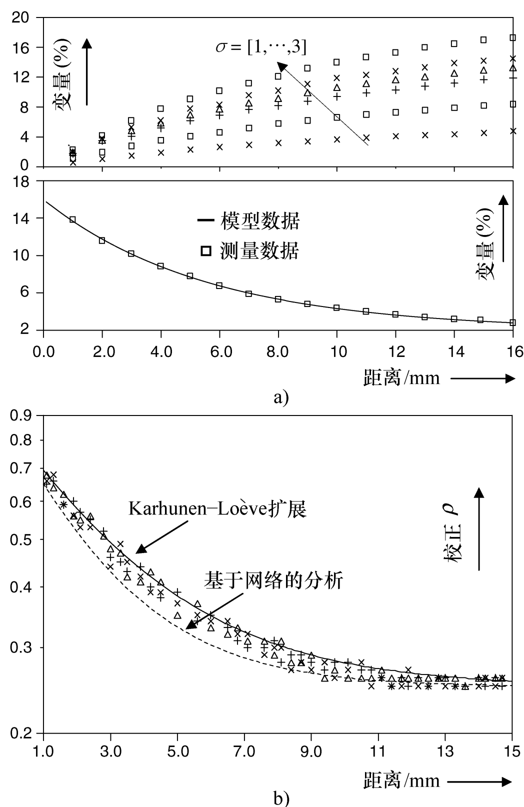


图 4.3　a）上图：系统效应分析为 68.3%（σ）、95.4%（2σ）、99%、99.3%、99.5% 和 99.7%（3σ）产量预期；下图：测量和模型随机效应　b）图 4.2 的空间相关校正关系（© IEEE 2009）

4.1.2.3　缺陷模型定义

从统计建模的角度来看，全局变化同样影响给定电路中的所有晶体管。因此，系统参数变量可以由电路中每个晶体管的参数平均值的偏差来表示，这可以被视为缺陷。现在引入了缺陷模型，$\eta_p = f(.)$，由于晶体管尺寸和工艺参数的随机制造变异导致电压和电流偏移：

$$\eta_p = f(v, W^*, L^*, p^*) \tag{4.11}$$

式中，$\eta_p = f(.)$是节点电压和支路电流变化的函数；v 定义为所提取数据估计的拟合参数；W^* 和 L^* 表示由于制造变化引起的几何变形；p^* 为模型与式（3.9）中定义的相应标称值的电参数偏差，例如改变的跨导、阈值电压等。

该缺陷模型用于通过将式（4.11）的项 η_p 包括在式（4.7）中，以矩阵形式写成相应的电路故障模型：

$$\boldsymbol{\Xi} = \boldsymbol{z}_0 \times \boldsymbol{\eta}_p \tag{4.12}$$

式中，$\boldsymbol{z}_0$ 是标称数据的矩阵；$\boldsymbol{\eta}_p$ 表示器件公差的随机矢量。

基本上，式（4.12）的故障模型基于过程技术的随机和系统变化将直流节点电压（直流支路电流）漂移出其理想状态。虽然频域中的电路的功能行为可能不是线性的，或者甚至在直流域中，由于输出和输入信号之间的非线性函数，只要被测电路的偏置和输入条件保持准静态，式（4.12）的故障节点电压（分支电流）遵循式（4.9）中提出的高斯分布。式（4.12）的故障模型的明显限制是它无法捕获被测电路的故障瞬态特性。

通常，电路设计会针对成品率进行了优化，使得制造的大多数电路符合性能要求。产量估算的计算成本和产量估计的复杂度，加上设计过程的迭代性，使产量最大化在计算上是禁止的。因此，使用与过程参数一组最坏情况条件下相对应的模型来验证电路设计。最坏情况分析是指在一些最坏情况条件下确定过程参数的值以及相应的最坏情况电路的性能值的过程。在设计人员努力下，最坏情况分析非常有效，因此已经成为统计分析和验证中最广泛使用的技术。以前提出的用于最差情况容差分析的算法分为 4 个主要类别：角技术、区间分析、基于灵敏度的顶点分析和蒙特卡洛（MonteCarlo）模拟。最常见的方法是角技术。在这种方法中，独立地选择导致最差性能的每个过程参数值。该方法忽略了过程参数之间的相关性，并且将每个过程参数同时设置为其极值导致的在过程参数的联合概率密度的尾端拟态。因此，获得的最坏情况的表现值令人非常沮丧。区间分析在计算上是有效的，但是导致过高的结果，即计算的响应空间包含实际的响应空间，这是由于区间操作数之间的依赖性导致的难处理的区间扩展。已经采用区间分割技术来减少区间扩展，但是牺牲了计算复杂度。传统的顶点分析假设最坏情况参数集位于参数空间的顶点，因此可以通过在参数空间的所有可能顶点获得电路仿真结果的并集来计算响应空间。给定具有 M 个不确定参数的电路，这将导致 2^M 个模拟问题。为了进一步降低模拟复杂度，使用在标称参数条件下计算的灵敏度信息来找出与电路响应最差情况相对

应的顶点。蒙特卡洛算法采用从每个过程参数范围内选择的值的随机组合，并重复执行电路模拟。其结果是估计的响应的统计特征值的集合。

不幸的是，如果模拟的迭代次数不是很大，蒙特卡洛模拟总是低估公差窗口。精确地确定响应的界限需要大量的模拟，因此如果芯片变大，则蒙特卡洛方法将变得非常消耗计算时间。从测试的角度来看，一般来说，无故障电路和故障电路具有不同的公差窗口，这意味着对于无故障电路和每个故障电路，应产生相应的公差窗口。如果故障列表中的故障数为 n，则公差窗口的总数为（$n+1$）。

在本书的情况下，基于中心极限定理，为了在式（4.12）概率上完全表征高斯数据，首先必须通过预期计算一阶和二阶矩来找到平均值和相关性。即使随机变量不是严格的高斯数据，二阶概率表征也为大多数实际问题产生了足够的信息。为了使问题易于管理，式（4.12）中的系统通过截断的泰勒近似线性化，假设随机缺陷 $\boldsymbol{\eta}_{\mathrm{p}}$ 的幅度足够小，以将等式视为在 $\boldsymbol{\eta}_{\mathrm{p}}$ 的变化范围内为线性的，或者在准静态直流偏置的情况下，电气故障 Ξ 的线性度非常平滑，即使对于宽范围的 $\boldsymbol{\eta}_{\mathrm{p}}$，它们也可能被认为是线性的。

接下来，必须计算每个处理参数的每个节点电压（分支电流）的自相关函数。这是必要的，以估计出决定电路是否有故障所需的公差窗口。然后计算 $\boldsymbol{\Xi}$ 为准静态时间段的自相关函数：

$$\boldsymbol{C}_{\Xi\Xi} = \boldsymbol{J}_0 \boldsymbol{C}_{\eta\eta} \boldsymbol{J}_0^{\mathrm{T}} \tag{4.13}$$

式中，$\boldsymbol{J}_0$ 是在 p_i 处初始评估数据 z_0 的雅可比矩阵；$\boldsymbol{C}_{\eta\eta}$ 是对称协方差矩阵，其对角线和非对角线元素分别包含式（4.10）中定义的参数方差和协方差。随后在式（4.13）中准静态节点电压 Ξ_{r} 与平均值 $\boldsymbol{\mu}_{\Xi_{\mathrm{r}}}$ 的边界表示为

$$[\Xi_{\mathrm{r,min}}, \Xi_{\mathrm{r,max}}] = \boldsymbol{\mu}_{\Xi_{\mathrm{r}}} \pm \sum_k \sum_m \{ |\boldsymbol{C}_{\Xi_{\mathrm{r}},\Xi_{\mathrm{r}}}|^{\max} \} \tag{4.14}$$

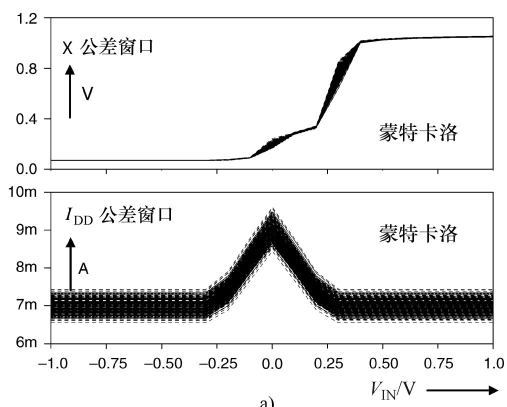
对于连接到节点 $r \in \{r_1, \cdots, r_q\}$ 的 $i \in \{i_1, \cdots, i_k\}$ 晶体管的任何 $p_i \in \{p_1, \cdots, p_m\}$ 都满足。根据定义，将准静态节点电压 Ξ_{r} 设置在式（4.14）中允许的边界之外，表示故障行为。为了获得闭合形式的矩方程，引入高斯闭合近似来截断无穷层次。在这种方案中，较高阶矩用第一和第二阶矩表示，就好像 Ξ 的分量是高斯过程一样。该方法快速，与常规标称电路仿真相当。假设有 n 次故障的蒙特卡洛模拟，使用蒙特卡洛方法（使用过程参数变化的统计数据）获得了 $m \times n$ 的理论加速度。图 3.13 说明了在静止状态下带增益放大辅助放大器的折叠共源—共栅放大器的电流和节点电压下，该方法的精度。式（4.14）与蒙特卡洛分析（可以显示 1500 次迭代是精确表示性能函数所必需的）作为输入和电源电压的函数，如图 4.4 和图 4.5 所示。两种方法之间的区别如图 4.6 和图 4.7 所示。

4.1.3　决策标准和测试刺激优化

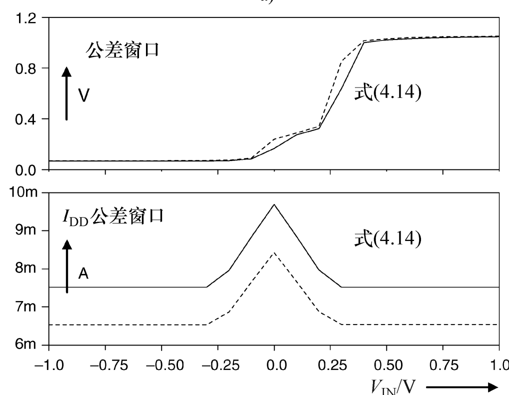
4.1.3.1　Neyman – Pearson 决策标准

由于每个分支电流是参数变化的线性组合中的高斯随机变量，因为在节点 r 处

存在电压偏差，电源电流［表示为 $I_{DDn}^{\prime}$（n 个采样)］也是高斯分布随机变量，其对于所有过程参数的导数 $\partial I_{DDn}^{\prime}/\partial p_i$，可以从参数的线性表达式中轻松找到。为了避免符号混乱，I_{DDn} 会继续使用。由于无错误和故障电路的测量值中存在重叠的区域，加剧了 I_{DDn} 的可接受公差窗口的导出难度，导致故障检测的模糊区域。为了抵消这种不确定性，基于关键区域 $C^* \subseteq \Omega$ 的 Neyman－Pearson 测试[230,251]，其中 Ω 是测试统计的样本空间，提供了所有测试的最大功率，具有显著性水平 α：

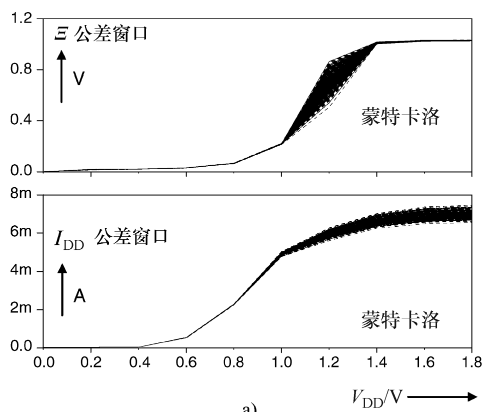


a)

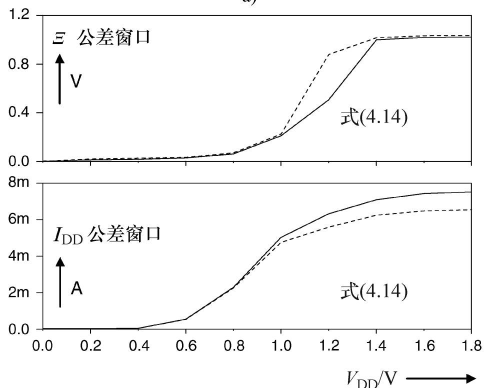


b)

图 4.4　蒙特卡洛与式（4.14）的折叠节点电压和电源电流 I_{DD} 作为输入电压的函数



a)



b)

图 4.5　蒙特卡洛与式（4.14）的折叠节点电压和电源电流 I_{DD} 作为电源电压的函数

$$C^* = \{(I_{DD1},\cdots,I_{DDn}) : l(I_{DD1},\cdots I_{DDn} \mid G,F) \leqslant \lambda\} \tag{4.15}$$

式中，I_{DD} 是观察样本；l（）是似然函数；G 和 F 分别表示无错误和错误的响应。既然 α（无故障电路被无故障地拒绝的概率）和 β（错误电路被接受的概率）代表同一决策问题的事件的概率，则它们不是独立的彼此或样本量。当然，希望会有一个决策过程使得 α 和 β 都很小。然而，通常一种类型的误差的降低导致固定样本大小的另一种类型的增加。同时减少两种类型错误的唯一方法是增加样本大小，而这

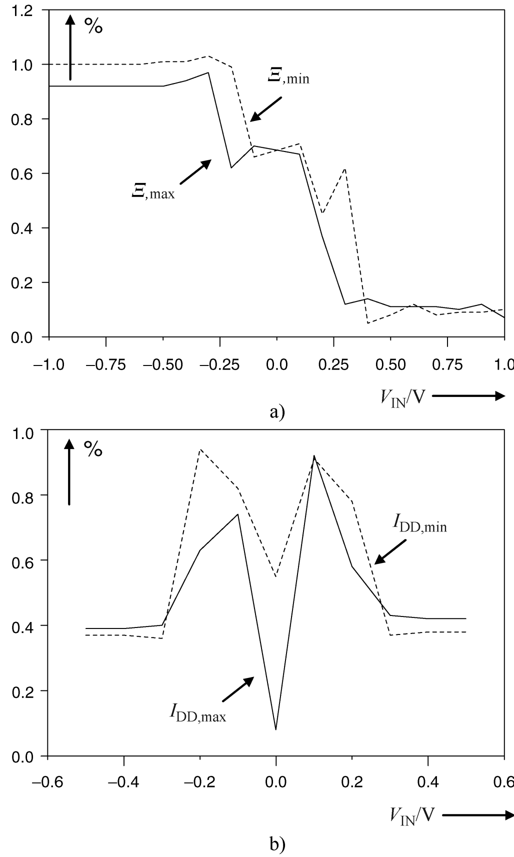


图 4.6　作为输入电压的函数，节点电压和电源电流 I_{DD} 的蒙特卡洛和式（4.14）之间的最大和最小差异百分比（%）。$\Xi_{,max}$、$\Xi_{,min}$、$I_{DD,max}$ 和 $I_{DD,min}$ 表示概率函数的尾数

又被证明是耗时的过程。Neyman－Pearson 测试是贝叶斯测试的一个特例，当先验概率可能未知或者贝叶斯平均成本可能难以评估或客观设置时，它提供了可行的解决方案。由于 I_{DDn} 在无故障和故障条件 $f(I_{DDn}/G)$ 和 $f(I_{DDn}/F)$ 下的密度函数分别被称为似然函数，似然比定义为

$$l((I_{DD1},\cdots,I_{DDn})) = \frac{f_{(1DDn)}((I_{DD1}\cdots,I_{DDn}) \mid G)}{f_{I_{DDn}}((I_{DD1},\cdots,I_{DDn}) \mid F)} \tag{4.16}$$

为了使阈值 λ 具有需要的显著性水平 α

$$P = \{(I_{DD1},\cdots,I_{DDn})\} \in C^* \mid P(G)\} = \alpha$$
$$P(\bar{I}_{DD} \geqslant \lambda \mid I_{DD} \sim N(\mu,\sigma^2/n)) = P\left(Z \geqslant \frac{\lambda-\mu_G}{\sigma_G/\sqrt{n}}\right) = \alpha \tag{4.17}$$

式中，μ_G 和 σ_G 是无差错响应的平均值和方差。

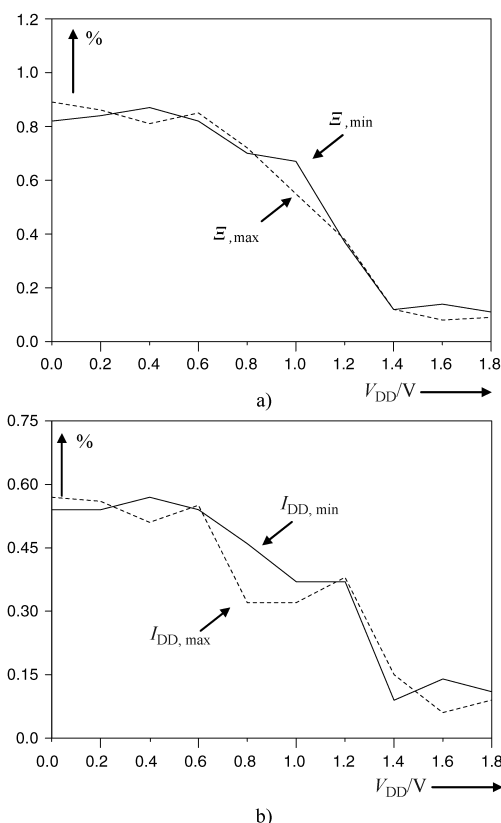


图 4.7　作为电源电压的函数，蒙特卡洛与节点电压和电源电流 I_{DD}之间的最大和最小差异百分比（%）。$\Xi_{,max}$、$\Xi_{,min}$、$I_{DD,max}$和 $I_{DD,min}$表示概率函数的尾部

$P(Z<z_{(1-\alpha)})=1-\alpha$，$z_{(1-\alpha)}$是标准正态分布下 Z 的（$1-\alpha$）分位点。回想一下，如果 $I_{DD}\sim N(\mu,\sigma^2)$，则 $Z=(I_{DD}-\mu/\sigma)\sim N(0,1)$。在本例中，由于假定变量 I_{DD}具有正态分布，因此采样平均值 $I_{DD}\sim N(\mu,\ \sigma^2/n)$。从前面的方程可以看出，测试 T 拒绝：

$$T=\frac{\bar{I}_{DD}-\mu_G}{\sigma_G/\sqrt{n}}\geqslant z_{(1-\alpha)} \tag{4.18}$$

要纳入 Neyman－Pearson 引理，第一步是选择和修正测试 α 的显著性水平，并建立对应于 α 的测试的关键区域。该区域取决于测试统计 T 的分布以及备选 hypobook 是单面还是双面。在从测量数据收集/观察之后，以下步骤是从数据样本中计算 T 的值（称为 t^*）。将该结果与 T 的分布进行比较，以查看其是否落入临界（拒绝）区域。最后，决定接受或拒绝数据样本。

算法
初始化
– 定义每个观察样本的概率 P（G）和 P（F）
– 显著性水平 α
数据采集
– 为每个计算选择 I_{DDn} 采样点时刻
主体
1. 根据式（4.15）计算临界区域 C^*
2. 定义决策阈值 $\lambda^* = \mu_G + z_{(1-\alpha)}\sigma/\sqrt{n}$
3. 计算标准正态分布 $z_{(1-\alpha)}$ 的（1－α）分位点
4. 根据式（4.18）从数据样本计算 T 的值
5. 如果 $T \geqslant z_{(1-\alpha)}$ 拒绝，否则接受观察样本

4.1.3.2 测试刺激优化

所有的仿真结果存储在数据库中的一个块内。这样可以通过首先调查某个模拟的结果，然后再添加不同模拟的结果（可能包含一组不同的故障和/或测试），以增量的方式填写数据库。数据库块被视为矩阵，其中列包含单个故障的整个测试结果，行包含单个测试的结果。这样，每个矩阵项都是测试－故障组合的测试结果。

为测试模式生成获得必要的刺激，对数据库中可用结果的测试刺激优化是必要的。存在几种可能的优化测试刺激的方法：强力方法是首先收集每个电路规范的故障覆盖数据。然后，这些数据可以通过尝试所有可能的测试刺激设置的排列来查找测试刺激的最佳顺序。如果电路有 n 个规格，则必须尝试 n！个排列，例如对于 20 个规格，需要 2.4×10^{18} 个排列，这显然不是计算上可行的。文献［252］中的做法更先进。这里采用 Dijkstra 算法来选择和排序模拟规范测试。算法的计算复杂度为 $n\times2^n$，所以在 $n=20$ 时，需要计算 1×10^6 个概率。这是对强力法的一个很大的改进，但还是太大了。Dijkstra 算法的问题在于它不考虑故障覆盖，这似乎对于测试排序至关重要。换句话说，如果没有检测到任何故障，一个不昂贵的测试刺激是无用的。一般来说，最好先执行具有高故障覆盖率的测试刺激，只要它们不是太贵。

文献［225］中的算法在这里部分实现是基于这些观察。具有非常低的故障覆盖率的第一个测试刺激从测试刺激集合中消除，进而剩下的测试刺激进行排序。考虑两种测试刺激排序的方法：在第一阶段，对检验刺激进行排序，以便首先执行检测未被检测的最有缺陷参数的检测刺激，最后执行最不重要的检测刺激（测试刺激按照唯一覆盖值的降序排列）；在第二阶段，更昂贵的测试刺激向下移动，因此用于较少数量的电路，从而降低总体测试刺激成本。测试刺激从上到下，不增加累积覆盖率的前提下，移动到列表的底部。

因为在测试刺激被排序之前，从设置的测试刺激中消除了一些测试刺激，所以这两种算法都是启发式的，并且都可以以更少的计算成本来处理具有更多规格的电路。算法的计算复杂度为 n^2，所以在 $n=20$ 时，需要计算 400 个概率。由于启发式

方法，该算法不一定产生实际的最优值，而是通常为接近最优值的值。为了找到最佳的测试刺激集合，算法尝试各种测试刺激集合的排列。首先考虑成本较高的测试刺激，最后考虑成本较低的测试刺激。假设昂贵的测试刺激是第 i 位。该算法考虑将其移动到具有 $j>i$ 的每个位置 j。当第 i 个测试刺激被移动到第 j 个位置时，目前在 $i+1$ 到第 j 个位置的测试刺激向前移动一步。当进行排列时，所有的测试刺激的产量 Y_i 发生变化。测试 T_i 的产量 Y_i 被定义为通过测试 T_i 的器件的数量，考虑到序列中所有排在前面的测试刺激，这意味着测试刺激的产量取决于其在测试序列中的位置。最佳测试序列是测试刺激成本最低的测试序列。平均测试刺激成本是

$$\begin{aligned} T_c &= w_1 + w_2\frac{(D_T - N_1)}{D_T} + w_3\frac{(D_T - N_1)}{D_T}\frac{(D_T - N_1 - N_2)}{(D_T - N_1)} + \cdots \\ &= \sum_{i-1}^{n} w_i \prod_{j=1}^{i-1} Y_j \end{aligned} \quad (4.19)$$

式中，w_i 是执行测试号 i 的测试刺激的成本；N_i 被定义为由测试刺激 T_i 唯一的检测到的故障的数量，而不是先前的任何测试刺激；D_T 是设备的总数。

```
优化算法
  初始化
  —初始化输入测试集合 T，w_i，i∈T（测试成本）
  —初始化测试刺激数量 m
    主体
  —计算平均检测刺激成本 T_c
  —计算测试刺激累积覆盖率 C_c
  —找到最小参数 w_i，i∈T
    j=i+1
  While j≤m
   {计算式（4.22）和式（4.23）
  如果式（4.23）<式（4.22）
   {用式（4.19）计算 T'_c（新的平均检测刺激成本）
  如果 T'_c<T_c
  将第 i 个测试刺激移至第 j 个位置
  移动第 i+1 到第 j 个测试刺激位置并更新 T_c
}
  用式（4.24）计算 C'_c
  如果 C'_c<C_c，
   {将第 i 个测试刺激移至第 j 个位置
  移动第 i+1 到第 j 个测试刺激位置并更新 C_c
   }
  j=j+1
}
  —找到最佳刺激集合 T 时停止
```

该算法避免了对于每个可能的排列来计算所有新的测试刺激的产量 Y_i，而是首先估计变化是否可能提高平均测试刺激成本。如果第 i 个测试被移动到第 j 个位置，那么只有第 i 至第 j 个测试的测试产量才能改变。特别地，前面方程式的唯一变化是

$$\sum_{k=1}^{j} w_k \prod_{l=i}^{k-1} Y_i \tag{4.20}$$

将 x 定义为

$$x = \sum_{k=1+1}^{j} w_k \prod_{l=i+1}^{k-1} Y_l \tag{4.21}$$

然后在排列之前，式（4.20）等于

$$w_i = Y_i x \tag{4.22}$$

如果 Y_i 没有明显变化，排列后，式（4.20）可以近似：

$$x + w_i \prod_{l=i+1}^{j} Y_l \tag{4.23}$$

因此，如果式（4.23）小于式（4.22），则排列可能会降低测试刺激成本，并计算真实的 Y_i。如果测试刺激成本降低，则接受此举。该算法继续尝试更多的排列，直到最短的测试被尝试。测试刺激的累积覆盖率是由测试刺激或先前测试刺激除以故障总数检测到的故障数：

$$C_c = \frac{1}{N} \sum_{i-1}^{n} c_h(i) \tag{4.24}$$

式中，$c_h(i)$是达标的最高故障覆盖率；N 是故障总数。

按照本节中描述的步骤，总时间所需的故障注入时间 $t_{injection}$、故障模拟仿真时间 $t_{simulation}$、鉴别分析时间 $t_{discrimination}$和测试刺激优化 $t_{optimization}$可以表示为

$$\begin{aligned} t_{injection} &= N_{nodes} t_{swap} \\ t_{simulation} &= N_{bias} N_{supply} N_{input} N_{reference} t_{circuit} + t_{tolerance} \\ t_{discrimination} &= N_{faults} t_{analysis} \\ t_{optimization} &= N_{permutation} N_{faults} \end{aligned} \tag{4.25}$$

式中，t_{swap}、$t_{circuit}$、$t_{tolerance}$和 $t_{analysis}$是将故障引入电路所需的时间、模拟电路网表、导出电路响应的边界并分别执行 Neyman－Pearson 测试；N_{nodes}表示电路中节点的数量；N_{bias}、N_{supply}、N_{input}和 $N_{reference}$指定应用准静态刺激的偏置、供应、输入和参考节点的数量；N_{faults}表示故障数；$N_{permutation}$表示测试刺激集合的排列次数。

4.2 可测性概念的设计

现代片上系统（SoC）集成数字、模拟和混合模式模块，例如在同一芯片上的

混合信号或 RF 模拟和数字信号等。通过使用从最终 IC 块的虚拟库描述获得的第三方核心，这种集成水平进一步复杂化。此外，核心的品种和数量及其性质类型，比如模拟、复杂的单个模块的测试阶段、块的组合和最终的整个系统的组合。模拟域的问题在于，由于很可能会发生快速的信号衰减，所以在芯片上和跨越其边界的外部世界长距离扫描信号要困难得多。IEEE 1149.4[253]是可以在设备、子组件和系统级使用的标准混合信号测试总线。旨在提高混合信号设计的可控性和可观察性，并支持混合信号内置测试结构，以减少测试开发时间和成本，并提高测试质量。

有各种已知的设计模拟电路可测试性的方法。最常见的方法是将系统划分为子块以访问内部节点，使每个隔离子块接收到适当的刺激进行测试[254]。文献［255］中的 DfT 被定向在滤波器的子块处，使得通过增加其他级的带宽来测试每个级。这是通过在开关电容滤波器的情况下调整开关方案，或者通过使用附加的 MOS 晶体管开关旁路滤波电容来完成的。后一种方法的问题是 MOS 晶体管处于滤波器的直接信号路径中，降低了性能。一种开关式运算放大器结构可以克服这个限制[256]。实质上，这种开关运算放大器基本上具有两种操作模式：测试模式和正常模式，处于什么模式取决于数字控制信号。运算放大器用于任何两个子块之间的接口。文献［257，258］给出了一种类似于文献［256］的增强方法，这种方法使用具有重复输入级的运算放大器。在这种方法中，初始滤波器设计中的每个运算放大器都被 DfT 运算放大器所取代。在文献［259］中，说明了适合基于可以计算确定滤波器的传递函数的所有电容器比率的电路来检测开关电容器电路中的参数故障的 DfT 方案。其他 DfT 方案包括具有自校正功能的 A－D 转换器[260]。

与以前测试模拟电路功能的方法不同，模拟结构测试[261,262]包括用直流或低频刺激激发正在测试的电路，以在指定时间采样响应，检测故障的存在。直流瞬变波形可以看成分段线性段，以激发电路的电源、偏置和/或输入。为了促进这种测试，最好观察各个核心的电流（或电压）特征，而不是观察整个模拟 SoC 的电流（或电压）特征。因此，这里的 DfT 方法类似于功率扫描链，旨在以单独的方式打开/关闭模拟核心，在核心的电源和输出端子处提供可观察性的手段，并激发被测核心[263]。持续的 DfT 技术不会打开和关闭各个块，而只是将观察到的块与信号路径断开连接；它们也不适用于直流瞬变测试，如 V_{DD}斜坡[264]。

目前，供电电流监测技术在模拟电路中没有发现实用的广泛应用。这主要是因为模拟故障并不像数字案例那么明显，在特殊测试模式下，经常需要使用特殊测试向量来增加故障覆盖。将电源观测概念应用到模拟故障诊断中，应对现有的测试技术进行重大修改。这是因为以下两个因素：①该方法不仅需要简单观察异常电流；②与数字电路不同，模拟电路中的电源之间总是存在偏置电流，在大多数情况下，不能定义异常电流。

对于模拟电路和系统，由于各种原因，故障诊断技术与数字电路中的故障诊断技术相比更复杂：①需要在内部节点测量电流和电压信号；②由组件公差引起的软

件故障的诊断。

用于测试模拟电路的高级方法，克服了文献［264］提出的大多数供电监测技术遇到的障碍。为了获得有效的测试所需的特征丰富的信息，通过向供电端子施加斜坡信号而不是传统的恒定直流信号或接地电压来迫使晶体管在所有可能的操作区域中运行。电源斜坡技术可以潜在地检测和诊断灾难性的[261]以及参数故障[262]。将斜坡信号施加到电源电压节点而不是常规步骤（或直流电压）可以迫使电路中的大部分晶体管在所有操作区域中操作，并且因此提供丰富信息的偏置电流。该方法测量当前特征，而不是单个值。许多故障具有独特或近乎独特的特征，可以缓解诊断过程。实际上它与系统、电路或组件的线性或非线性无关。

4.2.1　功率扫描链 DfT

传统的 DfT 方法可以向信号路径中的每个输入和输出节点提供测试接入点。CMOS 开关矩阵有 3 种模式：首先，它可以将信号从一个块传递到下一个块以进行正常操作；第二，它可以断开一个块的输出，并将下一个块的输入连接到模拟测试输入总线，然后测试仪可以将测试信号注入被测电路的输入端；最后，开关矩阵允许通过模拟测试输出总线观察被测电路的输出。然而，当在敏感模拟电路的信号路径中使用 CMOS 开关时，可能会出现一些可能的问题，例如串扰、电容负载和增加的噪声与失真。

图 4.8 所示的功率扫描链 DfT[263]的目的是避免（最小化）信号路径中的开关数量，并提供支持基于当前的测试技术的手段。DfT 的主要特点是选择性地打开和关闭单个内核，从而可以隔离或与模拟 SoC 的其他内核一起测试直流、交流和/或瞬态特性。在两步 A-D 转换器中实现的功率扫描链的概念概述如图 4.9 所示。有几种打开/关闭模拟核心的方法。优选的选择是将开关置于模拟核心的偏置网络中，

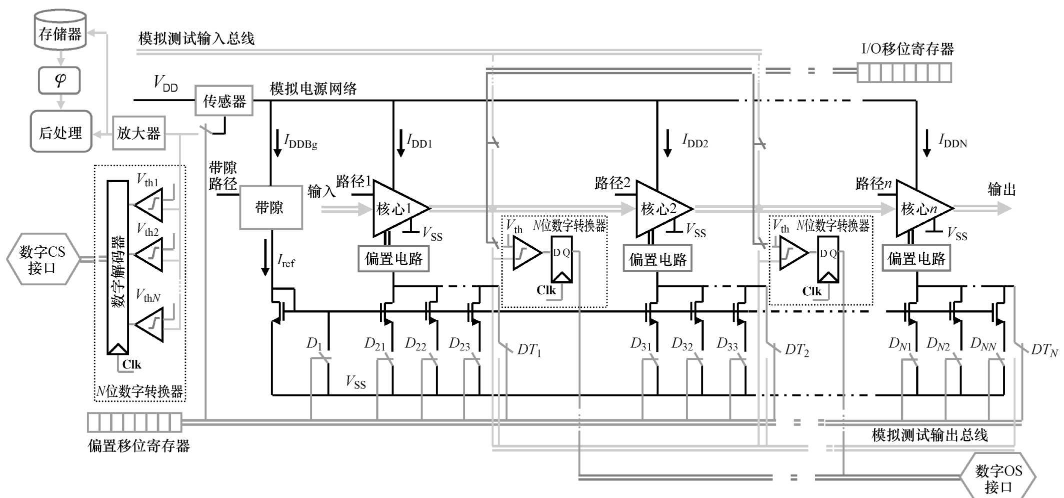


图 4.8　功率扫描链模拟 DfT[263]

因为这不会干扰信号路径中的信号。另一种选择是将开关置于电源通路中。然而，这些开关引入了可能对核心性能产生影响的电压降。另外，后者的开关可能是庞大的。如图 4.8 所示，通过在电源处使用斜坡信号而不是传统的恒定直流信号或接地电压来操作，DfT 网络被设计为在所有可能的操作区域中运行。DfT 包括一个模拟测试输入总线，用于为被测核心提供输入刺激，一个模拟测试输出总线读出刺激响应，数字 CS 和 OS 接口读出数字化电流特征（CS）和数字化输出响应刺激（OS）；模拟电源网络，用于读取电源线中的电流和两个移位寄存器控制器，以分别打开/关闭各个内核，并分别选择/取消选择输入/输出测试总线。

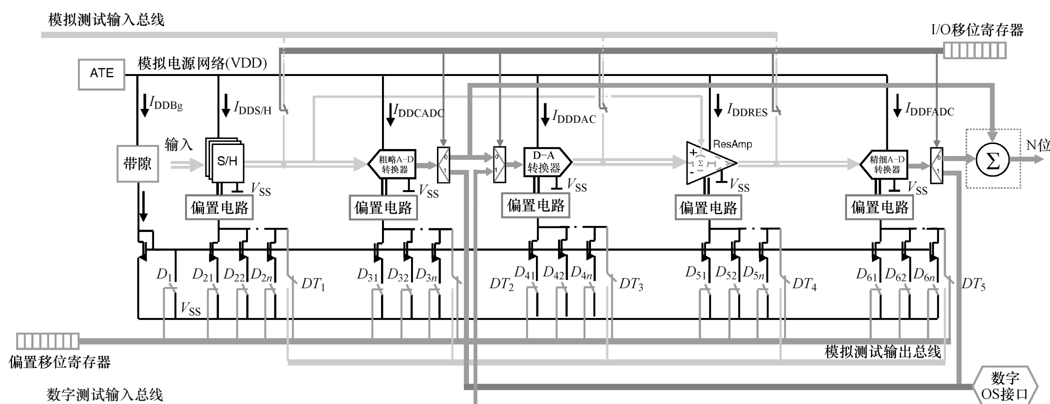


图 4.9　在两步 A－D 转换器中实现的功率扫描链 DfT 的概念概述

4.2.1.1　供电网络和偏置控制

在模拟供电网络的 V_{DD} 路径中只插入一个传感器，该传感器本质上是一个用于测量流过电源端子的电流的电流表。任何电流传感器的一个重要特性是，在电流变化非常快并通常以高瞬变屏蔽的环境中，提供极小电流读数的精确测量。

相反，在供电电流与背景电流的比例不足以区分故障电路和故障电路的条件下，主要的限制将是片外检测。然而，随着内置电流监视器芯片的发展，这些限制已经在很大程度上得到克服[265,266]。为了便于各个核心（I_{DDBg}，I_{DD1}，I_{DD2}，…，I_{DDn}）的供电电流读数，所检测核心的偏置网络以个别方式打开/关闭。根据从偏移移位寄存器的从左到右的时钟不同的代码的电源电流之间的差异，找出各个内核的电源电流。电源电流读数在核心的额定工作条件下执行。所需的测试时间取决于模拟块的复杂性。ATPG 结果提供了所施加的斜坡和单个模拟核心开/关顺序的最佳选择，得到了在一定的最小允许故障覆盖的限制下的最小测试时间。

为了提高可读性并避免低电平电源电流的舍入效应，在感测元件之间感测静态电源电流，并且在具有自动增益控制功能的电压放大器中进一步放大以处理宽动态范围。放大后，所有单独的电源电流读数都存储在存储单元中。运算符允许对各个电流特征的任何组合进行任何类型的数学运算，例如加法运算、乘法运算、卷积运

算等。这些电流特征的后处理可由任何后处理方法完成，例如集成或 FFT。除了观察电源电流特征的模拟波形以外，还可以观察其数字化版本。图 4.8 显示了一个快速 N 位数字转换器（$N \geqslant 1$），其 V_{TH}参考自模拟测试输入总线，尽管其可以实现任何 N 位数字转换器架构。数字解码器时钟信号与系统相关。偏置网络由提供 I_{ref}电流的带隙电路和具有多个支路的电流镜组成，每个支路信号都馈送模拟内核。（偏置）移位寄存器控制器是具有 V_{DD}（逻辑 1）和 V_{SS}（逻辑 0）电压电平的数字电路。对于本示例的基于 n 通道的偏移网络为例，移位寄存器的任何位置中的位值 1 能打开任何开关 D_1，$\mathrm{D}_{21} \cdots \mathrm{D}_{2N} \cdots \mathrm{D}_{NN}$。注意，当节点 D_1 接通或者当全局关断信号（$\mathrm{GP_d}$）引起带隙电路断电时，I_{ref}将不再流动，并且所有偏置电流都将变为零，而与 $\mathrm{D}_{21} \cdots \mathrm{D}_{2N} \cdots \mathrm{D}_{NN}$信号无关。当节点 D_1 接通时，无论 $\mathrm{D}_{21} \cdots \mathrm{D}_{2N} \cdots \mathrm{D}_{NN}$如何，所有偏置电流都将变为零，但是 I_{ref}仍然会流动。开关 $\mathrm{D}_{21} \cdots \mathrm{D}_{2N} \cdots \mathrm{D}_{NN}$用于关闭在测内核或调整相应的电流偏置。可以考虑开关 D_{k1}，其中 $k = 2 \cdots N$，作为主开关，在正常运行下将标称偏置电流引向内核。剩余的开关用于测试模式，以允许修改偏置电流用于测试目的。如图 4.8 所示，假设偏置网络中的开关由 n 沟道晶体管组成。然而，实际结构包括如图 4.10 所示的 n 沟道和 p 沟道晶体管。开关矩阵控制电路的一部分如图 4.11 所示。

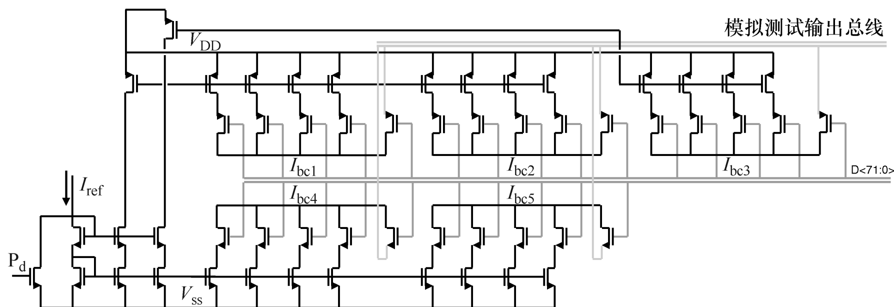


图 4.10　用于打开和关闭核心偏置电路的部分开关矩阵

即使所有块由于混合信号电路中使用的数字电路的漏电流而关闭，IC 也可能消耗一定量的电流。重要的是要注意，通过将开关放置在核心偏置电路的接地节点处，而不是在模拟核心本身的接地节点处，由于导通电阻导致的电压降引起的对核心的偏置点的影响受到限制。为了确保单个核心完全关闭，即它没有浮动节点，可以使用本地断电信号 $\mathrm{P_d}$。当连接到核心 1 的 $\mathrm{D}_{21} \cdots \mathrm{D}_{2N}$、核心 2 的 $\mathrm{D}_{31} \cdots \mathrm{D}_{3N}$、核心 N 的 $\mathrm{D}_{N1} \cdots \mathrm{D}_{NN}$的开关断开时，本地关断信号有效。是逻辑而不是接口实现了这些设置。开关 $\mathrm{D}_{\mathrm{T1}} \cdots \mathrm{D}_{\mathrm{T}N}$用于测试偏置网络本身。它们将偏置节点连接到模拟输出测试总线。核心的偏置网络通过一次打开一个内核并读出相应的偏置电压电平进行测试。偏置网络的感应可以很容易地调整，以检测偏置电流。作为测试规定，最后测试带隙电源电流。

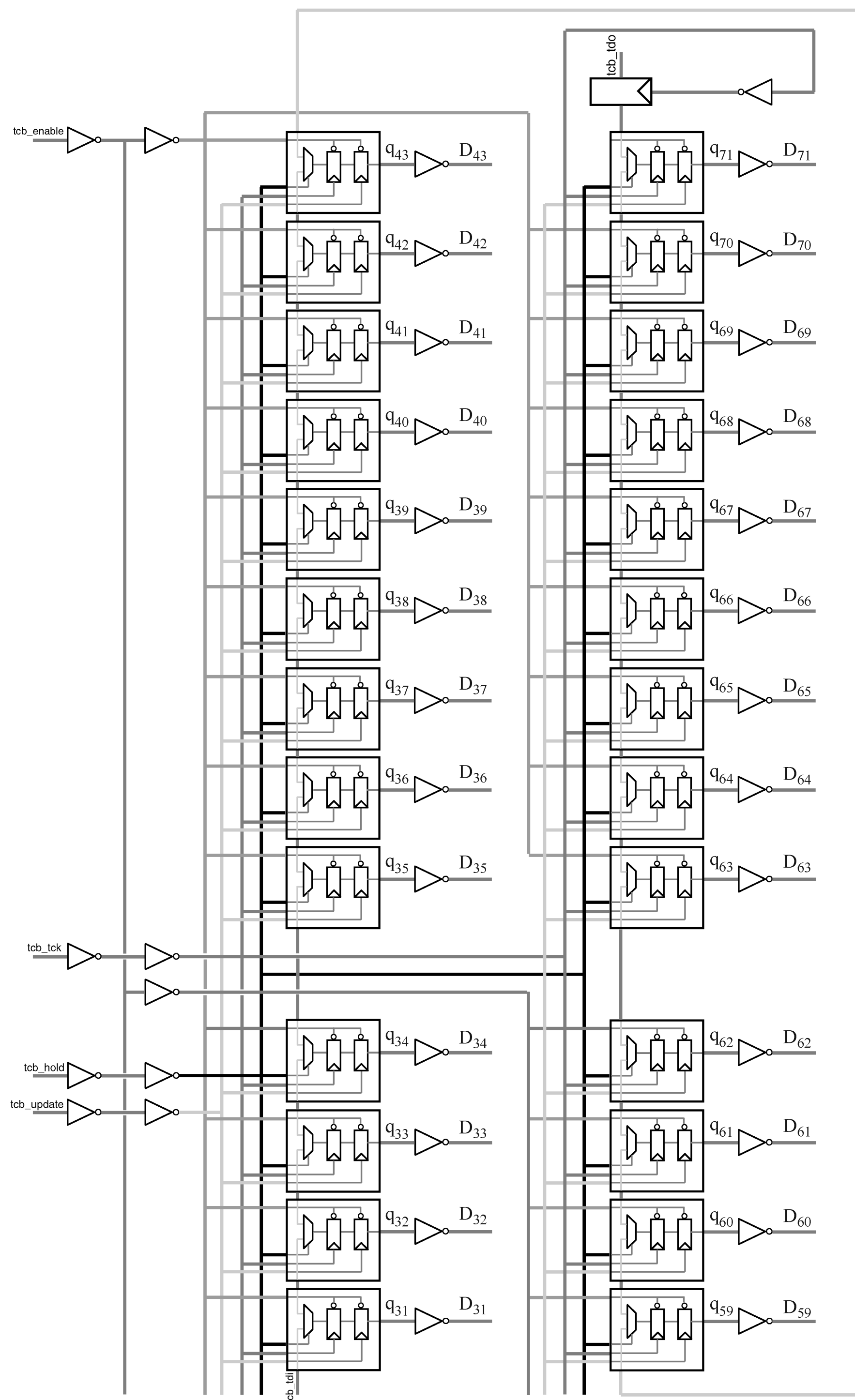


图 4.11　部分开关矩阵控制电路

4.2.1.2 测试输入和输出总线

该方案提供了模拟测试输入总线来控制（激励）启用的内核。当在敏感模拟电路的信号路径中使用 CMOS 开关时，可能会出现一些问题，例如串扰和增加的噪声、失真和电容负载。在这种方法中，用两个开关就可以实现，而不是常规使用的 4 个开关。注意到从核心到核心的信号路径中没有开关，并且模拟测试总线与信号路径分流。假设通过 I/O 寄存器控制的开关和本地关断电信号关断被测核心之前的核心，这是可能的。模拟测试输出总线提供了测试内核的可观察性，与该总线相关的是数字输出接口、数字化模拟信号。模拟测试输入总线可以向系统提供输入信号，并且系统输出信号也可以数字化并提供给数字输出接口，以便在整个系统中实现功率扫描（Power－Scan）链模式下的电压读数。

4.2.1.3 功率扫描链接口

串行移位寄存器提供各种模拟开关的控制，用于偏置电流控制和连接到模拟测试总线。在这种架构中，该寄存器是由 IEEE 1149.1 标准 TAP 控制器控制的用户寄存器[267]。模拟测试总线接口由 IEEE 1149.4 模拟测试总线扩展提供给 1149.1。当设备处于工作状态时，使用 1149.1 TAP 允许访问串行寄存器。其他串行访问接口（如 I^2C 或 3 线总线）也可用于控制串行移位寄存器，尽管它们不允许在功能模式下访问寄存器。器件处于功能模式时可以访问移位寄存器，这种功能赋予了片上硅测试独特的机会。例如，可以通过在操作模式（例如，放大器的增益）中适当地调整核心的偏置网络来测试某些电路规格，或者可以通过改变其偏置条件来测试有源滤波器的带宽。类似地，可以隔离核心，通过模拟测试输入总线和通过调整其偏置网络的外部输入刺激调试其规格。例如，可以测试滤波器对已知输入信号的带宽和插入损耗，或测试数据转换器的 LSB 部分。另一个例子是在正常操作模式下绕过核心，并为其相邻核心提供已知的输入信号，或通过模拟测试输出总线分析核心的输出信号。

4.2.1.4 DfT 集成电流传感器

电流传感器也可以放置在 V_{DD}缓冲器和内核的 V_{DD}端子之间，如图 4.12 所示。尽管以增加复杂性为代价，将传感器放置在单独的电源线中将能够实现并行电流感测操作，使测试时间明显减少。相比于图 4.8，DfT 现在集成了模拟电源输出总线，以读取电源线中的电流。偏置网络、模拟测试输入总线、模拟测试输出总线、数字 CS 和 OS 接口以及两个移位寄存器控制器相似。请注意，可以进行带隙传感器更改，从而可以在模拟或数字电源输出总线上测量和读出带隙电压。在具有有限芯片封装引脚数的测试系统中，可以通过一个芯片封装引脚为多个单独的模块供电。在这些情况下，片上电流传感器提供了额外的可观察性。可以通过打开所选内核的偏置网络来找到各个内核的供电电流。所有供电电流读数都在内核额定工作条件下进行。传感器的输出被链接到放大器中，具有自动增益控制功能以处理宽动态范围。放大器和后处理单元是自动测试设备（ATE）的一部分。被测内核测量的电流用于

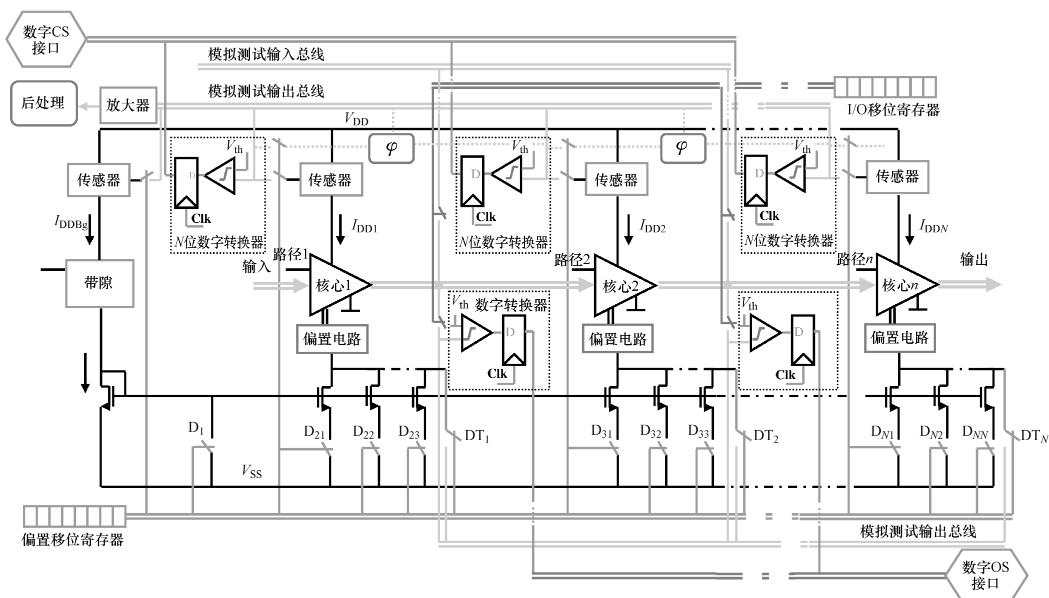


图 4.12　具有集成电流传感器的 DfT

测试目的。类似于图 4.8，运算符允许任何两个连续启用内核电流特征的任何类型的数学函数。电流特征的后处理可以通过任何后处理手段来完成，例如集成或 FFT。

4.2.2　应用实例

4.1 节中给出的测试生成方法可以用于故障检测（以确定电路是好还是坏）和故障隔离（以识别故障子电路）。如前所述，测试发生器的输入包括电路描述、测试刺激和测试程序，给出包括测试节点、故障覆盖率和最佳测试刺激的输出，足以在被测电路中检测（或隔离）故障模式（故障）。为了克服基于结构电流测试的系统测试限制，通过功率扫描 DfT 技术，将受测试器件分为仅限于附加硬件的较小块。

下面的结果是在一定的面积下（约 5%）获得的，主要来自额外的偏置晶体管和布线，并且由于这些偏置晶体管不用于正常功能节点，所以额外功耗可以忽略不计。性能损失无关紧要，因为信号路径中没有开关。基于电流特征分析的晶圆级制造测试所需的总测试时间在每个输入刺激 3 ~ 4ms 的范围。结果表明，根据可分区程度，第 3 章的多步 A – D 转换器的各个块中的大多数准静态故障，通过准静态结构测试大多数是可以被检测出来的。对于整个 A – D 转换器，需要输入 11 种刺激，这导致准静态测试的总测试时间最多为 45ms。与需要 1s 的基于直方图静态或大约需要 1s 的基于 FFT 的动态 A – D 转换器测试相比，测试时间减少至 1/20 以上。请注意，执行这些功能测试所需的时间取决于转换器的速度和可用的后处理能力。

4.2.2.1　精细 A – D 转换器的静态结构测试

由于精细 A – D 转换器的线性度决定了整个转换器的整体可实现的线性度，因此首先对精细 A – D 转换器进行更详细的检查。在精细 A – D 转换器（见图 4.13）中使用折叠和插补技术在 3.4.2 节中进行了详细的研究，所需比较器的数量明显减少，但是以折叠数量减少带宽减小为代价。参考电压和电阻和前置放大器匹配的非线性分布限制了精细 A – D 转换器中的线性度，因为失配效应使可处理系统中的最小信号上边界较低。结果，它们的影响在信号水平较小的第一阶段是最重要的。偏移电压也是比较器精度的主要限制因素。如果电路中存在前置放大器的增益不匹配，内插信号的过零点将被改变。前置放大器的非线性也可以通过偏移理想的过零点来完善线性插值，而比较器的非线性则导致错误的比较器判定。另外，由于折叠预放大器的尾电流不匹配引起的误差似乎是差分对的偏移量。由于尾电流失配引起的过零误差是相加的，所以需要匹配的尾电流数量与折叠度相同。因此，由于尾电流失配引起的误差也随着折叠程度的降低而降低，因此具有低折叠度是有益的。理想情况下，输出的每个过零点仅由一个折叠放大器确定。

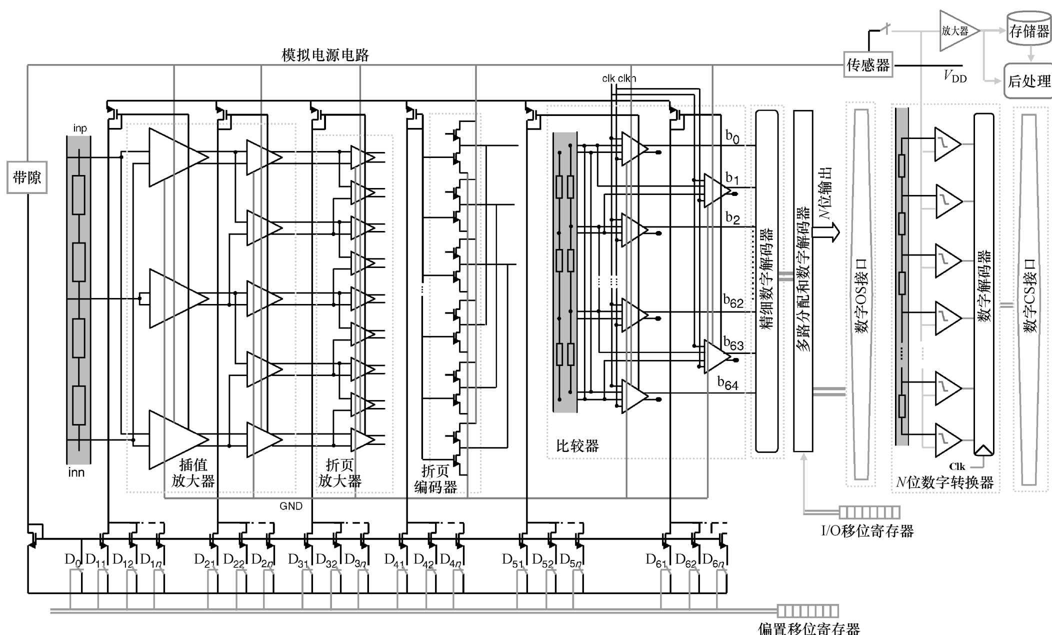


图 4.13　精细 A – D 转换器中使用的功率扫描链 DfT

检测第一阶段的故障是必不可少的，因为只要前置放大器的增益足够高，第一级前置放大器的偏移就确定总参考输入偏移。例如，在第一级放大器的输出 Ξ_{r1} 和输入偏置节点 Ξ_{r2} 嵌入式（4.12）定义的两个故障（见图 4.14）。该故障注入将节点电压设置在由式（4.14）表示的允许节点变化范围（见图 4.15a）之外，并且导致容易发现的积分非线性（INL）误差（见图 4.15b）。

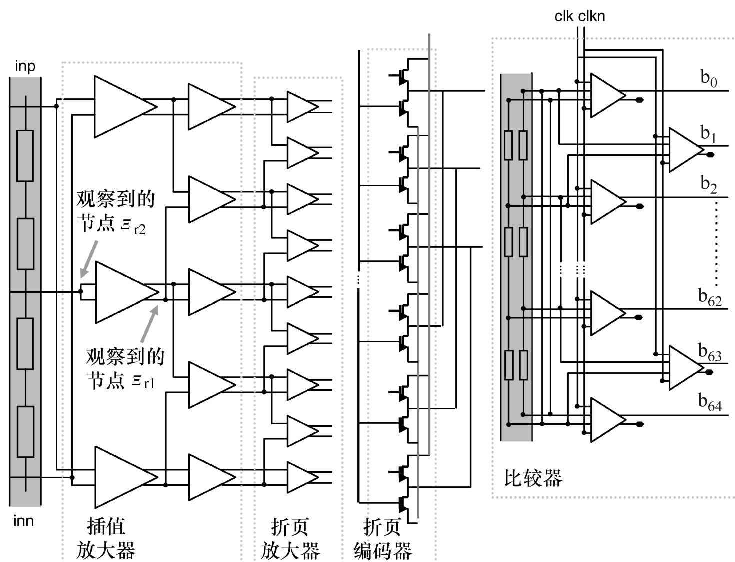


图 4.14　精细 A－D 转换器示意图。示出了在第一级前置放大器的输入和输出处的两个观测节点

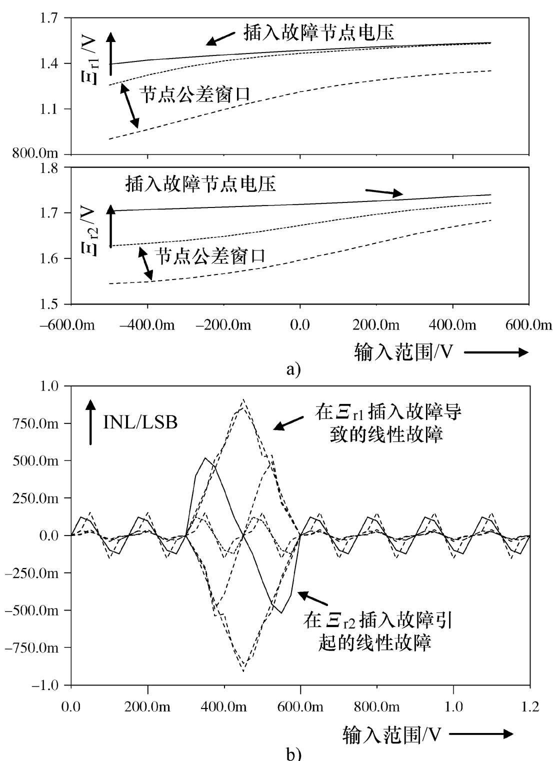


图 4.15　a）故障插入及其与式（4.14）中定义的公差窗口的关系　b）当第一级前置放大器插入故障时的积分非线性（© IEEE 2009）

现在，来看一下电源电流 I_{DD}模型故障的影响。如图 4.16a 所示，在观测节点处嵌入故障并以标称输入值进行模拟将导致电源电流的偏差。尽管如此，对于负输出节点 Ξ_{r1}的故障，在无误差电路概率 $P(G)$ 内存在较大的模糊区域和故障电路概率 $P(F)$ 使得任何决策都有错误。然而，通过同时施加输入激励（输入信号、偏置、参考和电源电压）的线性组合，可以找到由两个建模故障的模糊区域减小导致的不确定性减小的操作区域（见图 4.16b），因此，将故障电路接受为无错误电路的概率降低。接下来，根据测试统计的分布式（4.18）设定测试 α 的显著性水平，并构建 Neyman－Pearson 临界（排斥）区域 C^*。

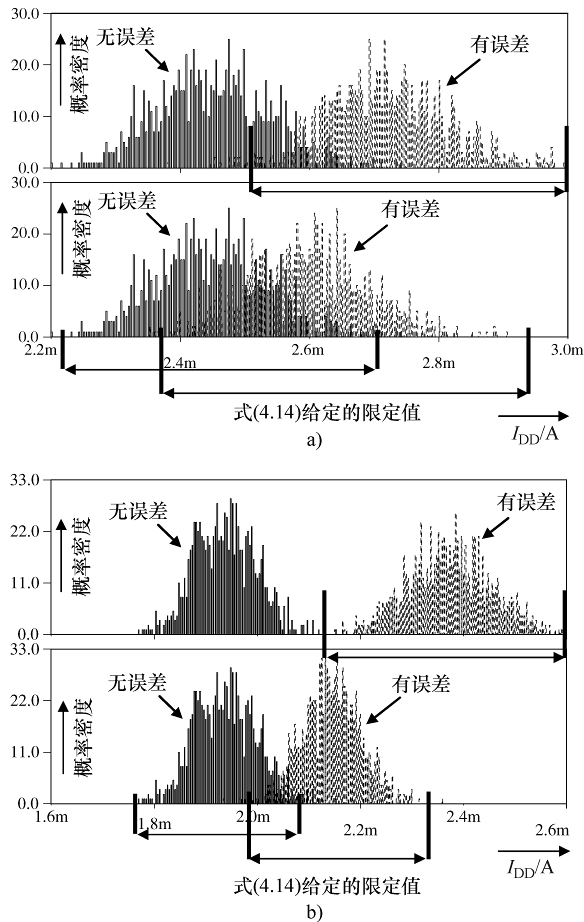


图 4.16　a）节点 Ξ_{r2}和底部的前置放大器 I_{DD}直方图绘图在无错误和顶部故障的标称输入值 Ξ_{r1}　b）节点 Ξ_{r2}和底部的无差错和顶部故障的 ATPG 优化之后的前置放大器 I_{DD}直方图 Ξ_{r1}（ⒸIEEE 2009）

继续图 4.16b 所示的例子，对于节点 Ξ_{r1} 的故障，其中 $P(G)$：$I_{DDn} \sim N$（1.946mA，0.23mA）和 $P(F)$：$I_{DDn} \sim N$（2.16mA，0.25mA），测试的临界区 C^* 具有显著性水平 $\alpha = 0.1$：

$$\alpha = P\left(Z \geqslant \frac{\lambda - \mu_G}{\sigma_G/\sqrt{n}}\right) = 1 - \Phi\left(\frac{\lambda - \mu_G}{\sigma_G/\sqrt{n}}\right) = 0.1 \tag{4.26}$$

因此，从标准普通表：

$$\Phi\left(\frac{\lambda - \mu_G}{\sigma_G/\sqrt{n}}\right) = 0.9 \Rightarrow \frac{\lambda - \mu_G}{\sigma_G/\sqrt{n}} = 1.282 \tag{4.27}$$

引出了临界：

$$C^* = \left\{(I_{DD1}, \cdots, I_{DDn}) : \bar{I}_{DD} \geqslant \mu_G + 1.282\frac{\sigma_G}{\sqrt{n}} = 2.01\text{mA}\right\} \tag{4.28}$$

式中，μ_G 和 σ_G 是无误差电源电流的均值和方差。因此，如果电源电流值 I_{DDn} 高于或等于阈值 λ，则电路将被规定为故障。

对于在测试程序中指定的整个范围内将故障插入电路中的所有节点的结果，对所有电路的电源电流值进行可比较的辨别分析。式（4.14）中规定的概率 $P(G)$ 和 $P(F)$ 匹配了 1% 以内的 1500 多个蒙特卡洛迭代的扩展，同时可以节省 CPU 多个数量级的时间。图 4.17a 显示了使用式（4.14）电源扫描的准确性。故障 Ξ_{r1} 插入传递函数的影响如图 4.17b 所示。

在整个精细 A－D 转换器中，共有 2198 个故障，对应相似数量的节点，被注入无故障电路网表中，并根据测试刺激和指定的测试程序进行仿真。在电路性能、面积和可测试性的框架内，通过功率扫描 DfT，测试发生器的结果提供了电路划分所需的指导。这些测试是以电子架构方式进行的，包括子块之间的反馈。首先，测试整个精细 A－D 转换器的供电电流。接下来，从比较器开始并在第一前置放大器级完成，逐级被关闭并且测量供电电流。

以这种方式实现 DfT 可确保仍然提供所有级的前置放大器输入的参考电压。可以从对偏置移位寄存器的从左到右的时钟的不同代码的电源电流之间的差异，来找到各个内核的电源电流。请注意，见表 4.2，使用 DfT 会将前置放大器级和折叠编码器的故障覆盖率提高到 100%。由于响应的动态性质，比较器决策级和存储锁存器的不活动部分中未检测到的故障暴露了准静态方法的局限性。在测试刺激优化后，只需要 3 个测试刺激（见表 4.3）就可以从给定的输入刺激斜坡实现指定的故障覆盖率。

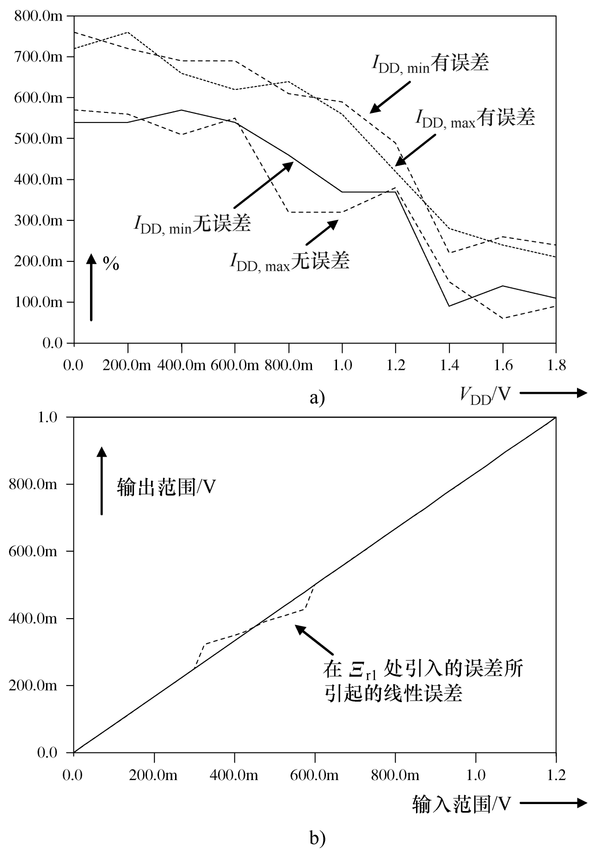


图 4.17　a）作为电源电压 V_{DD}的函数，无误差和故障电路的电源电流 I_{DD}由蒙特卡洛分析和式（4.14）给出的极限之间的百分比（%）差异。$I_{DD,max}$和 $I_{DD,min}$表示概率函数的尾数　b）X_{r1}故障插入对传递函数的影响（ⒸIEEE 2009）

表 4.2　精细 A－D 转换器测试结果

	Nr 的故障	故障覆盖率（%）		
		α＝0.05	α＝0.1	α＝0.2
第一级放大器	45	81.5	100	100
第二级放大器	119	56.3	68.9	70.6
第一和第二级放大器	164	67.8	78.8	84.9
折叠放大器	102	76.5	82.4	84.3
总计（无折叠编码器）	266	68.4	78.2	93.5
折叠编码器	96	66.7	85.4	85.4
总计（无 DfT）	362	68.3	79.9	81.1
总计［含 DfT（43 晶体管）］	362	100	100	100
比较器块	1836	70.4	80.1	93.2
总计（精细 A－D 转换器）	2198	69.9	80.1	91.3

表 4.3　精细 A－D 转换器的最佳测试刺激

V_{DD} [1.8－0.0，0.1]	V_{RESA} [1.2－1.8，0.1]	V_{NRESA} [1.2－0.6，0.1]	V_{RESB} [1.8－1.2，0.1]	V_{NRESB} [0.6－1.2，0.1]	故障覆盖率（%）
[0.8]	[1.3]	[1.0]	[1.5]	[0.8]	61.3
[0.0]	[1.8]	[0.6]	[1.4]	[1.0]	67.2
[0.0]	[1.4]	[1.1]	[1.6]	[0.7]	69.9
⋮	⋮	⋮	⋮	⋮	⋮
[0.0]	[1.6]	[0.9]	[1.6]	[0.6]	69.9

4.2.2.2　S/H、粗略 A－D 转换器、子 D－A 转换器和残差放大器的准静态结构测试

所研究的 A－D 转换器的其余部分已经按照类似的原理进行了评估。为了根据电源电流的差异启用故障检测，并防止由于反馈和共模调节引起的故障屏蔽，S/H 单元需要在开环状态下进行监控。偏置晶体管的电压偏移转换为所有偏置电平的电压偏差，其本身导致容易检测的电源电流变化。输出开关故障相对容易检测，因为它们直接影响电源电流。在故障电路网表中输入 244 个故障，并根据测试刺激和测试程序进行仿真。低频测试刺激为偏置电流提供的是斜坡刺激，差分输入电压提供三角信号刺激和电源电压的适配脉冲刺激。DfT 正常工作的结果见表 4.4。

故障电路的故障覆盖率为 95.5%、97.9% 和 100%，故障电路被拒绝为故障概率 α 分别为 0.05、0.1 和 0.2。在测试刺激优化之后，需要 5 个测试刺激来实现给定输入刺激斜坡的 95.5% 故障覆盖率（见表 4.5）。

表 4.4　S/H 测试结果

	Nr 的故障	故障覆盖率（%）		
		$\alpha=0.05$	$\alpha=0.1$	$\alpha=0.2$
S/H 1	74	94.6	97.3	100
S/H 2	74	98.6	100	100
S/H 3	74	93.2	95.9	100
偏置电路	10	100	100	100
输出开关	12	91.7	100	100
总计	244	95.5	97.9	100

表 4.5　S/H 设定的最佳试验刺激

V_{DD} [0.0－1.8,0.1]	V_{IN} [0.5－0.5,0.1]	V_{BIAS} [0.4－0.6,0.1]	C_{LK1} [0.0－1.8,0.1]	C_{LK2} [0.0－1.8,0.1]	C_{LK3} [0.0－1.8,0.1]	故障覆盖率（%）
[0.5]	[0.2]	[0.4]	[1.8]	[1.8]	[0.0]	60.7
[1.0]	[0.1]	[0.4]	[1.8]	[0.0]	[1.8]	78.3
[1.0]	[－0.4]	[0.5]	[1.8]	[1.8]	[0.0]	87.3
[0.5]	[0.5]	[0.5]	[0.0]	[1.8]	[1.8]	90.6
[0.7]	[0.4]	[0.4]	[1.8]	[1.8]	[0.0]	95.5
⋮	⋮	⋮	⋮	⋮	⋮	⋮
[0.5]	[－0.2]	[0.4]	[1.8]	[0.0]	[1.8]	95.5

用于粗略 A－D 转换器准静态测试提供的刺激适用于电源和输入电压的斜降和斜坡上升。故障覆盖率分别为69.5%、79.0%和88.3%，概率α分别为0.05、0.1和0.2，仅在5位粗略 A－D 转换器中引入的996个故障的两个优化测试刺激下实现，见表4.6。

表4.6 粗略 A－D 转换器测试结果

	Nr 的故障	故障覆盖率（%）		
		$\alpha=0.05$	$\alpha=0.1$	$\alpha=0.2$
前置放大器第一级块	54	25.9	57.4	81.5
前置放大器第二级块	51	100	100	100
总计（没有 DfT）	105	61.9	78.1	90.5
总计［有 DfT（21个晶体管）］	105	100	100	100
比较器块	891	70.3	79.1	89.5
总粗略 A－D 转换器	996	69.5	79.0	88.3

再次，对比较器的快速动态行为负责的故障并不完全被准静态方法所捕获。在测试刺激优化后，仅需要两个测试刺激（见表4.7）来实现先前指示的故障覆盖率。

表4.7 粗略 A－D 转换器设置的最佳测试刺激

V_{DD} [1.8－0.0，0.1]	V_{INP} [0.4－0.9，0.1]	V_{INN} [0.9－0.4，0.1]	故障覆盖率（%）
[0.1]	[0.8]	[0.5]	32.1
[0.2]	[0.5]	[0.8]	69.5
⋮	⋮	⋮	⋮
[1.4]	[0.7]	[0.5]	69.5

在参考梯形图的顶部和底部适应斜坡下降和斜坡上升，并适应斜坡下降（数字代码从2^N-1到0）和斜坡上升（数字代码从0到2^N-1）在输入端已经提供了 D－A 转换器，并测量了通过电阻梯的电流。当引入两个建模参数故障（参考梯和晶体管开关中的电阻）时，D－A 转换器差分输出将被移位 DV，如图4.18所示。由于所有参考电压的移位，电阻器中的故障会使整个输出信号转移Δ_V，而开关故障只会使与该信号的数字值对应的代码飘移输出值。获得的故障覆盖（小于3%）表明，基于电阻的 D－A 转换器不适用于基于电流特征的测试，无需额外的、特定于应用的调整。

在残差放大器的输入和输出端插入参数故障对，通过Δ_V移位所选择的范围，如图4.19所示。残差放大器的故障覆盖范围达到100%，适用于电源和输入电压的斜坡下降和斜坡上升。

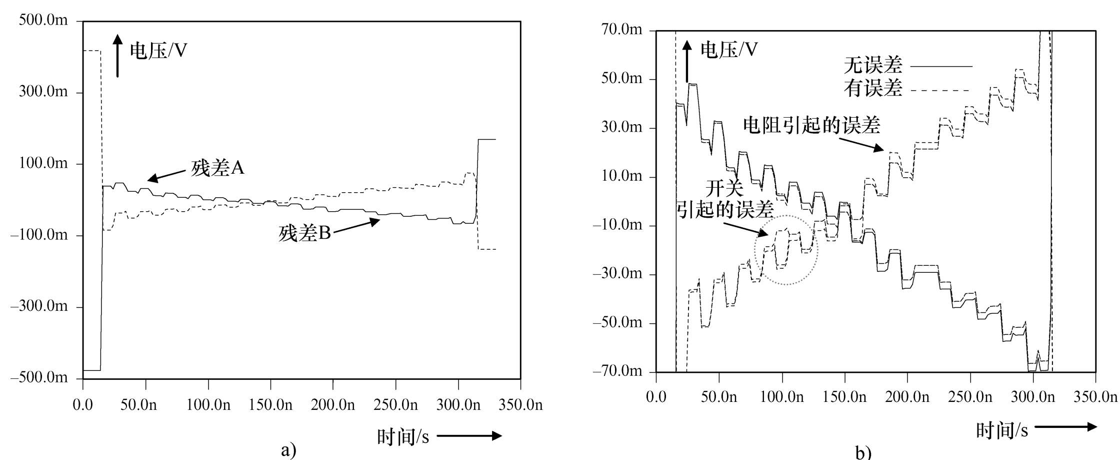


图 4. 18　a）D－A 转换器差分输出　b）电阻的影响
以及在 D－A 转换器输出上切换参数故障

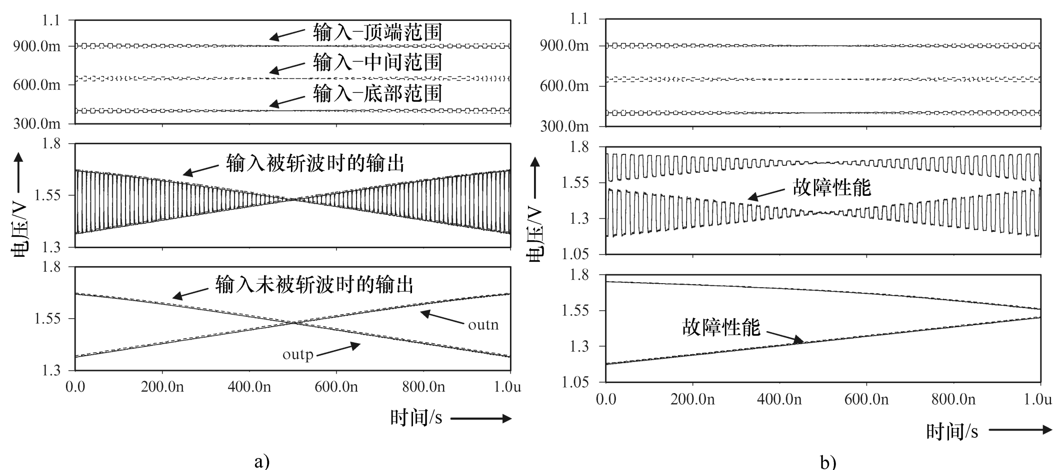


图 4. 19　a）残差放大器的输出　b）在输入端存在参数故障时残差放大器的输出

4. 3　用于 BIST 的片上激励的产生

CMOS 技术集成能力的不断演变使复杂的混合信号 SoC 的发展成为可能。然而，这种日益增加的复杂性使得相关问题更复杂，因此导致更昂贵的测试，这在 SIA 路线图半导体中被确定为当前和未来的混合信号 SoC 的关键问题之一。通常，模拟部件的测试代表了这一行的主要瓶颈。这些电路通常使用功能方法进行测试，通常需要大量数据处理、高精度和高速 ATE。此外，这些模拟核心通常对噪声和负载效应非常敏感，这限制了外部监测并使其测试成为困难的任务。BIST 方案为

上述问题提供了一种最有希望的解决方案。一般来说，这些方案包括将所需测试资源（测试激励产生、响应评估、测试控制电路等）的一部分从 ATE 移动到芯片。然而，与纯数字电路 BIST 相比，模拟电路设计的多样性、大多数性能参数及其有限的可观察性使得模拟和混合信号电路 BIST 成为一个非常具有挑战性的问题。执行所有可能参数的内置特性将完全避免外部测试的需要，但是所需的设计时间和芯片面积开销通常会使该选项无法承受。然而，通过对混合信号 IC 的性能参数的子集的内置辅助测试，测试时间的减少可以有效地影响芯片的最终成本。从这个角度来看，周期信号的片上评估和分类无疑是值得关注的。它们在混合信号测试领域具有广泛的潜在应用，因为这些系统（滤波器、A - D 转换器、D - A 转换器、信号调理器等）中的大多数可以使用这种激励进行测试（频域规格、线性等）。

传统的正弦波信号产生方法依靠由滤波部分组成的模拟振荡器和非线性反馈机制[268]，或通过适应数字技术，便于用于控制和编程任务的数字接口[269-272]，或采用具有滤波功能的可编程积分器[273]。在基于模拟振荡器的技术中，非线性反馈机制产生振荡，而滤波部分去除不需要的谐波。然而，产生的信号的质量取决于滤波器的线性和选择性以及非线性函数的形状（低失真所需的平滑功能），这需要大量的面积和功率。在数字技术中，通过利用 $\Sigma\Delta$ 编码方案的噪声整形特性，避免了 D - A 转换器的使用[269-272]。实质上，生成 N 位数字信号的一位流 $\Sigma\Delta$ 编码版本，并且滤波器的形状与编码位流的噪声整形特性相匹配。尽管这些方案对于单音和多音信号都是有效的，但是它们需要大的位流长度和高选择性的滤波器来消除噪声。此外，由于需要非常高的过采样比率，这些方法是受频率限制的。另一方面，可编程积分器允许离散时间或连续时间周期性模拟信号生成，并且本质上实现 D - A 转换器的功能。该方法具有数字编程和控制能力、鲁棒性和减少面积开销的特性，以使其适用于 BIST 应用。

4.3.1 连续和离散时间电路拓扑

4.3.1.1 连续时间积分器

连续时间和离散时间采样信号（即开关电容或开关电流）积分器之间的差异在于前者处理整个连续时间信号，而后者使用离散时间模拟采样和状态变量进行计算。图 4.20 说明了实现连续时间积分器的 4 种电路技术：运算放大器 - RC、MOSFET - C、G_m - C 和 G_m - C - OTA。为简单起见，显示单端配置。然而在电路实现中，所有这些都将使用全微分。

在运算放大器 - RC 积分器中，运算放大器输入形成虚拟接地，因此电阻将输入电压转换为电流。反馈电容集成了输入电流，因为没有电流流向运算放大器输入。在反相运算放大器 - RC 积分器（米勒积分器）中，输入信号可以通过向运算放大器输入添加电阻来求和，而不需要额外的放大器。运算放大器 - RC 技术对寄生电容相对不敏感。在理想的运算放大器中，运算放大器的负输入和输出端的寄生

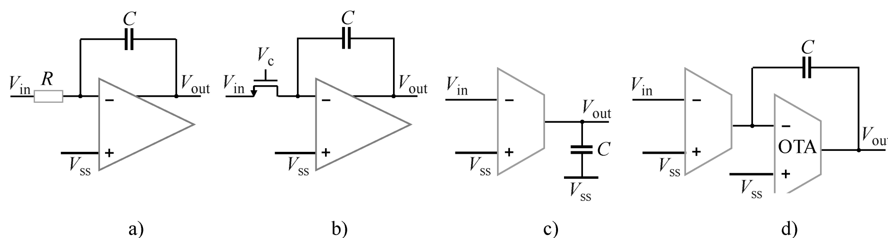


图 4.20 a）运算放大器 - RC 积分器 b）MOSFET - C 积分器
c）G_m - C 积分器 d）G_m - C - OTA 积分器

电容由电压源驱动或连接到虚拟地面，因此不影响积分器传递函数。然而，由于直流增益有限，运算放大器的单位增益带宽和输出电阻实际上是寄生电容稍微影响积分器的传递函数。由于温度和工艺的变化，由 R 和 C 决定的时间常数会有很大变化，因为电阻和电容的变化不相关。因此，需要由单独调谐电路处理的可控时间常数，比如使用串联或并联电容或电阻矩阵的调谐电路。串联电阻和并联电容矩阵占据的面积小于其他两个选项[274,275]。实际上，通常采用并联电容，因为在串联电阻调谐方案中，导通电阻产生左半平面零点，而不移动积分器时间常数（理想的运算放大器)。由于电容的温度依赖性远小于电阻，如果具有足够低的温度系数的电阻可用，则在测试阶段校准时间常数可能就足够了[276]。具有精确频率的时钟信号可用于为时域测试积分器获得精确的积分时间，时域测试积分器将固定时间的参考电压（主 - 从调谐方案)[277,278]进行积分。如果电路可以与信号路径断开，则可以通过将测试信号输入到输入端并根据测量的输出信号改变时间常数进行调整[279 - 281]。

一般来说，运算放大器 - RC 技术对寄生效应极为不敏感，适用于低电源电压，具有优异的线性和较大的动态范围[282]。该技术适用于需要高性能和中等速度的应用。

运算放大器 - RC 积分器中的电阻可以用三极管区域 MOSFET 替代，如图 4.20b 所示。在 MOSFET - C 积分器中，可以通过控制栅极电压 V_C 来调整时间常数。由于不需要电容矩阵进行调谐，因此与运算放大器 - RC 对应件相比，该面积可以减小。然而，三极管区域 MOSFET 比无源电阻更加非线性，并且具有明显的二阶项，这意味着需要平衡的设计要求来抑制偶数阶失真。通过使用 4 个交织耦合 MOSFET 可以进一步抑制偶数阶失真[283]，并且如果使用电阻和交织耦合 MOSFET 的组合，则可以实现更高的线性[284]。高线性所需的大栅极电压和将 MOSFET 保持在三极管区域中需要诸如自举法的技术（3.3.3.2 节)。可以通过电荷泵驱动控制电压超过正电源，以改善 MOSFET - C 滤波器的动态范围并减轻传递函数对直流偏移和共模电平变化的灵敏度[274,285,286]。原则上，MOSFET - C 积分器的噪声性能等于运算放大器的 RC 结构。MOSFET - C 技术的速度和运算放大器 - RC 相当，对寄

生电容的不敏感性与运算放大器-RC 技术相当。

在 G_m-C 积分器中，如图 4.20c 所示，跨导器 g_m 和积分电容 C 确定积分器的单位增益频率。g_m 和跨导器输出电阻 r_0 决定积分器的直流增益。跨导器的内部时间常数形成高频极点和零点，而质量因数由直流增益和高频极点与零点决定。如果由于共源—共栅输出级或增益提升技术而导致的直流增益足够高（比如，积分器质量因数变为 $Q_{int}=\omega_p/\omega_{int}$，其中，$\omega_p$ 是非主导极），因为该极点的频率可以比运算放大器的 ω_{GBW} 高得多，G_m-C 滤波器的带宽可以比运算放大器-RC 结构的带宽高得多，为了避免不稳定性，运算放大器的增益带宽必须小于由负载电容确定的第一个寄生极，限制了该技术的可用频率范围，在 G_m-C 技术中，带宽仅受跨导器的内极限制，可以接近晶体管 f_T[274]。另外，使用没有内部极点的跨导器可以使带宽最大化[287]。寄生线路电容、跨导器的输出电容和以下跨导器的输入电容增强了积分电容，从而将积分器时间常数从期望值移位。积分电容可以稍微降低以考虑寄生电容。然而，寄生效应的准确值可能是未知的，它们降低了电容匹配精度，不寻求实际的电容值，并且是非线性的。与运算放大器-RC 技术相比，G_m-C 滤波器在频率响应中具有额外的不准确源，因为共源—共栅输出级通常用于将直流增益提高到限制输出摆幅的足够大的值。G_m-C 积分器通常需要一个折叠的共源—共栅输出级，这可以使输出电流源成为主要的噪声源[288]。通常，通过以模拟方式改变跨导器的偏置电流或三极管 MOSFET 的栅源电压来调整积分器的时间常数。调谐精度可高于数控运算放大器-RC 积分器。由于不需要无源元件的矩阵，芯片面积被最小化。以强大的信号处理能力为代价进行跨导器的连续调谐[282]，可以使用主从调谐方案[274]导出正确的控制信号、电流或电压。G_m-C 积分器的开环特性意味着比运算放大器-RC 积分器更高的非线性[162,290-292]。通常，G_m-C 电路比相应的运算放大器-RC 电路消耗更少的功率和芯片面积，尽管运算放大器-RC 技术的动态范围更高。

在 G_m-C-OTA 积分器中，跨导器的输出用米勒积分器进行缓冲，如图 4.20d 所示[274,293]，从而降低对寄生电容的灵敏度。后者的放大器可以是简单的宽带 OTA，比如共源级或微分对，因为它不驱动电阻性负载。直流增益是两个放大器的直流增益的总和，这意味着 OTA 中的级联不需要达到足够的直流增益[288]。然而，如果两个放大器都是微分结构，则需要两个共模反馈。G_m-C-OTA 滤波器具有低复杂度以及功率和面积效率。由于跨导器限制了 G_m-C-OTA 积分器的线性，失真水平与使用等效跨导器的 G_m-C 结构的线性相当。G_m-C 拓扑具有低直流增益，更重要的是对输出节点的寄生电容的灵敏度高。然而，由于 G_m-C-OTA 结构不会遭受上述问题，因为跨导器不需要摆幅大的电压范围。它可以容忍更大和更多的非线性寄生电容，并且它可能对噪声不太敏感，选择 G_m-C-OTA 结构用于连续时间的实施。此外，由于只需要驱动电容性负载即可使用低输出阻抗或高输出阻抗

的米勒积分器，通常使用高输出阻抗放大器，因为它倾向于具有较高的单位增益频率，更简单，功耗更小。

4.3.1.2　离散时间积分器

开关电容电路尽管其信号在电压上保持连续，但实际上是离散时间电路，因为它需要在时域中采样。由于这种时域采样，时钟频率必须至少是最高频率的 2 倍，以消除混叠，结果这些电路处理高频信号的能力受到限制。通过用电阻值等于 $(C_H f_{clk})^{-1}$ 的电容代替图 4.20a 所示的运算放大器 – RC 积分器的电阻，可以得出其离散时间等效值，如图 4.21a 所示。在每个时钟周期中，当 S_1 接通时，C_H 吸收等于 $C_H V_{in}$ 的电荷，而当 S_2 接通时，C_H 将电荷沉积在 C_i 上。如果 V_{in} 恒定，则每个时钟周期的输出变化为 $V_{in}C_H/C_i$。时钟相位 φ_1 的采样时刻被定义为 $(k-1)/f_{clk}$，k/f_{clk}，$(k+1)/f_{clk}$，…，而在时钟相位 φ_2 结束时的采样时刻被认为是 $(k-3/2)/f_{clk}$，$(k-1/2)/f_{clk}$，$(k+1/2)/f_{clk}$，…，除了 φ_2，即使 φ_1 的下降沿不是精确的半个时钟周期，对电路操作的影响被限制为与每个稳定信号的时钟周期相同的时间，每个时钟周期之后的 V_{out} 的最终值可以写成 $V_{out}(k/f_{clk}) = V_{out}[(k-1)/f_{clk}] - V_{in}[(k-1)/f_{clk}]C_H/C_i$。

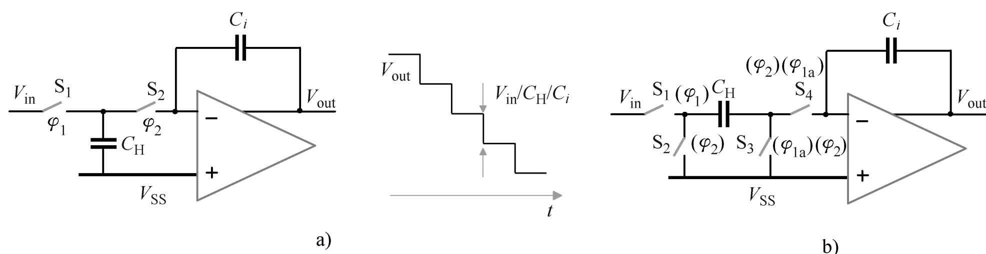


图 4.21　a）具有对恒定输入电压的电路响应的离散时间积分器
b）寄生不敏感的离散时间积分器

积分器性能是根据限制整个调制器动态范围和运行速度的非理想性来规定的。诸如有限直流增益、线性稳定和转换速率等参数可以根据情况提高量化噪声基底或引入失真。由采样以及放大器引入的热噪声直接增加量化噪声。有限放大器直流增益可以降低失真和噪声性能，并改变开关电容积分器中极点的位置。极点偏移对实际设计中运算放大器拓扑的选择有影响。极偏移的影响由于其值较小而难以校准，因此必须采用具有大直流增益的放大器。线性稳定和转换速率分别指定积分器的小信号和大信号速度性能。线性稳定误差导致积分器增益误差，而转换速率导致谐波失真。放大器转换速率引起的谐波失真可以直接降低积分器的大信号性能。由于短沟道 CMOS 器件的 g_m/I 比低以及所需的高速运算，如果放大器在稳定周期内摆幅一小部分并将其大部分时间花费在线性稳定状态，则该失真约束将得到满足。输出摆幅定义了运算放大器的最大信号处理能力，并且与积分器输入过载电平直接相关。最大化输出摆幅将增加最大的信号处理能力。对于 kT/C 噪声限制设计，这将

最小化第 3 章所述的所需采样电容和功耗。输出摆幅最终受电源电压限制，但在实际设计中，由于要求输出设备保持饱和，摆幅会比较低。实际上，n 沟道器件的饱和电压将需要足够大，以使器件以足够的f_T 偏置满足稳定要求。p 沟道器件的饱和电压将需要足够大，使器件寄生效应不会明显地加载放大器的输出。因此，输出摆幅将与放大器稳定要求进行权衡。

图 4. 21a 中的积分器有两个重要的缺陷：首先，S_1 的输入相关电荷注入对存储在 C_H 上的电荷引入非线性；第二，由 S_1 和 S_2 的源极/漏极产生的非线性电容导致非线性的电荷－电压转换，如 3. 3 节所述。图 4. 20b 所示的寄生不敏感的 SC 积分器[162,294]解决了这两个问题。反相积分器的时钟相位在括号中。3. 3 节中讨论的底板采样[125]通过时钟相位 φ_{1a}实现，相对于时钟相位 φ_1 更先进一些。在运算放大器的输入和输出端的寄生电容仅对运算放大器的稳定速度有影响，如果在运算放大器的建立时间的表征中考虑，则不会引入误差。在电容 C_H 的底板处的寄生电容的影响也被消除。即使寄生电容被充电到相位 φ_1 的输入电压 V_{in}，寄生电容通过开关 S_2 在时钟相位 φ_2 中被放电到固定电位，并且没有放电电流流过电容 C_H。

可能最常见的非滤波模拟功能是增益电路，其中输出信号是输入的缩放版本。在连续时间运算放大器－RC 电路中，如图 4. 22a 所示，增益电路可以成为反馈和馈通路径中电阻和电容的并联组合。通过用其开关电容替代电阻，可以导出等效的放电时间增益电路（见图 4. 22b），其增益 G 由 $V_{out}(k)/V_{in}(k)$的比率给出。然而，尽管其输出是符合任何压摆率要求的连续波形，但是这样的电路也将放大 $1/f$ 噪声和具有增益 G 的运算放大器失调电压。为了抑制有限偏移和运算放大器增益以及 $1/f$ 噪声，适用于各种开关电容电路类型（比如增益放大器、S/H 单元、积分器）的常用技术是相关的双重采样，如图 4. 22c 所示。关于这一技术的全面讨论见 3. 3 节。在这里，只是一个简短的提醒，在时钟相位 φ_2 期间，由上述的限制引起的有限运算放大器输入电压被采样并存储在 C_1 和 C_2 之间。接下来，在 φ_1 期间，从该信号（添加到运算放大器输入）中减去该输入误差电压。假设输入电压和运算放大器误差电压没有明显地从 φ_2 变化到 φ_1，那么由它们引起的误差将会明显降低。

4. 3. 1. 3 离散和连续时间滤波器

离散开关电容滤波器的实现可以分为 3 个基本部分：①连续时间滤波器仿真；②SC 梯形滤波器；③级联 SC 滤波器实现。①在连续时间滤波器仿真中，SC 无源元件替代了传统连续时间有源 RC 滤波器（如 Tow－Thomas 滤波器）中的电阻。然而，有限数量的滤波器类型和不适用于高 Q 应用导致了最大的限制。②在 SC 梯形滤波器中，SC 电路模拟了高 Q 双重端接的无源电抗双端口的低灵敏度响应或 RLC 梯形网络，用于实现具有高 Q 极的期望的高阶传递函数[297]。通常，有 3 种实现 SC 梯形滤波器的方法：首先，梯形分量替换，其中等效的 SC 元素替代原始连续时间梯形网络中的每个 R、L 和 C 分量，保持原始滤波器对组件变化的低敏感性。第二，电压逆变器开关方法[298,299]虽然不需要复杂的设计，但由于其对顶板寄生电

容和多相操作的固有敏感性，导致了严格的限制，并产生了第三种基于信号流梯形实现方法。这里，RLC 梯形滤波器的 s 域传递函数使用无损离散积分器（LDI）（即近似设计）或双线性（即精确设计）$s-z$ 变换转换到 z 域，并取决于精度要求和时钟频率与信号带宽的比值（比如 f_{clk}/f_0）。③级联 SC 滤波器实现采用直接构建块方法来确定滤波器在 z 域中的传递函数。然而，主要传递函数被分解为一阶和二阶项。换句话说，高阶传递函数的分子和分母被分解为一阶和二阶子函数。每个子功能可以通过低阶（一阶或二阶）滤波器之一来实现。由于每个低阶滤波器是单独缓冲的并且能够独立运行，因此将它们级联在一起将不会影响它们自己的传输函数[300]。

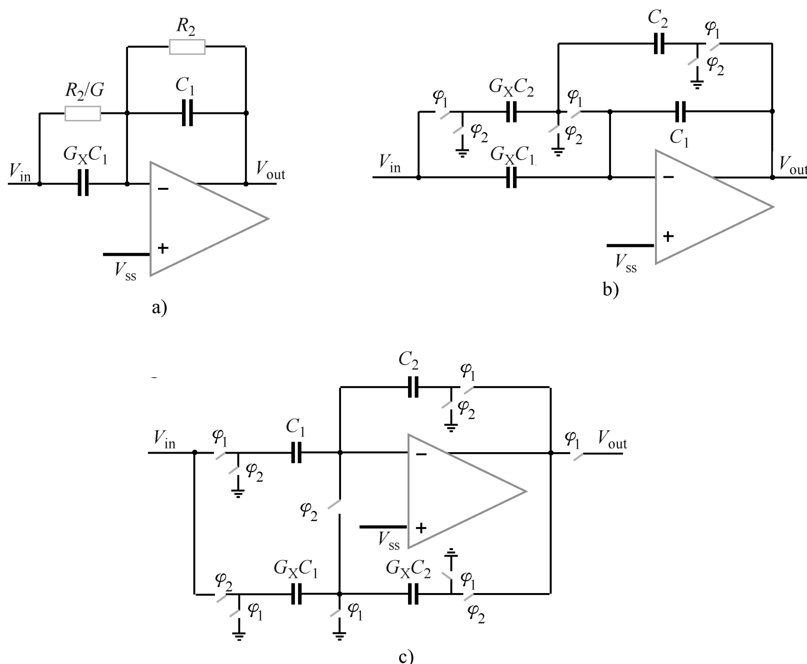


图 4. 22　a）连续时间运算放大器－RC 增益电路　b）等效离散时间增益电路　c）具有相关双采样的离散时间增益电路

通用的一阶有源开关电容滤波器如图 4. 23a 所示。电路起源于类似于图 4. 22a 所示的电路，其中为获得具有相同低频特性的开关电容滤波器，电阻被无延迟的开关电容代替，而无开关电容馈入保持不变。实质上，这是一个三合一滤波电路，因为它包含 3 种不同的滤波类型，比如，低通、全通和高通。请注意，有 3 个特别标记的开关：比如，当 φ_2 和 φ_{LP} 都转到一个时，标有 $\varphi_2\varphi_{LP}$ 的开关将被打开。这里，φ_{LP}、φ_{AP} 和 φ_{HP} 分别代表低通、全通和高通。时钟相位 φ_{AP} 占用一部分 φ_{LP}，而 φ_{HP} 与 φ_{LP} 不重叠。换句话说，当采用该电路来实现一阶全通滤波器时，C_1 和 C_2 分支都被激活。相反，当电路用作一阶高通滤波器时，只有 C_3 分支被激活。类似地，

当电路被用作一阶低通滤波器时，仅激活 C_1 分支。根据应用的要求和开关的布置，可以使用许多方法来实现二阶 SC 滤波器或双二阶滤波器。如图 4.23b[301] 所示的 SC 双二阶滤波器是一个三合一滤波系统，能够实现二阶低通（全极）、带通和高通滤波器。具体来说，当实现低通、带通和高通滤波器时，输入应分别通过 K_1C_1、K_2C_2 和 K_3C_2 信号路径发送到核心电路。也存在实现不同类型功能的其他可能性。比如，从输入到第二积分器的非延迟开关电容也可以用于实现反相带通功能。如果这种开关电容的输入开关上的相位被互换，尽管具有额外的周期延迟，但会导致非反相带通功能。

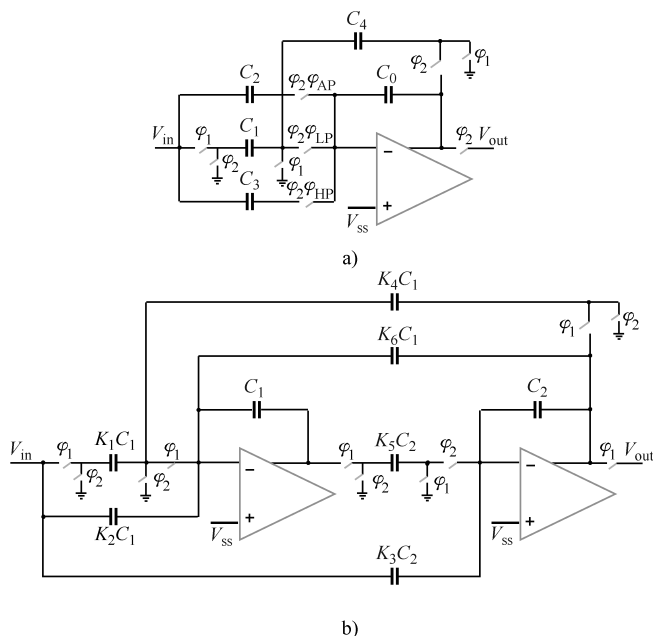


图 4.23 a）无开关共享的一阶开关电容滤波器
b）无开关共享的高 Q 开关电容双二阶滤波器

实现高频 CMOS SC 滤波器的主要瓶颈是高增益和大带宽运算放大器的需求，为精确的电荷传输提供虚拟地[302]。虽然可以实现提供所需增益和带宽值的 CMOS 运算放大器，但由此导致的高功耗通常阻碍实际的实现[302]。除了大增益带宽方法外，还提供了两种用于提高 CMOS SC 滤波器在 100MHz 范围内运行能力的技术，大致分为两类：基于运算放大器和基于单位增益缓冲器。由于 RC 时间常数与 g_mR_{out}之间的基本权衡，大带宽或高速运算放大器往往具有低直流增益，低运算放大器直流增益往往会向 SC 积分器的输出引入非线性误差，从而危及过滤器的精度性能。作为对此问题的回应，基于运算放大器的技术通常强调修改传统的运算放大器结构，从而使得新的运算放大器能够满足高频 SC 滤波器的速度和精度要求，尽管它们通常具有低直流增益。在增益调节方法[303]中，精确控制了高频 SC 滤波器

中每个大带宽运算放大器的低直流增益，并将调节增益值作为缩放电路电容的参考。作为基于运算放大器方法的替代，基于单位增益缓冲器的技术利用单位增益缓冲器构建 SC 集成器[304,305]。典型的单位增益缓冲器能够在比传统运算放大器更宽的信号带宽上工作。此外，该缓冲器可以使用更简单的电路来实现，因此，它比常规的大增益带宽运算放大器占用更少的芯片面积并且具有更少的功耗。然而，基于单位增益缓冲器的 SC 积分器受到寄生电容的影响，寄生电容主要由单位增益缓冲器输入晶体管中的源极扩散引起，其值随着工艺和温度而变化。类似地，由于其固有的低增益，第 3 章中引入的寄生不敏感技术不适用于基于单位增益缓冲器的 SC 积分器。

最广为人知的连续时间滤波器是有源 RC 滤波器，其特点在于高动态范围和低失真特征。然而，由于负反馈引起的限制速度将有源 RC 滤波器局限在低速应用中。类似地，滤波器放大器的增益带宽乘积必须远高于滤波器截止频率，以最小化相位误差和在增益带宽积[306]附近出现的任何其他非理想情况，其本身需要过多能量消耗。MOSFET – C 滤波器的主要优点是其本质上是有源 RC 滤波器，其中电阻被替换为前面部分所阐述的可调谐三极管区域晶体管，与其有源 RC 相对应的是通过控制电压来控制电阻，V_C 导致了扩展的调谐范围[274,307]。然而，器件不匹配和噪声限制了非常高的电阻值的实现。此外，需要相当高的控制电压 V_C 以确保晶体管的三极管区域工作。类似地，在低电压应用中可实现的信号摆幅是有限的。另一方面，可调谐 CMOS 电阻避免了使用电容矩阵进行时间常数调谐。存在许多不同的有源 RC 滤波器结构，其中，Tow – Thomas、Ackerberg – Mossberg 和 Sallen – Key 过滤器是众所周知的。通常，MOSFET – C 滤波器可以当滤波器中的无源电阻被三极管区域 MOSFET 替代时实现。然而，三极管区域晶体管的寄生电容影响滤波器的性能。当寄生电容连接到虚拟地或运算放大器的输出时，寄生电容可以最小化，因此，可以采用对寄生效应不敏感的滤波器结构，比如 Tow – Thomas 或 Sallen – Key 滤波器[308]。

G_m – C 滤波器通常使用开环而不是闭环运算跨导器放大器，因此不需要受到稳定性要求的约束[162,274]。因此，G_m – C 滤波器通常具有超过 SC 和 RC 滤波器的速度优势，特别是对于数百兆赫范围内的应用。然而，在开环配置中使用 G_m 的缺点是电路被限制在小的输入电平，以便在线性区域中操作跨导器[274,309]。尽管已经报道了许多不同的技术来增加输入范围，同时保持线性，但由于附加的寄生效应，这些技术通常会降低频率响应[309,310]。即使采用线性化技术，与有源 RC 滤波器相比，输入信号摆幅范围仍然很小。G_m – C 滤波器的另一个缺点是它们对跨导器 g_m 的依赖性，这使得它们对工艺变化非常敏感。实现一阶滤波器的单端 G_m – C 滤波器如图 4. 24a 所示。G_m – C 滤波器的一个优点是可以通过 OTA 和电容实现无源元件，如电阻和电感。电阻是通过将 OTA 的负输入连接到正输出而实现的，并且可以通过使用两个 OTA 和电容在一定频率下实现电感的功能。然而，电阻和电

感的线性依赖于 OTA 的性能。如果 OTA 具有有限的带宽特性，滤波器的增益和相位将偏离其理想的频率响应。

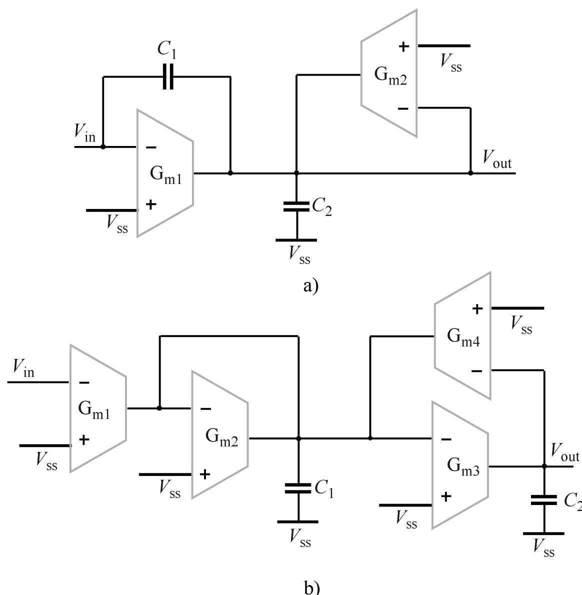


图 4.24 a）一阶 G_m – C 滤波器 b）G_m – C 双二阶滤波器

偏差的具体特性将是 OTA 的开环特性和滤波器所需响应的函数。然而，与使用完整运算放大器的有源 RC 实现相比，由于 OTA 的简单性，在 OTA 增益带宽乘积影响滤波器响应之前，有源 G_m – C 滤波器可以达到更高的频率。在运算放大器—RC 滤波器中，线性主要是运算放大器线性的函数，因为电阻呈现出非常线性的特性。运算放大器的特点是其低输出阻抗，这意味着它可以驱动电阻负载，使其适用于 RC 滤波器，直到 SC 滤波器电阻负载也达到一定程度。它们的输出为电压形式，额外的缓冲器增加了复杂性和功耗。另一方面，OTA 具有高输出阻抗，不能驱动电阻负载。它们的输出为电流形式，适用于 SC 和 G_m – C 滤波器。通常，它们不是很复杂，而且是较低功耗的解决方案，同时具有较高频率电位的运算放大器。图 4.24b 显示了 G_m – C 双二阶滤波器。在这种滤波器中，无源电阻通过负反馈连接由 OTA 代替。与 SC 滤波器类似，可以级联这个双二阶滤波器，以实现更高阶滤波。为了方便和有效地调整模拟滤波器，需要考虑几件事情。第一，频率和质量因数需要独立调谐。有时，频率调谐会导致质量因数的变化，从而降低了滤波器的性能。通常，在双二阶滤波器中，可以分别调谐频率和质量因数。第二，期望在滤波器中使用相同的 R 和 C 值。如果不可能，建议选择一个整数比的电阻或电容值进行更好的匹配。电容矩阵代替电阻矩阵通常用于调谐，因为它们在匹配组件时更好。第三，需要寄生敏感滤波器结构。通常，基于信号流图的滤波器对寄生效应

不敏感。对于调谐，必须将滤波器的输出与另一参考频率进行比较。参考频率或信号通常来自芯片外部[162,313]。有许多不同的调谐系统，如自适应调谐电路、直接调谐策略、主从调谐电路等。其中，主从滤波器调谐是一种广泛使用的调谐方法，因为它相对容易构建，如果主从滤波器匹配良好，则具有可接受的精度[313]。

4.3.2　连续和离散时间波形发生器的设计

4.3.2.1　离散时间波形发生器

用于 BIST 应用的片上波形发生系统的框图如图 4.25 所示。它包括非重叠时钟发生器、可编程（多）增益级与可编程正弦波发生器的线性时变滤波器、时钟映射块、增益解码器、数字控制单元、带通滤波器、在带通滤波器的输出处的附加可编程增益放大器（PGA），以进一步改善系统的动态范围以及 PGA 输出的振幅检测和/或数字化的最后阶段。基于外部主时钟，非重叠时钟发生器为信号发生器和可编程带通滤波器生成适当的时钟信号。可以调整产生的信号的振幅，使其适合被测设备的输入范围。信号发生器具有两个级联增益级：第一增益级（FGS）和第二增益级（SGS），其中总增益是 FGS 和 SGS 的增益之和。由第一和第二增益级实现的增益量由分别来自 FGS 和 SGS 增益映射块的非重叠时钟的阵列控制。选择信号用作向 PGA 增益级馈送参考值的顺序选择信号。因此，为了具有对增益级的独立控制，第一和第二增益时钟映射单元产生不同的时钟阵列。增益解码器产生关于如何在第一和第二增益级中实现特定增益的组合逻辑信息，因此需要两个解码器、FGS 增益解码器和用于独立增益控制的 SGS 增益解码器。状态机和两个控制复用器分别控制来自数字解码器的信息被馈送到第一和第二增益时钟映射单元的方式。可编程的高 Q 带通滤波器在器件的输出端选择适当的谐波分量，用于振幅响应或谐波失真表征。

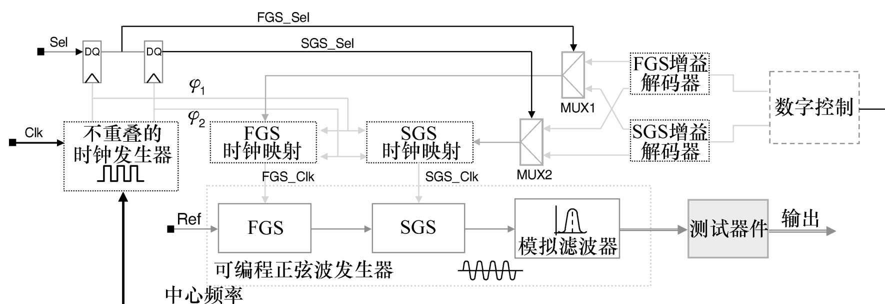


图 4.25　片上波形发生系统概述

根据嵌入式 DUT 的集成系统和外部测试系统的特性，可以为输出构建块采用不同的选项。如果 A－D 转换器在芯片上可用，则 PGA 的输出可以直接数字化。该系统的主要优点之一是其固有的同步性；激励频率和滤波器中心频率都由主时钟

控制；当扫描时，信号发生器和滤波器都遵循这些调整。测试策略不需要任何 DUT 的重新配置，并且能够直接测试频率响应相关规范。在 DUT 的表征之前，可以通过将信号发生器的输出分配到带通滤波器来容易地验证该方法的功能，如图 4.25 中的虚线箭头所示 。通过增益级的数据处理的时序图如图 4.26a 所示。当 FGS 或 SGS 的选择信号为高时，第一或第二增益级分别是处理数据。在时钟上升沿，第一个增益级开始采集数据。当 FGS 开始保持时，第二增益级开始获得 FGS 数据。当第一个增益级完成时，SGS 完全获得了第一个增益级的信号。应该注意的是，由于在两个级中 φ_1 和 φ_2 作用的反转，FGS_Sel 和 SGS_Sel 信号的相位相差 90°。

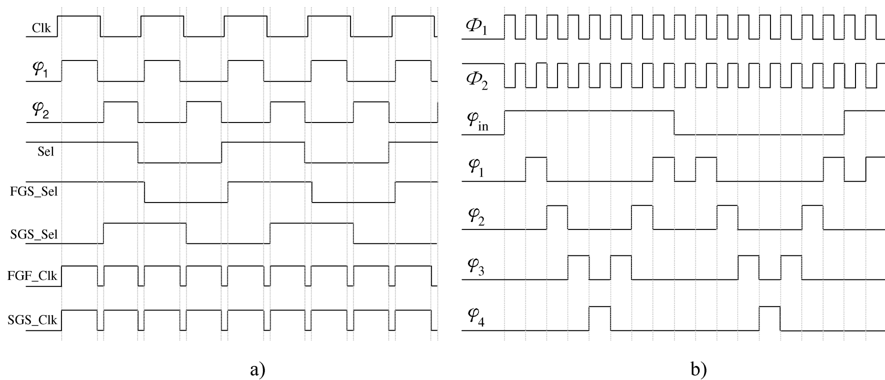


图 4.26 a）整个系统的时序图 b）波形发生时序图

利用四阶电容阵列作为模拟上采样器，如图 4.27a 所示，可以设定一个 PGA，其预置增益级对应于理想采样和保持的正弦波的值，并且可以被配置。G_m - C - OTA 技术中的相应电路实现如图 4.27b 所示。避免两个或更多个电容之间的波形匹配不正确是最重要的。然而，使用各种技术，比如使用单位电容的整数比率，具有相同形状或面积与周长比的单元元件的部署以及中心形式布局的单元元素使匹配度 <0.05% 可行。为了以足够的精度实现期望的电容，每个单元元件的尺寸不会变小，否则其期望值将被正常的制造公差浸没。

SC 信号发生器具有 4 个不同的增益设置，每个周期产生 16 个步长的正弦信号输出。当以离散步长改变增益时，输出信号中可能有暂态。当 PGA 的增益改变时，有两种不同的瞬态原因：第一个是具有可编程增益的直流偏移的放大，即使当 PGA 没有内部偏移或器件不匹配时，也会在输出信号中产生一个步长；第二，当在直流电流流过的器件中改变 PGA 的增益时，即使在 PGA 的输入处没有直流偏移，输出端的直流偏移可能由于器件不匹配而改变。在第一种情况下，瞬态的原因在输入信号中，其中包含直流偏移。在后一种情况下，PGA 的输出直流偏移取决于增益设置，因为偏置的变化，即 PGA 的拓扑和不匹配导致瞬变。尽管适当部署，但可编程增益变化引起的步长可能是两种效应的组合，如果部署足够小的时间常

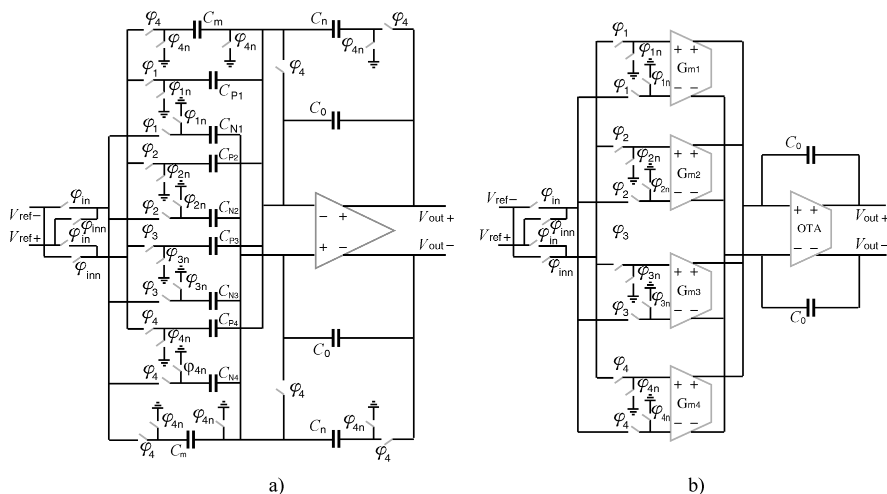


图 4.27　开关电容技术和 G_m - C - OTA 技术中波形发生的概念图

a）开关电容技术　b）G_m - C - OTA 技术

数，则以下高频低通滤波级将过滤掉该步长。开关 $\varphi_1 \sim \varphi_4$ 依次关闭一个时钟周期以产生正弦波的四个步长。一旦获得了生成波形的最大值，则开关在相反方向（从 φ_4 到 φ_1）依次关闭一个时钟周期，以产生第二个 1/4 周期，如图 4.26b 所示。在这种情况下，参考电压的极性通过 φ_{in} 而变化，分别产生负积分和正积分。输入电容注入的电荷集成在电容 C_0 上，以产生正弦波形的第一个 1/4 周期。当该误差最大时，添加电容 C_m 和 C_n 以在 φ_4 期间从输入信号（添加到运算放大器输入）减去误差电压。通过反相输入，实现寄生不敏感双线性和前向欧拉积分器的电路能力增加[314]。具体来说，如果在 φ_1 导通时对输入和输出进行采样，则电路实现双线性 SC 积分器。另一方面，如果输入和输出在 φ_{inp} 和 φ_{inn} 都导通时被采样，则电路实现前向欧拉积分功能（反相或不反向）。

第一和第二增益级的运算放大器被实现为增益型折叠共源—共栅放大器，如图 4.28 所示。为了降低功耗，由于实现不同 FGS 增益所需的反馈系数范围较大，第一增益级使用的运算放大器采用比第二增益级运算放大器更高的增益带宽乘积实现[140]。由于第一增益级放大器没有经历大的信号摆幅，所以由于其优异的 1/f 噪声特性，仅由 p 沟道晶体管形成输入对。在第二增益级放大器中，n 沟道输入对 T_{1-2} 与 p 沟道输入对 T_{3-4} 并联放置以处理信号。为了使跨导器作为共模输入电压常数的函数，简单的前馈方法是添加电流开关 T_{5-8}[154]。电流开关被分成两个晶体管，其漏极连接到相应的输入级晶体管的漏极。通过将电流加到输入级晶体管的输出端，输入级的输出电流不随共模输入电压而变化。由于可以使用相对小的电流开关晶体管，所以它们可以产生较小的放大器噪声。使用由 T_{23-35}[315] 组成的共模反馈电路，其中平衡电阻/电容微分 - 差分放大器共模反馈结构中的电阻/电容网络

被由 T_{23-28}组成的晶体管网络代替，输出可以在不改变系统输出端的阻抗的情况下感测到共模电平。从运算放大器输出到 T_{32}的栅极的信号路径由源极跟随器级构成，因此栅极电压 $V_{G(T_{32})}$是输出共模电平的单调递增函数。类似地，由于 T_{23-28}是互补型晶体管，所以保证输出共模电平在全摆幅范围内被检测，而不会将 T_{31-35}的任何晶体管拉离饱和区。另外，由于网络 T_{23-28}中的所有节点都是低阻抗节点，所以不会出现额外的稳定性问题。

图 4.28　运算放大器原理图

实现高频 CMOS SC 滤波器的主要瓶颈是高增益和大带宽运算放大器的需求，为精确的电荷传输提供虚拟地面[302]。虽然可以实现能够提供所需增益和带宽值的 CMOS 运算放大器，但由此导致的高功耗通常阻碍实际的实现[302]。除了大增益带宽方法之外，两种技术可以大致分为两类：基于运算放大器和基于单位增益缓冲器的两种技术，这两种技术旨在提高 CMOS SC 滤波器在 100MHz 范围内工作的能力。基于单位增益缓冲器的技术使用单位增益缓冲器构建 SC 集成器[304,305]。典型的单位增益缓冲器能够在比传统运算放大器更宽的信号带宽上工作。此外，该缓冲器可以使用更简单的电路来实现，因此它比常规的大增益带宽运算放大器占用更少的芯片面积并且具有更小的功耗。然而，基于单位增益缓冲器的 SC 积分器受到寄生电容的影响，寄生电容主要由单位增益缓冲器输入转换器中的源极扩散引起，其值随着工艺和温度而变化。类似地，由于其固有的低增益，第 3 章中引入的寄生不敏感技术不适用于基于单位增益缓冲器的 SC 积分器。

由于 RC 时间常数与 $g_m R_{out}$的基本权衡，大带宽或高速运算放大器往往具有较低的直流增益。低运算放大器直流增益往往会向 SC 积分器的输出引入非线性误差，从而损害了过滤器的精度性能。作为对这个问题的回应，基于运算放大器的技术通常强调修改传统的运算放大器结构，从而最终的新运算放大器能够满足高频 SC 滤波器的速度和精度要求，尽管事实上它们通常具有低直流增益。在这种实现

中，采用增益调节方法[303]，其中高频 SC 滤波器中每个大带宽运算放大器的低直流增益被精确控制，并将调节增益值作为缩放电路中电容的参考。

4.3.2.2　连续时间波形发生器

为了实现图 4.27b 所示的 G_m-C 技术中的模拟信号生成，并再次如图 4.29 所示，并联多个跨导器，以求所有的输出电流之和。通过因子 K，输入跨导器缩放仅在整体传递函数中引入增益因数。跨导器基于驱动电阻的线性化电压跟随器。跨导器主要来自电阻，因此线性仅受电阻的材料和线性化电压跟随器的回路增益量的限制。G_m 级的工作原理可以从图 4.30 中解释。微分输入电压使电流流过电阻 R_{DEG} 到 T_1 的源节点。由跨阻级 T_3 和 T_{13} 以及跨导级 T_{11} 和 T_{15} 形成的反馈回路迫使所有电流流向另一输入，从而使漏极电流和 T_1 的 V_{GS} 电压恒定，从而使电压跟随器 T_1 线性化。线性电压跟随器通过输出跨导级提供的电阻 R_{DEG} 给出了输入电压和电流之间的线性关系。由于跨导级的两个输出的电流之和是恒定的，因此来自另一输出的电流也是输入电压的线性函数，并且该电流可以用作整个跨导器的输出结构体。跨阻抗级是共栅配置中的单晶体管 T_{13}。该级为电压跟随器 T_1 提供低阻抗输入，并为跨导级 T_1 提供合适的偏置电平，增强输入的摆幅能力。类似地，它增加了反馈回路中的增益，从而降低了增益误差并使电压跟随器线性化。然而，源极恶化会降低有效跨导的值，并以此方式降低积分器的直流增益。为了解决这个问题，通过在输出分支中使用非最小的晶体管长度来增加输出阻抗。由于 G_m-C-OTA 结构中的 OTA 的虚拟地面连接到 G_m 级的输出，因此跨导器 G_m 的输出中不需要共源—共栅器件。电容 C_1 和 C_2 稳定 G_m 的反馈回路。为了避免 G_m 级信号处理能力的明显降低，输入参考直流失调电压必须在 G_m 级的输入级消除。这已经用 p 沟道微分对 T_{18-19} 来实现。来自该微分对的输出信号连接到 G_m 的输入装置的漏极，以便能够控制输入装置的栅源电压，从而控制输入参考的直流失调电压 G_m。直流偏移通过片外控制信号 V_{offset} 取消。

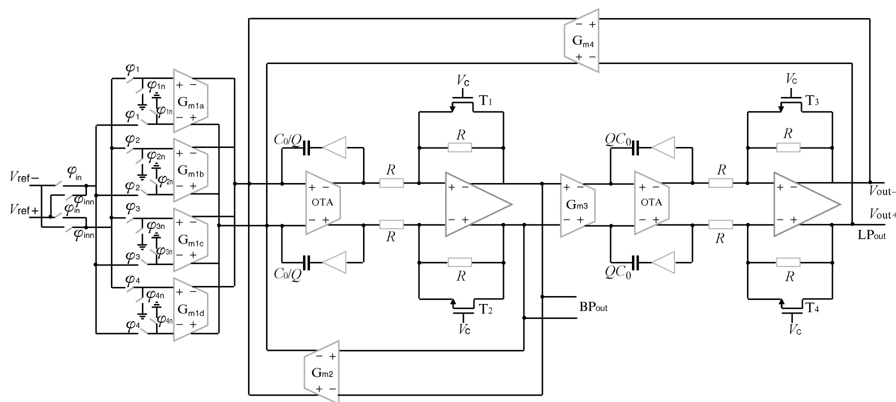


图 4.29　G_m-C-OTA 实现

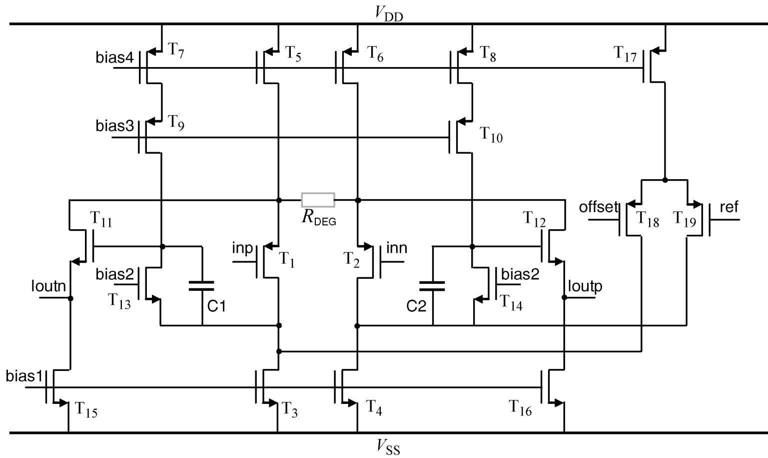


图 4.30 跨导器 G_m 实现

图 4.29 所示的积分器中使用的 OTA 是一个带有有效负载的简单 n 沟道微分对。在其周围添加电容反馈导致闭环传递函数中的寄生右半平面零点，导致积分器在其单位相位频率附近的相位响应严重恶化。插入反馈路径中的理想单位增益缓冲器消除了这个右半平面零点。然而，这里作为简单的源跟踪器实现的缓冲器具有有限的输出阻抗。这会产生高频的左半平面零点，导致不必要的相位超前误差。为了产生寄生相位滞后，消除由源极跟随器产生的相位超前并提供额外增益，可变增益电压放大器级联。通过在三极管区域（T_{1-4}）中的 MOSFET 分流反馈电阻，可以改变该放大器的增益。改变该 MOSFET 的栅极电压会改变滤波器单位增益频率。

为了使滤波器带宽随温度和工艺变化而保持相对恒定，需要调整滤波器的特征频率和质量因数 Q。最广为人知的连续时间滤波器是有源 RC 滤波器，其特征在于高动态范围、低失真特征。然而，由于负反馈引起的限制速度将有源 RC 滤波器限制在低速应用中。类似地，滤波器放大器的增益带宽乘积必须远高于滤波器截止频率，以最小化相位误差和在增益带宽乘积附近出现的任何其他非理想情况[306]，其本身需要消耗过多的能量。类似地，器件不匹配和噪声限制了 MOSFET-C 滤波器中非常高的电阻值的实现。此外，需要相当高的控制电压 V_C 以确保晶体管的三极管区域工作。类似地，在低电压应用中可实现的信号摆幅是有限的。G_m-C 滤波器通常使用开环而不是闭环运算跨导放大器，因此不需要被稳定性要求所约束[162,274]。因此，G_m-C 滤波器通常具有超过 SC 和 RC 滤波器的速度优势，特别是对于数百兆赫范围内的应用。然而，在开环配置中使用 G_m 级的缺点是电路被限制在小的输入电平，以便在线性区域中操作跨导器[274,309]。尽管已经报道了许多不同的技术来增加输入范围同时保持线性，但是由于额外的寄生效应，这些技术通常会降低频率响应[309,310]。即使采用线性化技术，与有源 RC 滤波器相比，输入信

号摆幅范围仍然很小。G_m－C 滤波器的另一个缺点是它们对跨导 g_m 的依赖性，这使得它们对工艺变化非常敏感。G_m－C 滤波器的一个优点是可以通过 OTA 和电容实现无源元件，如电阻和电感。电阻是通过将 OTA 的负输入连接到正输出而实现的，并且可以通过使用两个 OTA 和电容在一定频率下实现电感的功能。然而，电阻和电感的线性依赖于 OTA 的性能。如果 OTA 具有有限的带宽特性，滤波器的增益和相位将偏离其理想的频率响应。偏差的具体特性将是 OTA 的开环特性和滤波器所需响应的函数。然而，与使用完整运算放大器的主动 RC 实现相比，由于 OTA 的简单性，在 OTA 增益带宽乘积影响滤波器响应之前，有源 G_m－C 滤波器可以达到更高的频率。

单片连续时间滤波器的系统系数主要由 G_m－C 中的有源 RC 滤波器或跨导电容中的电阻和电容的产品决定。虽然集成电阻、电容和跨导的绝对值的可变性很好，电阻由于掺杂和蚀刻的不均匀而变化（由于工艺和温度变化，可能会变化多达 40%），由于氧化物厚度变化和蚀刻不准确，电容的变化可达 15%，以及由于移动性、氧化物厚度、电流、器件几何变化，跨导可能随工艺、温度和电源电压变化而有超过 40% 的变化，如果特别注意布局（比如交织、使用虚设器件、普通质心几何），它们的比例可以非常精确和稳定，比如电容比匹配度 $<0.05\%$、电阻比匹配度 $<0.1\%$、G_m 比匹配度 $<0.5\%$，并提供良好的相对振幅和相位与频率特性，仅需要调整连续的时间滤波器关键参数。然而，清楚的是，除了特征频率之外，有时也需要对质量因数 Q 进行调谐，以保持滤波器带宽随着温度和工艺变化而相对恒定。有许多不同的调谐系统，如自适应调谐电路、直接调谐策略、主从调谐电路等。在 PLL 调谐中，VCO 或主滤波器的输出通过相位检测器与参考信号进行比较。如果参考信号和输出之间有任何差异，则会产生一定电压，该电压与参考信号和 VCO 或主滤波器输出之间的相位差成正比，并通过低通滤波器对电压进行滤波，以消除高频因素。然后只有直流控制电压添加到主滤波器以校正频率差。对于 Q 因数控制，振幅检测器或峰值检测器通常用于比较特定频率的振幅。像频率调谐一样，将主滤波器的峰值与特定频率的参考信号进行比较。然后，峰值差通常被放大，低通滤波，以将 Q 因数控制电压应用到主滤波器中。然而，为了利用这种调谐，假设滤波器在中心频率处的带通增益与质量因数 Q 相等（或成比例）。但是，在存在明显寄生的情况下，这种关系可能不成立，特别是在高 Q 值时。此外，滤波器的非线性影响增益对 Q 的关系，这可能导致进一步的 Q 调谐误差，这里所应用的技术利用了二阶块而不是振幅的相位响应，在这种情况下，Q 调谐以及中心频率调谐与滤波器增益无关，通过将两个参考频率的输出相位拟合到可以从所需响应中计算出的已知值，中心频率和 Q 均可精确调谐。利用数字技术，只允许一个调谐回路在给定的时间运行，这提高了调谐电路的稳定性，并且消除了对慢回路的需要。

完整的调谐系统如图 4.31 所示。低频时钟信号 Clk 确定滤波器频率在参考频

率之间切换的调谐周期。信号 V_{high} 和 V_{low} 是延迟时钟，而 V_{up} 和 V_{down} 是控制电压。当调谐信号为高电平时，滤波器被校准。当调谐信号被设置为低电平时，恢复滤波器的正常操作（即处理信号），其中调谐电压 V_{up} 和 V_{down} 保持在其适当的值。由于两个参考频率不能同时应用，所以滤波器的频率在参考频率之间周期性地变化。当将一个参考频率应用于滤波器时，将低通输出与 V_{low} 进行比较。低通输出连接到触发器的时钟输入，而参考值应用于 D 输入。

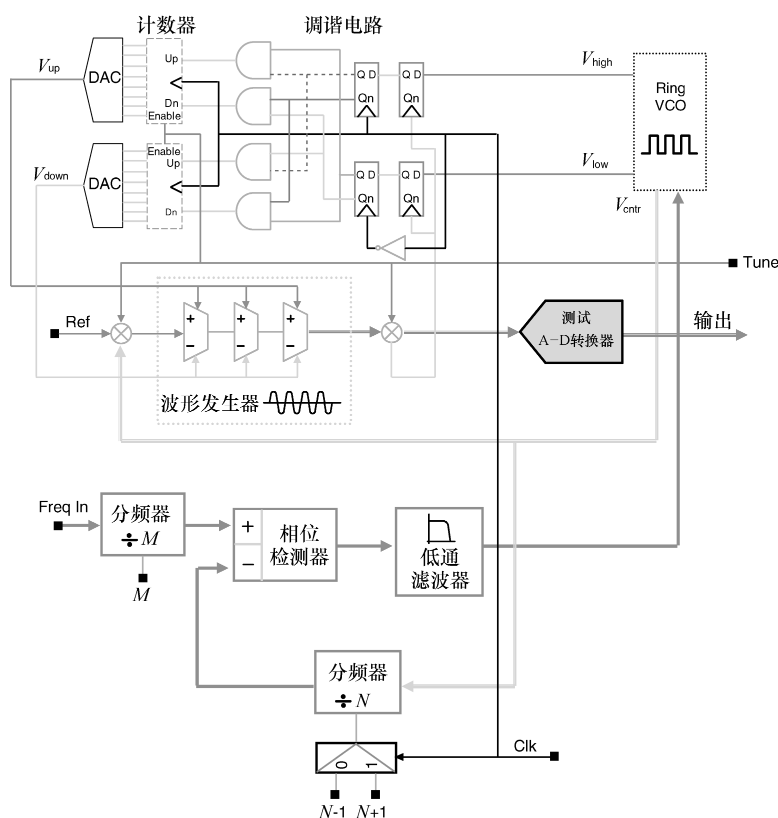


图 4.31　G_m－C－OTA 实现的调谐电路

假设在时钟的上升沿发生转换，如果低通延迟大于 V_{low}，则触发器存储高输出电平，否则输出为零。在下一阶段，当滤波器输入处于不同的参考频率时，低通输出的延迟被比较。第一组 D 触发器将低通相位与适当的参考值进行比较，并将输出存储在每个周期结束后的 D 触发器。计数器由时钟信号更新，仅在调谐信号为高电平时使用。请注意，V_{up} 和 V_{down} 自己不会同时更改（在相同的调谐周期），这样可以确保调谐回路的稳定性。类似地，D－A 转换器以非常低的频率工作，并且在数字可调滤波器的情况下可以避免[317]。仿真结果如图 4.32 所示，说明了离散和连续时间实现的可行性。

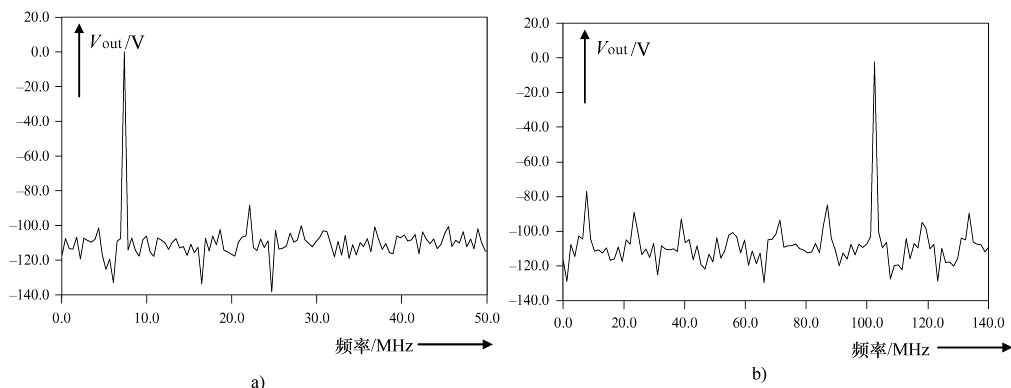


图 4.32　仿真结果

a）SC 实现　b）G_m－C－OTA 实现

4.4　内置自测概念的注释

在过去，A－D 转换器的信号转换电平根据逐步的统计算法[333]来确定。然而，大约 5 个输入变化的每个转换电平的必要性以及每个转换电平的校准器设置时间，使得测试持续时间对于高分辨率 A－D 转换器来说是禁止的。与逐步统计算法相比，采用直方图[333－336]以减少采样数和测试持续时间。直方图或输出信号密度是每个编码发生的次数。对于具有满量程斜坡输入和随机采样的理想 A－D 转换器，在每个存储区中都需要相同数量的编码。第 i 个存储区 $H(i)$ 中的计数除以样品总数 N_t 就是容积的宽度，来作为满量程的一部分。通过编译累积直方图，累积存储区宽度是转换电平。线性信号（三角波）用于在 A－D 转换器范围[335－337]上实现均匀的激励条件。相反，标准直方图测试利用正弦激励信号，其比三角波更容易产生足够低的失真[333－336]。

在文献［327］中探讨了基于直方图的 BIST 方法在正弦波输入测试信号情况下的可行性。尽管减少附加电路意味着需要大量的输入测试模式才能完成测试，也要应用测试程序的顺序分解。在基于直方图的 A－D 转换器测试中，基于输入信号（斜坡、正弦）收集频率统计信息，并进行分析，得出 A－D 转换器的静态测量。为了收集数据，大多数直方图技术需要访问片上存储器和 DSP。由于缺少片上存储器或由于布局约束，在不存在这种访问的情况下，可以以顺序的方式收集每个编码的直方图，然而要以明显增加的测试时间为代价。不像依照直方图技术那样依靠测量编码频率，而是采用计数器和编码变换检测器，可以直接测量编码宽度（见图 4.33）。然而如下面的讨论所示，输入信号的线性是主要的限制因素。

测试时间由 A－D 转换器特性决定，如分辨率和采样频率 f_s 以及每个编码 ζ 的采样。总测试时间可以通过 $T_{total}=(\zeta\times 2^N)/f_s$ 计算。A－D 转换器给定的满量程

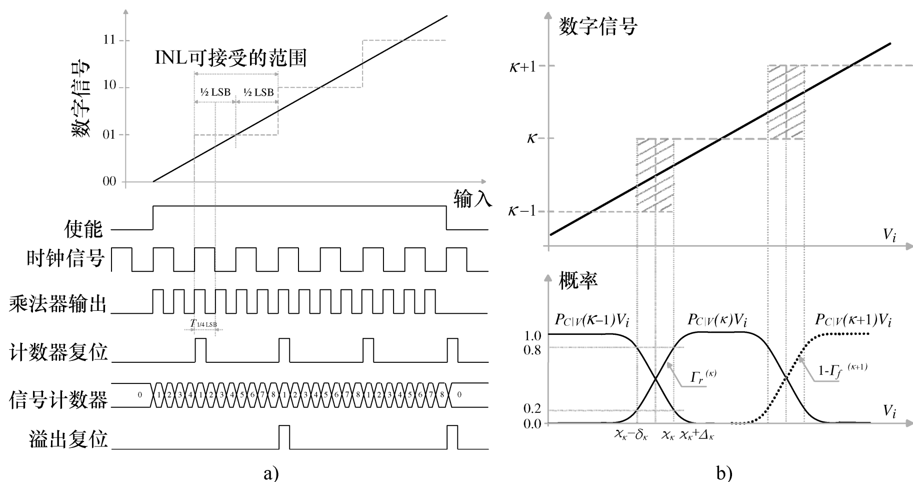


图 4.33　a）测试策略的时序图　b）编码转换的概率

V_{FS}的斜坡信号 δ_{ramp}所需的斜率也可以用测试参数计算：$\delta_{ramp}=(f_s\times V_{FS}/[(\zeta/N)\times 2^N]$。在理想的 N 位 A－D 转换器编码转换中，输入值由 $\lambda_\kappa=[(\kappa-1/2)\times V_{FS}]/2^N$ 给出。然而，相邻编码转换的输入值不是唯一的。也就是说，量化阶梯中的编码限制在转换频带中丢失。转换器的这些不确定性导致参数公差，来表征实际转换器并限制其分辨率：

$$P_{C|V=v}(\kappa/v)=\Gamma_r^{(\kappa)}(v-\chi_\kappa)-\Gamma_f^{(\kappa)}(v-\chi_{\kappa+1}) \tag{4.29}$$

式中，$\Gamma_{r,f}$［.］是在零点邻域中从 0 逐渐上升到 1 的概率函数，它们可以作为斜坡函数或正常累积概率函数 $Q(x)$ 的 S 形函数。

因此，当输入减少时，有两个函数和代表编码 κ 消失的每个编码 $\Gamma_r^{(\kappa)}(v-\lambda_\kappa)$ 有关，而当输入增加时，$1-\Gamma_f^{(\kappa)}(v-\lambda_\kappa)$ 代表编码 κ 缓慢消失。这在图 4.33b 中示出，其中每个转换由对应于相邻编码的函数重叠形成。随着重叠减少到两个编码，从概率中很明显可以看出 $\Gamma_f^{(\kappa)}$［.］$=\Gamma_\gamma^{(\kappa)}$［.］。如果考虑转换频带，使得形成它的所有输入值同等地导致编码之间的有效转换，则函数 Γ_r［.］是斜坡，值 λ_κ 是转换频带的中心值。另一方面，如果频带中有一些最可能被识别为代表实际转换的值，并且该概率随着它的移动而不对称地减小，则函数 Γ_r［.］的较好估计是准高斯密度分布函数。当转换被认为对称时，可以使用普通函数：

$$\Gamma_r^{(\kappa)}(v-\chi_\kappa)=Q[(v-\chi_\kappa)/\sigma] \tag{4.30}$$

图 4.33b 显示了该定义在 20%～80% 的概率间隔中的应用。比如，由于 $Q(0.8416)=0.8$，所以将上述公式作为图中的模型，从 $0.8416\times\sigma=\Delta_\kappa$ 的关系中获得参数 σ。

除了热噪声之外，测试方案的精度受到每个编码 ζ 的样本数量和斜坡 Λ 的线性的影响。热噪声对精度的影响可以被假定为假设噪声尖峰振幅的高斯分布平均为 0，标准方差为 σ_n。将模拟输入信号的小数部分表示为具有从 0 到 1LSB 均匀分布

$p_v(v_f)$ 的 v_f，噪声尖峰的振幅应该小于 $-v_f$ 或大于 LSB $-v_f$ 以改变数字输出编码。可以看出，使用不正确转换获得的概率，由于热噪声影响导致的 DNL 测量误差可以计算为

$$\varepsilon_n = \sum_{i=1}^{\zeta} C(\zeta, i) P_n^{(i)} (1 - P_n)^{(\zeta - i)} \frac{i}{\zeta} \tag{4.31}$$

由于热噪声引起的误差分量，每个编码 ζ 的采样数和斜坡 Λ 的线性是不相关的，所以总误差 θ（以 LSB 为单位）将是总和：

$$\varepsilon_{\text{total}} = \varepsilon_\zeta + \varepsilon_\Lambda + \varepsilon_n \quad \varepsilon_\zeta = \frac{1}{\zeta} \quad \varepsilon_\Lambda = \frac{1}{2^{(N_{\text{ramp}} - N_{\text{ADC}})}} \quad \varepsilon_n = \sum_{i=1}^{\zeta} C(\zeta, i) P_n^{(i)} (1 - P_n)^{(\zeta - i)} \frac{i}{\zeta} \tag{4.32}$$

式中，N_{ramp}表示斜坡信号的线性。

当检查典型数据时，$\sigma_n = 0.1$LSB，$(N_{\text{ramp}} - N_{\text{ADC}}) = 3$，$\zeta = 100$。很明显，由于斜坡信号的线性引起的误差是该方法的主要限制因素，比如 $\varepsilon_\Lambda > 10\varepsilon_n$ 以及 $\varepsilon_\Lambda > 10\varepsilon_\zeta$。

放宽对精密 A－D 转换器测试的源极线性要求的可能性之一是采用激励误差识别和去除（SEIR）算法[339]。这里，具有恒定偏移的两个非线性斜坡信号被添加到被测试的 A－D 转换器，并且从两个估计的转换电平计算出两组直方图数据。通过最小二乘误差（LSE）方法找出这些估计值之间的差异，可以建立源发生器斜坡非线性。它们对直方图数据的影响可以被去除，并且 A－D 转换器的转换电平被准确地识别。然而，对于实际应用的算法，在测试环境中设置了严格的限制，比如完全相同的输入信号必须重复两次，并且偏移必须是恒定的。

由测试环境的非理想性引入的误差，与 3.4 节和 3.5 节所述的器件偏移相似，将导致测试误差，其最大绝对值出现在 A－D 转换器输入范围的中间。由于实际的测试解决方案通常要求测试精度保持在器件规格的 10% 以内，所以该误差将严格限制线性测试精度。然而，由于这些环境的非理想性结果类似于对梯度效应敏感的匹配敏感电路中的偏移，所以诸如交织（3.2 节）的技术可以放宽 SEIR 算法的要求[340]。实质上，要获得两个或更多匹配的电量，电路组件被分成许多小单元电池并均匀放置在芯片上，使得这些组件的电参数的梯度效应被平均化。类似地，不是重复两次信号，而是向第二个信号添加偏移量，来放宽 SEIR 算法的要求，产生相同信号的许多副本，并且根据给定模式，向其中的一些添加偏移量。一般来说，两个期望的输入信号被生成为三角波并且在时域中彼此交织。当测试的 A－D 转换器转换信号时，产生的输出编码将被分割为由特定时间窗口间隔定义的两个直方图[340]。为了消除低阶非平稳环境误差项，一个单一元素的模式以中心对称交织方式对称地扩展。

为了在 SEIR 算法中建立源发生器斜坡非线性，在文献［341］中，简化的激励识别算法计算两个偏移激励的直方图的差异和平均值，以发现激励的斜率对直方

图的高度影响。通过使用数值微分和测量的直方图，来逼近理想直方图的导数。通过梯形积分规则对该导数进行积分后，获得编码密度理想直方图，该直方图对应于该激励的理想 A－D 转换器的直方图。然后从测量和理想直方图的比率中提取以码宽表示的测试激励的非线性。类似地，通过获得的码宽度来确定 A－D 转换器的线性。

减少测试时间的一个有效方法是提高在一个测试仪上测试多个器件的并行效率－多点测试。然而，对于 A－D 转换器测试，并行测试的器件越来越多，通常需要更多的高质量模拟信号源来削弱多站点测试获得的增益。

有一种测试技术，不需要外部模拟仪器来测量 D－A 转换器－A－D 转换器环回组合的规格，是一种小信号方法[338]。这里，以环回方式将数字正弦波激励应用于片上 D－A 转换器的输入。其输出，也就是模拟正弦波，激励了片上或片外分析数字输出的片上 A－D 转换器，以测量测试规格。当斜坡或三角波用于直方图测试时，加性噪声对结果没有影响，然而由于斜坡中的失真或非线性，难以保证准确性。对于微分非线性测试，斜坡斜率的 1% 变化会将预期的编码数量改变 1%。由于这些误差会快速累积，所以积分非线性测试将变得不可行。从上述考虑可以看出，为了准确地表征 A－D 转换器的线性，输入源应具有比被测转换器更好的精度。当使用正弦波时，产生误差，在峰值附近变大。通过充分驱动 A－D 转换器，可以使该误差变小。然而，在大多数系统级芯片应用中，D－A 转换器通常比被测 A－D 转换器的动态范围更小，因此不能用于产生激励所有 A－D 转换器编码的信号。

在小信号环回方式中，通过使用振幅远小于 A－D 转换器满量程的信号来放宽正弦波发生器的线性失真约束。转换器输入范围由叠加到逐渐增加的直流电平的小振幅正弦波激励。采用相同的小振幅正弦波，但具有不同的偏移电平 C_j，$j=0, 1, \cdots, N_s-1$，以 N_s 步长获取直方图的样本，完全激励输入范围。在 D－A 转换器中，从片上数字正弦波发生器激励转换后，模拟正弦波振幅至少减小 7/8，与被测 A－D 转换器的动态范围相比，这和 3 位精度相当，并被应用于上述 A－D 转换器。在 D－A 转换器的输出端，模拟小正弦波激励电平移动，通过逐步增加偏移量 C_j，使 A－D 转换器的动态范围进行扫描，如图 4.34 所示。在每个 N_s 步骤中，A－D 转换器获取具有振幅 A 的小波样本的记录，使得 $A=\Delta_s/2+\Delta_{overdrive}$，其中 Δ_s 是偏移增量值，$\Delta_{overdrive}$ 是额外的振幅，以保证所有编码被激励。从每个步骤中获取的样本，构建等于第 i 个存储区 $H(i)$ 中的计数总和的累积直方图 $CH_j[k]$，其中 $i=0, \cdots, k$[336]。经过所有步骤之后，所获得的 N_s 转换电平矩阵必须被组合成一个矩阵。然而，在 N_s 步骤中的每一个步骤的过度驱动需求和激励信号的不准确性，产生一些在两个连续步骤中计算的具有两个值的转换电平，当组合转换电平矩阵时必须考虑这些值。一旦形成传输曲线，就可以计算 A－D 转换器的所有静态规格。

如上所述，如果两个转换器类型都存在于同一个芯片，则 D－A 转换器－A－D转换器环回组合允许全数字测试配置，并避免需要昂贵的外部模拟仪器。

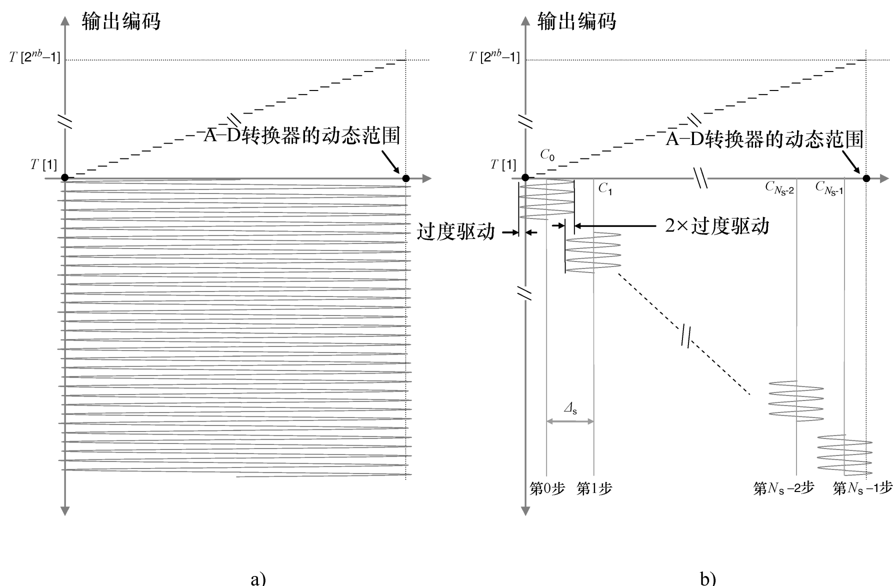


图 4.34　满量程和添加到 A－D 转换器的小信号正弦波信号
a）满量程　b）添加到 A－D 转换器

然而，环回模式下非功能相关组件之间的不相关的交互会导致故障屏蔽。特别地，与噪声和失真参数相加的动态参数测试不同，诸如 INL 和 DNL 之类的静态参数倾向于取消，使得诸如基于直方图之类的标准测试方法不切实际。类似于重建和补偿技术，环回配置中实现的 SEIR 算法可以同时估计两个转换器的线性，而不会出现故障屏蔽问题。在理想的 A－D 转换器中，编码密度直方图中的码宽相等。因此，理想情况下的编码密度直方图类似于输入信号的概率密度函数（PDF）。如果 D－A 转换器输入均匀分布在所有编码上，则 D－A 转换器输出也是均匀分布的，因此可以利用 A－D 转换器编码密度直方图来计算理想的直方图。作为最后一步，可以使用线性直方图法从理想直方图中找到 D－A 转换器线性估计。

增强多点测试的另一种可能性是以纯粹或略微适应的形式产生廉价的片上数字波形。如前所述，A－D 转换器的动态参数通过诸如直方图或 FFT 分析的常规后处理方法来评估，其利用正弦波激励效率，即可忽略的失真、高精度和稳定的频率。将类似的方法应用到自适应脉冲波，会减少这些方法的优点；脉冲波的频谱与脉冲上升和下降时间相关的谐波失真，使得 A－D 转换器参数故障的精确确定变得复杂以及时间过多[344]。自适应脉冲波的频谱表示不仅是信号采样频率和振幅的函数，如正弦波激励，也是脉冲上升和下降时间的周期函数。此外，扩展系数振幅下降，其形式为 $\sin x/x$，斜率为－20dB，表明是低通性能。然而，基于时间模型重建方法[345]的文献［344］中的两种算法同时放宽了激励源的精度要求，并提供了将 A－D转换器误差机制作为参数故障的特征概率。另外，重建的波形更直观地显示

了 A－D 转换器的误差[345]。

4.5 深亚微米 CMOS 工艺的随机分析可靠电路设计

纳米尺度 CMOS 技术最显著的特征之一是影响集成电路性能关键参数的变化幅度越来越大[346]。虽然缩放使控制外在可变性更加复杂，但是参数可变性增加的最深刻的原因是该技术正在接近芯片结构性能的基本随机性状态，其中器件操作必须被描述为随机过程。由于芯片晶体的掺杂剂原子的放置是随机的，因此每个晶体管的沟道中原子的最终数量和位置是随机变量。除了器件可变性在精度、线性和时序方面限制了电路设计外，与集成电路器件中的基本过工艺相关的电噪声代表了电子电路性能的基本限制。

器件可变性效应和噪声限制作为鲁棒电路设计和评估的基本问题，已经成为许多研究的课题。目前已经提出了几种模型，用于器件可变性[347]和噪声[348,349]，相应地，还有许多用于统计电路仿真和噪声分析[349]的 CAD 工具[350,351]。蒙特卡洛分析是对受时域技术变化和/或噪声模拟影响的电路统计分析的广泛方法。蒙特卡洛算法采用从每个工艺参数范围内选择的值的随机组合，并重复执行电路模拟。其结果是统计特征估计的响应集合。不幸的是，如果模拟的迭代次数不是很大，蒙特卡洛模拟总是达不到理想的估计公差要求。精确地确定响应的界限需要大量的模拟，因此如果芯片变大，则蒙特卡洛方法变得非常耗时。用于可变性影响电路统计分析的其他方法，如响应表面方法，能够以实验预处理阶段[351]的设计为代价，以比蒙特卡洛方法更快的速度执行。可以通过依次考虑每个不相关的噪声源来分析电路的噪声性能，并分别计算其在输出端的影响。不幸的是，该方法仅适用于具有固定工作点的电路，并且不适用于具有变化的偏置条件的电路的噪声模拟。

在本节中，给出了基于求解方程（必然随机）的统计仿真的直接方法，其通过电路的统计性能估计它。电路被描述为一组随机微分方程，并且引入高斯闭合近似以获得闭合形式的公式。对于广义静态随机过程，如工艺变化和/或白噪声，自相关作为评估电路设计鲁棒性的矩阵，其特点在于时域二次概率特征。这里使用的方法是 4.1 节中描述的方法的增强版本，其具有用于瞬态分析的扩展。另外，给出了用于集成电路噪声分析的随机微分有效解的数值方法。

4.5.1 用于过程变异性分析的随机 MNA

研究空间统计学的基本概念是随机过程定义为一组时间或空间位置上随机变量的集合。通常，采用二阶静态［广义静态（WSS）］过程模型，但是可以采用其他更严格的静态标准。该模型意味着平均值是恒定的，协方差仅取决于任何两点之间的间隔。在二阶静态过程中，只有第一和第二时刻保持不变。协方差和相关函数描述了不同位置随机变量的共同依赖关系如何随间隔距离而变化。这些功能仅在静态

过程中明确定义。比如，仅存在平均值 L 的非系统空间变化时，描述晶体管长度 L 的性能的随机过程才是静态的。如果过程不是静态的，则相关函数不能可靠地测量依赖关系和相关性。一旦去除了系统晶片级和场级依赖性，从而使该过程保持静态，则真正的相关性可以忽略不计。从统计模拟的角度来看，系统变化会对给定电路中的所有晶体管产生同样的影响。因此，系统参数变化可以由电路中每个晶体管参数平均值的偏差来表示。

一般来说，对于时域分析，改进的节点分析（MNA）导致非线性常微分方程（ODE）或微分代数方程（DAE）系统，其在大多数情况下通过线性多步积分方法，在非线性代数系统中变换[353,354]，并且在每个积分步骤中，使用牛顿法来解决这个非线性代数系统。因此，从数字的角度来看，在牛顿法的每次迭代和时域分析的每个时刻，将动态电路模拟的方程转换为等效线性方程。因此，可以说，非线性动态电路的时域分析由在特定工作点处接近原始（非线性和动态）电路的许多线性电路的连续解决方案组成。MNA 系统可以表示为

$$\boldsymbol{F}(\boldsymbol{p}',\boldsymbol{p},t)+\boldsymbol{B}(\boldsymbol{p},t)\cdot\boldsymbol{\eta}=0 \tag{4.33}$$

式中，$\boldsymbol{p}$ 是代表电路的状态变量（比如节点电压）的随机过程的矢量；$\boldsymbol{\eta}$ 是如 4.1.2 节所述的广义静态过程的矢量；$\boldsymbol{B}(\boldsymbol{p},\ t)$ 是 $N\times B_{\mathrm{c}}$ 电流控制分支矩阵，其条目是状态 $\boldsymbol{p}$ 和可能的 t 的函数。

$\boldsymbol{B}(\boldsymbol{p},\ t)$ 的每一列对应于 $\boldsymbol{\eta}$，并且通常具有一个或两个非零条目。这些行对应于电感或电压源的节点方程或分支方程。式（4.33）表示一个非线性随机微分方程组，它构成了随机代数和微分方程的系统，描述了当随机源 $\boldsymbol{\eta}$ 为零时，产生 MNA 方程的非线性电路的动态。求解式（4.33）意味着在每个时刻 t 确定随机矢量 $\boldsymbol{p}(t)$ 的概率密度函数 P。形式上，随机变量 $\boldsymbol{p}$ 的概率密度为

$$P(\boldsymbol{p})=|\boldsymbol{\Gamma}(\boldsymbol{p})|\boldsymbol{N}(h^{-1}(\boldsymbol{p})|\boldsymbol{m},\boldsymbol{\Sigma}) \tag{4.34}$$

式中，$|\boldsymbol{\Gamma}(\boldsymbol{p})|$ 是 $h^{-1}(\boldsymbol{p})$ 与 $\boldsymbol{\eta}$ 的非线性函数逆变换的雅可比矩阵的决定因素。

然而，通常不可能直接处理这种分布，因为除了线性 $\boldsymbol{\eta}$ 之外，它是非高斯的。为了获得一个闭合形式的矩阵方程，将引入高斯闭合近似，如 4.2 节所述。值得注意的是，解决式（4.33）的主要困难与非线性有关，因此寻找似值可能比较容易，该近似值可以在给定数量的子域中划分随机源变量 $\boldsymbol{\eta}$ 的空间后找到，然后通过如 4.2 节所述的线性泰勒近似来求解每个子域中的方程。

令 $x_0=x(\eta_0,\ t)$ 是线性化的通用点，随着变量 $\boldsymbol{\xi}=\boldsymbol{x}-x_0=[(\boldsymbol{p}-p_0)^{\mathrm{T}},\ (\boldsymbol{\eta}-\eta_0)^{\mathrm{T}}]^{\mathrm{T}}$ 的变化，x_0 中式（4.33）的一阶泰勒线性化为

$$C(x_0)\boldsymbol{\xi}'+(G(x_0)+C'(x_0))\boldsymbol{\xi}=0 \tag{4.35}$$

式中，$G(x)=B'(x)$；$C(x)=F'(x)$。

瞬态分析仅需要式（4.33）确定的解，比如通过传统的电路模拟器，以及式（4.35）具有能够处理仅需要初始条件的随机性的线性随机微分方程的方法。由于式（4.35）是 $\boldsymbol{\xi}$ 中的线性均匀方程，其解将始终与 $\boldsymbol{\eta}-\eta_0$ 成正比。式（4.35）可

以写成

$$\boldsymbol{\xi}'(x_0)=E(x_0)\xi_0+F(x_0)\eta_0 \tag{4.36}$$

式（4.36）是一个随机微分方程的系统，其在狭义上是线性的（$\boldsymbol{\xi}$ 右侧是线性的，而可变性源的矢量的系数矩阵与 $\boldsymbol{\xi}$ 无关）[355]。由于这些随机过程具有一般属性，它们可以被认为是各个样本路径的经典问题集，并且用线性随机微分方程理论的经典方法进行处理。对于矢量 $\boldsymbol{\eta}$ 的 m 个元素，扩展 $\boldsymbol{\xi}(t)$ 的每个元素：

$$\boldsymbol{\xi}_i(t)=\boldsymbol{\Gamma}(t)(\boldsymbol{\eta}-\eta_0)=\sum_{j=1}^{m}\alpha_{ij}(t)\cdot\boldsymbol{\eta}_j \tag{4.37}$$

只要获得 $\alpha_j(t)$，$\boldsymbol{\xi}(t)$ 的表达式就能确定，使得解的协方差矩阵可以写为

$$\boldsymbol{\Sigma}_{\xi\xi}=\boldsymbol{\Gamma}\boldsymbol{\Sigma}_{\eta\eta}\boldsymbol{\Gamma}^{\mathrm{T}} \tag{4.38}$$

定义 $\alpha_j(t)=(\alpha_{1j},\ \alpha_{2j},\ \cdots,\ \alpha_{nj})^{\mathrm{T}}$ 和 $F_j(t)=(F_{1j},\ F_{2j},\ \cdots,\ F_{nj})^{\mathrm{T}}$，对 $\alpha(t)$ 的要求是

$$\alpha'_j(t)=E(t)\alpha_j+F(t) \tag{4.39}$$

式（4.39）是一个常微分方程，可以通过快速数值方法求解。

4.5.2 噪声分析的随机 MNA

人们已经广泛研究了无源元件和集成电路器件中最重要的电气噪声源的类型，并将适当的模型在文献［349］中作为静态噪声源，在文献［350］中作为非静态噪声源。在本节中，适应文献［350］中定义的模型描述，其中热噪声和散粒噪声被表示为在每个时间点具有独立值的增量相关噪声处理，被模拟为调制的白噪声过程。这些噪声处理对应于集成电路器件模型中的当前噪声源。由于这些非静态模型与工艺参数变化的广义静态随机过程模型不同，因此不能像 4.4.1 节那样直接处理。

描述快速和不规则波动的随机影响的随机过程（即白噪声 $\boldsymbol{\chi}$）的 MNA 公式可写为

$$\boldsymbol{F}(\boldsymbol{r}',\boldsymbol{r},t)+\boldsymbol{B}(\boldsymbol{r},t)\cdot\boldsymbol{\chi}=0 \tag{4.40}$$

式中，$\boldsymbol{r}$ 是表示电路状态变量（比如节点电压）的随机过程的矢量；$\boldsymbol{\chi}$ 是广义白高斯过程的矢量；$\boldsymbol{B}(\boldsymbol{r},\ t)$ 是噪声源矢量的状态和时间相关调制。

由于白噪声过程 $\boldsymbol{\chi}$ 的特征，诸如式（4.40）的公式不能被视为使用经典微积分的常微分方程。由于与任何功能电路中的信号本身的振幅相比，信号中的噪声含量的振幅要小得多，所以在式（4.40）中描述的非线性随机微分方程的系统可以在前面所述的类似假设下被线性化。现在，包括噪声含量描述，式（4.36）可以以一般形式表示为

$$\boldsymbol{\lambda}'(t)=\boldsymbol{E}(t)\boldsymbol{\lambda}+\boldsymbol{F}(t)\boldsymbol{\chi} \tag{4.41}$$

式中，$\boldsymbol{\lambda}=[(\boldsymbol{r}-\boldsymbol{r}_0)^{\mathrm{T}},\ (\boldsymbol{\chi}-\boldsymbol{\chi}_0)^{\mathrm{T}}]^{\mathrm{T}}$。

式（4.41）被解释为随机微分方程的耦合 ito 系统。现在以更自然的微分形式重写式（4.41）：

$$\mathrm{d}\boldsymbol{\lambda}(t)=\boldsymbol{E}(t)\boldsymbol{\lambda}\mathrm{d}t+\boldsymbol{F}(t)\mathrm{d}\boldsymbol{w} \tag{4.42}$$

式中，$\mathrm{d}\boldsymbol{w}(t)=\boldsymbol{\chi}(t)\mathrm{d}t$ 被 Wiener 过程 $\boldsymbol{w}$ 的矢量代替。如果函数 $\boldsymbol{E}(t)$ 和 $\boldsymbol{F}(t)$ 在可接受的时间间隔是可测量和有边界的，则对于每个初始值 $\boldsymbol{\lambda}(t_0)$ 存在唯一的解[355]。

如果 $\boldsymbol{\lambda}$ 是高斯随机过程，那完全可以被均值和相关函数表征。下式来自随机微分的耦合 Ito 定理：

$$\mathrm{d}(\boldsymbol{\lambda}(t)\boldsymbol{\lambda}^{\mathrm{T}}(t))/\mathrm{d}t=\boldsymbol{\lambda}(t)\cdot\mathrm{d}(\boldsymbol{\lambda}^{\mathrm{T}}(t))/\mathrm{d}t+\mathrm{d}(\boldsymbol{\lambda}(t))/\mathrm{d}t\cdot\boldsymbol{\lambda}^{\mathrm{T}}(t)+F(t)\cdot\boldsymbol{F}^{\mathrm{T}}(t)\mathrm{d}t \tag{4.43}$$

用式（4.42）扩展式（4.43），注意到 $\boldsymbol{\lambda}$ 和 $\mathrm{d}\boldsymbol{w}$ 不相关，具有初始值 $\boldsymbol{K}(0)=\boldsymbol{E}[\boldsymbol{\lambda}\boldsymbol{\lambda}^{\mathrm{T}}]$ 的 $\boldsymbol{\lambda}(t)$ 的方差协方差矩阵 $\boldsymbol{K}(t)$ 可以通过微分 Lyapunov 矩阵方程表示为[355]

$$\mathrm{d}\boldsymbol{K}(t)/\mathrm{d}t=\boldsymbol{E}(t)\boldsymbol{K}(t)+\boldsymbol{K}(t)\boldsymbol{E}^{\mathrm{T}}(t)+\boldsymbol{F}(t)\boldsymbol{F}^{\mathrm{T}}(t) \tag{4.44}$$

请注意，大多数集成电路的噪声变量的平均值始终为零。鉴于 $\boldsymbol{K}(t)$ 的对称性，式（4.44）表示具有时变系数的线性常微分方程组。为了获得数值解，式（4.44）必须使用合适的方案，如任何线性多步法或 Runge – Kutta 法在时间上离散化。对于电路仿真，发现隐式线性多步法，特别是梯形法和反向微分公式最合适[356]。如果向后欧拉应用于式（4.44），微分 Lyapunov 矩阵方程可以用特殊形式写成连续时间代数 Lyapunov 矩阵方程：

$$\boldsymbol{P}_{\mathrm{r}}\boldsymbol{K}(t_{\mathrm{r}})+\boldsymbol{K}(t_{\mathrm{r}})\boldsymbol{P}_{\mathrm{r}}^{\mathrm{T}}+\boldsymbol{Q}_{\mathrm{r}}=0 \tag{4.45}$$

时间点 t_{r} 的 $\boldsymbol{K}(t)$ 通过求解式（4.45）中的线性方程组的系统来计算。这种连续时间 Lyapunov 方程具有唯一的解 $\boldsymbol{K}(t)$，它是对称和正半定的。人们已经提出了几种迭代技术，用于解决矩阵 $\boldsymbol{P}_{\mathrm{r}}$ 大而稀疏的一些具体问题中出现的代数 Lyapunov 矩阵方程式（4.45）[357]。Bartels – Stewart 方法[358]一直是用于解决中小规模 Lyapunov 方程（如模拟电路）的首选方法，而 Hammarling 方法仍然是直接计算（4.45）解的 Cholesky 因数的唯一参考，适用于中小型系统。对于 Bartels – Stewart 算法的后向稳定性分析，参见文献［359］。这些方法对广义 Lyapunov 方程的扩展在文献［360］中有描述。Bartels – Stewart 算法现在是标准的，并在文献［361，362］中提出。在这种方法中，通过镜像变换，将第一个 $\boldsymbol{P}_{\mathrm{r}}$ 减少为 Hessenberg 上限，然后将 QR 算法应用于 Hessenberg 格式，以计算真实 Schur 分解[361]，将其转换为三角形系统，这可以通过矩阵 $\boldsymbol{P}_{\mathrm{r}}$ 的前向或后向代替者有效地解决：

$$\boldsymbol{S}=\boldsymbol{U}^{\mathrm{T}}\boldsymbol{P}_{\mathrm{r}}\boldsymbol{U} \tag{4.46}$$

其中真正的 Schur 形式 $\boldsymbol{S}$ 是上准三角形，$\boldsymbol{U}$ 是正交的。转换矩阵在每一步积累中形成 $\boldsymbol{U}$[358]。现在，设置

$$\tilde{\boldsymbol{K}}=\boldsymbol{U}^{\mathrm{T}}\boldsymbol{K}(t_{\mathrm{r}})\boldsymbol{U}$$
$$\tilde{\boldsymbol{Q}}=\boldsymbol{U}^{\mathrm{T}}\boldsymbol{Q}_{\mathrm{r}}\boldsymbol{U} \tag{4.47}$$

那么式（4.45）变成

$$S\tilde{K}+\tilde{K}S^{\mathrm{T}}=-\tilde{Q} \tag{4.48}$$

要找到唯一解，式（4.48）被分割为

$$S=\begin{bmatrix} S_1 & s \\ \mathbf{0} & v_n \end{bmatrix} \quad \tilde{K}=\begin{bmatrix} K_1 & k \\ k^{\mathrm{T}} & k_{nn} \end{bmatrix} \quad \tilde{Q}=\begin{bmatrix} Q_1 & q \\ q^{\mathrm{T}} & q_{nn} \end{bmatrix}$$

式中，S_1，K_1，$Q_1\in C^{(n-1)\times(n-1)}$；$s$，$k$，$q\in C^{(n-1)}$。

式（4.48）中的系统给出了 3 个方程：

$$(v_n+\bar{v}_n)k_{nn}+q_{nn}=0 \tag{4.49}$$

$$(S_1+\bar{v}_n I)k+q+k_{nn}s=\mathbf{0} \tag{4.50}$$

$$S_1K_1+K_1S_1^{\mathrm{T}}+Q_1+sk^{\mathrm{T}}+ks^{\mathrm{T}}=\mathbf{0} \tag{4.51}$$

可以从式（4.49）获得 k_{nn}，并代入到式（4.50）来求解 k，然后式（4.51）成为具有与式（4.48）相同结构的 Lyapunov 方程，如：

$$S_1K_1+K_1S_1^{\mathrm{T}}=-Q_1-sk^{\mathrm{T}}-ks^{\mathrm{T}} \tag{4.52}$$

相同的过程可以应用于式（4.52），直到 S_1 为 -1 阶。注意，条件是这个过程的第 k 个步骤（$k=1,2,\cdots,n$），$i=1,\cdots,n$。可以获得长度为（$n+1-k$）的唯一解矢量，以及 $n-k$ 阶三角矩阵方程，可以获得。由于 U 是正交的，所以一旦式（4.45）解出了 $\tilde{K}$，则可以使用下式计算 $K(t_{\mathrm{r}})$：

$$K(t_{\mathrm{r}})=U\tilde{K}U^{\mathrm{T}} \tag{4.53}$$

通过基于符号函数的技术可以解决诸如大规模数字电路中的大密度 Lyapunov 方程[363]，其在并行计算机上表现良好。人们已经提出了与矩阵多项式相关的 Krylov 子空间方法[364]。相对较大的稀疏 Lyapunov 方程可以通过（标准）迭代方法来解决，比如文献［365］。在这种分析中，应用与有理矩阵函数相关的迭代方法[366]的低阶版本。Lyapunov 方程式（4.45）的假定迭代[365]由 $K(0)=0$ 给出，并且

$$\begin{aligned}(P_{\mathrm{r}}+\gamma_i I_n)K_{i-1/2}&=-Q_{\mathrm{r}}-K_{i-1}(P_{\mathrm{r}}^{\mathrm{T}}-\gamma_i I_n)\\(P_{\mathrm{r}}+\bar{\gamma}_i I_n)K_i^{\mathrm{T}}&=-Q_{\mathrm{r}}-K_{i-1/2}^{\mathrm{T}}(P_{\mathrm{r}}^{\mathrm{T}}-\bar{\gamma}_i I_n)\end{aligned} \tag{4.54}$$

对于 $i=1,2,\cdots$，这种方法生成一个矩阵序列，它往往会很快地向解决方向收敛，前提条件是迭代移位参数 γ_i 是最优或者次优选择。为了更有效地实施该方法，在这个分析中，迭代是由他们的 Cholesky 因数代替，即 $K_i=L_iL_i^{\mathrm{H}}$，并根据因数 L_i 重新设计。低阶 Cholesky 因数 L_i 并不是唯一确定的，存在不同的生成方式[366]。请注意，$i_{\max}$的迭代步骤数不需要先验地修正。然而，如果 Lyapunov 方程需要尽可能精确地求解，则对于稍高于机器精度的停止标准低值，通常会获得正确的结果。

4.5.3　应用示例

在各种应用中，在几种表现出不同特征的电路上评估了这些方法的有效性。作

为代表性示例，统计模拟应用于 4.3 节中所述的 G_m－C－OTA 双二阶滤波器的表征。滤波器的计算频率和瞬态响应如图 4.35 所示。与蒙特卡洛分析相比（1500 次迭代是准确地表示性能函数所必需的），平均值和方差的差异分别小于 1% 和 3%，同时在中央处理器时间上获得明显增益（12.2s 与 845.3s）。对于噪声模拟，仅包括发射和热噪声源，因为闪烁噪声源会由于闪烁噪声源同步器网络引入的大的时间常数而增加了模拟时间。假设时间序列 $\boldsymbol{r}$ 由平滑变化的函数加上加性高斯白噪声 $\boldsymbol{\chi}$（见图 4.36a）组成，并且在任何点 $\boldsymbol{r}$ 都可以用低阶多项式（局部泰勒级数逼近）来表示。噪声估计对于函数或其衍生物中的几个任意尖峰或不连续性是稳健的（见图 4.36b）。这是通过修剪分布的尾部，然后使用百分位数来反转所需的方差实现的。然而，这个过程增加了模拟时间并在结果中引入了偏差，而且该偏差是串联长度的函数，因此噪声估计的最后步骤是从估计的方差滤除预测的偏差。噪声方差的估计结果如图 4.37a 所示。在图 4.37b 中，绘制了每个时间步长中模型概率经滤波的分段线性和平滑估计。可以看出，分段线性估计需要一些时间来响应模型转换。如预期的那样，平滑度降低了这个滞后，同时给出了更好的整体性能。

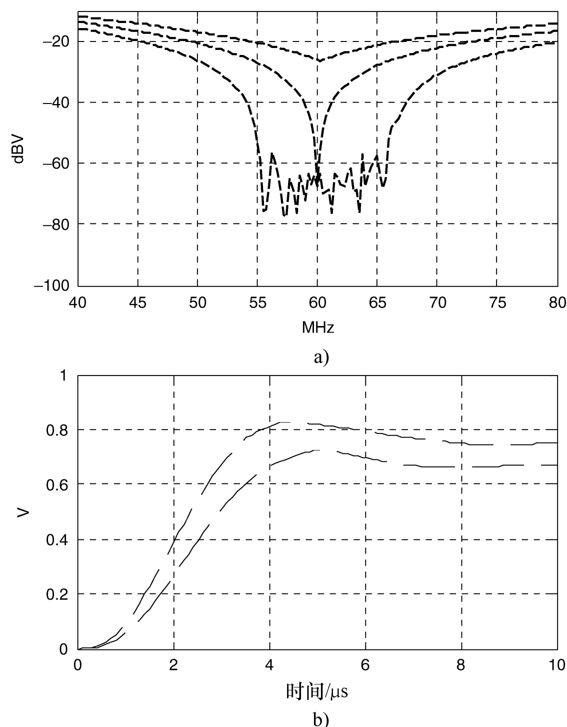


图 4.35　a）G_m－C－OTA 双二阶滤波器频率响应　b）G_m－C 双二阶滤波器的瞬态响应，显示最小值和最大值

用于估计参数变化的质量标准是方均误差准则，主要是因为它表示误差信号中的能量，易于区分并提供分配权重的概率（见图 4.38a）。明确执行的 Bartels－Stewart

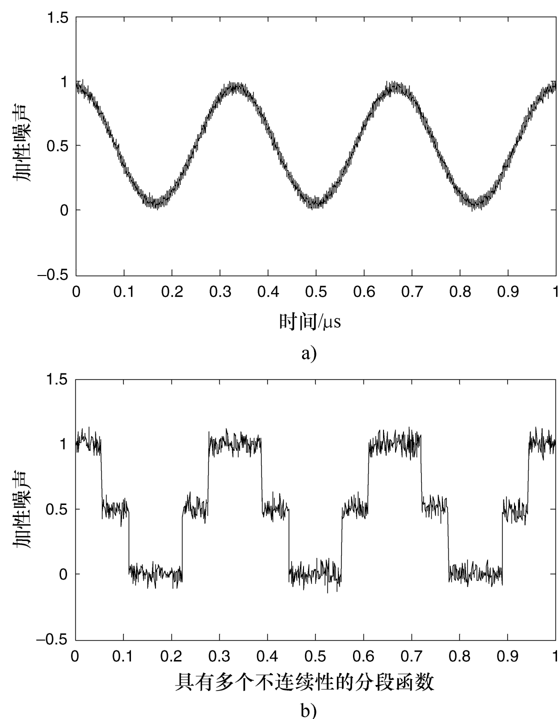


图 4.36　a）具有加性高斯噪声的时间　b）具有多个不连续性的函数的噪声估计

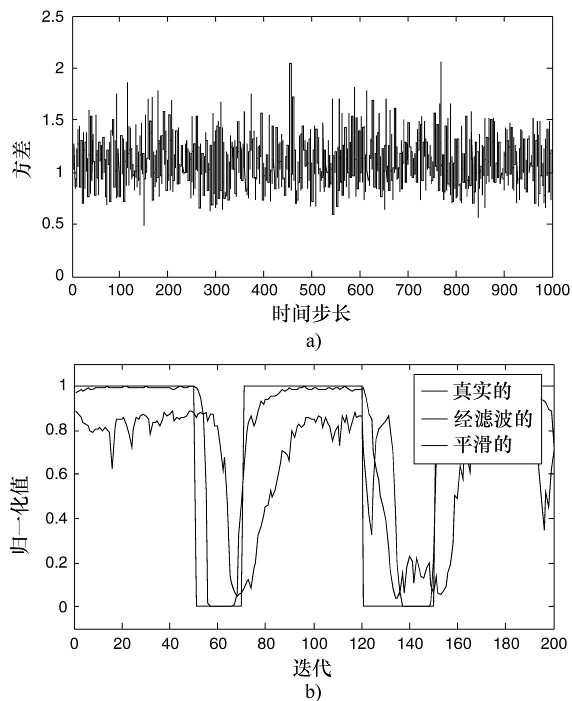


图 4.37　a）噪声方差的估计　b）模型的概率

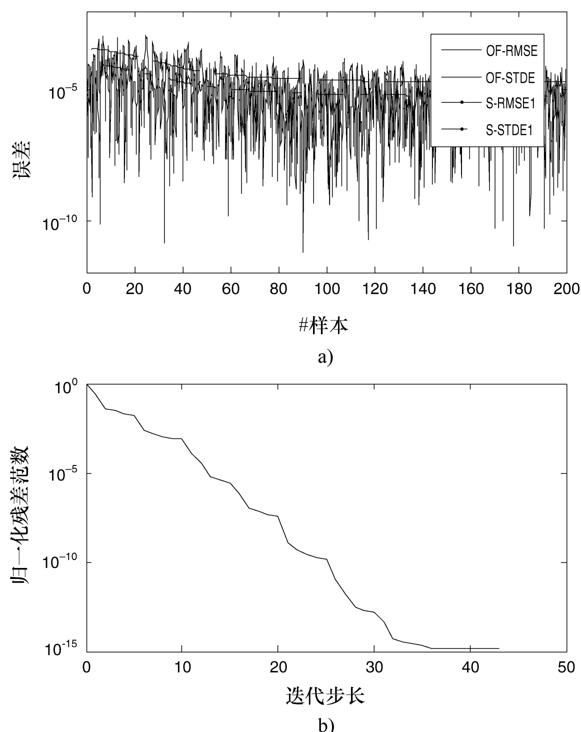


图 4. 38　a）以最佳分段逼近和平滑算法估计参数变化的 RMSE　b）停止标准：最大迭代步数

算法和 Hammarling 方法（如在 MATLAB 软件中完成的）可以利用包含多级缓存存储器的调制解调器高性能计算机硬件的优点。对于这里呈现的递归算法，可以看出，更快的最低阶别的核心求解器（具有合适的块大小）产生了三角矩阵方程的有效求解器。对于具有当前 N_c 和节点 N_v 分支的大维度的模型，通常矩阵 $\boldsymbol{P}_r$ 具有带状或稀疏结构，并且由于 Schur（或 Hessenberg – Schur）分解需要 $O(N^3)$ flops（每秒浮点运算次数），成本昂贵，因此应用 Bartels – Stewart 类型算法变得不切实际。与标准的 MATLAB 函数 lyap. m 相比，中央处理器时间表明直接计算 Cholesky 因数的速度大约为 N flops，当原始矩阵方程为实数时，使用实数算法比使用复数运算更快。因此，在这种分析中，当 N_c 和 N_v 较大时，采用迭代投影方法，包括所提出的 Bartels – Stewart 类型算法适用于缩小的中小矩阵方程。

对于其 $\boldsymbol{LL}^{\mathrm{H}} \sim \boldsymbol{K}$，Lyapunov 方程的近似解由低阶 Cholesky 因数 $\boldsymbol{L}$ 给出。$\boldsymbol{L}$ 的列通常比行少。一般来说，$\boldsymbol{L}$ 可以是一个复数矩阵，但是 $\boldsymbol{LL}^{\mathrm{H}}$ 是实数矩阵。更准确地说，由迭代传递的复数低阶 Cholesky 因数被转换成相同大小的实数低阶 Cholesky 因数，使得低阶 Cholesky 因数产物是相同的。但是，这样做需要额外的计算。迭代会在文献［367］中定义的迭代步长（见图 4. 38b）后停止。与 1500 次蒙特卡洛迭代相比，平均值和方差分别小于 1% 和 4%，减少了相当多的中央处理器时间

（1241.7s 与 18.6s）。

4.6　小结

与复杂混合信号电子系统的测试和调试相关的越来越多的成本促进了各种研究工作，以探索有效的测试方法。结构化并基于故障模型的测试已经被认为是昂贵的规格测试的有希望的替代或补充。所提出的廉价结构方法旨在促进晶片级测试中的测试模式生成，从而提供测试过程的有效性和完整性的定量估计。在基于故障的结构测试中，故障模型不仅可以更清楚地描述故障影响，而且可以提供测试激励的线索，也可以修改输入激励并估计故障覆盖范围。对于具有多个测试模式发生器和基于通过/失败决策的故障模拟器的数字电路而言，这种方法已经很好地建立，比如单一故障模型的情况。然而，最近的研究表明，可以通过廉价的准静态测试或电源电流监测来检测改变晶体管级模拟电路的工作点的故障。考虑到这一点，故障模型利用电路准静态节点电压的灵敏度来处理变化，从而处理电流偏差，以区分故障。利用 Karhunen－Loève 扩展方法，将晶体管的参数模拟为空间域上的随机过程，从而使芯片上任意两个器件的参数成为两个不同的相关随机变量。

在基于故障的模拟测试方法中，将来自制造工艺中的被测设备的响应与预编译的故障响应进行比较。已经认识到，模拟电路中的故障可能呈现连续的值，并且对于线性模拟电路已经提出了频带故障方法，其中每个故障的签名采用频带的形式，并且在对频带比较的基础上对通过/失败进行决策。由于模拟故障仿真中的故障列表通常很大，因此快速有效地生成公差窗口非常重要。因此，通过对性能函数属性进行数学评估，根据由设备不匹配产生的物理容差极限，计算出电路响应的界限，从而节省了中央处理器时间。计算所有激励的贝叶斯风险和故障列表中的每个故障，贝叶斯风险最小的激励被认为是所考虑的故障的测试矢量。在贝叶斯测试的特殊情况下，如果先验概率未知，或贝叶斯风险难以客观评价或设定，Neymon－Person 统计检测器提供了一个可行的解决方案。考虑到过程扩展对故障电路响应的潜在故障屏蔽效应，产生了这种测试，并且对测试进行了评估。测试发生器技术还允许测试程序仅测试由制造工艺引起的最可能的故障组。

为了克服基于结构电流测试的系统测试限制，通过功率扫描 DfT 技术，将受测试器件分为仅限于附加硬件的较小块。现代片上系统（SoC）核心的种类和数量及其性质类型，比如模拟，符合单个块的测试阶段。模拟领域的问题在于，由于很可能会发生快速的信号衰减，所以在芯片上和跨越其边界的外部长距离扫描信号要困难得多。DfT 旨在通过提供观察各个核心（或部分）的电流（或电压）签名的手段来促进结构性，而不是观察整个模拟 SoC 的电流（或电压）签名。此外，如在多步 A－D 转换器的情况下，这样的 DfT 减少了转换范围之间的重叠的影响，以获得高线性，其可以掩盖故障或给出错误的误差解释。测试模式发生器的结果表明，

12 位两步/多步 A – D 转换器的各种模块中的大多数准静态故障取决于分区程度，与传统的基于功能直方图的静态或基于 FFT 的动态 A – D 转换器测试相比，可以通过电源电流结构测试来检测，测试时间至少缩短至 1/20。只有准静态方法的局限性是由于响应的动态性质导致的，比如比较器决策阶段和存储锁存器的非活动部分中的故障。此外，获得的故障覆盖表明，如果没有额外的特定于应用的调整，基于电阻的 D – A 转换器不适用于当前基于签名的测试。

除了 DfT 之外，BIST 方法同样是有助于降低测试开发和调试成本的有效途径。模拟电路通常使用功能方法进行测试，通常需要处理大量数据以及高精度和高速 ATE。此外，这些模拟核心通常对噪声和负载效应非常敏感，这限制了外部监测并使其测试成为困难的任务。BIST 方案包括将所需测试资源（测试激励生成、响应评估、测试控制电路等）的一部分从 ATE 移动到芯片。从这个角度来看，周期信号的片上评估和产生无疑是有益的，因为大多数模拟系统可以使用这种激励进行表征和测试（频域规格、线性等）。本书继电器上的正弦波信号产生方法是可编程积分器，它允许离散时间（高分辨率但低速）或连续时间（高速但低分辨率）周期性模拟信号产生。该方法具有数字编程和控制能力、鲁棒性和减少面积开销的特性，使其适用于 BIST 应用。为了确定编码转换电平以估计 A – D 转换器的线性，与其他统计算法相比，直方图减少了采样数量和测试持续时间。然而，为了在 A – D 转换器范围内实现仿真激励条件，输入信号的线性至少要比测试器件高 3 位以上。对于高分辨率 A – D 转换器的测试，这是非常难以实现的。持续的研究工作在探索放宽这种源线性要求的方法。为此，介绍了几种方法的调查和分析。另外，给出了环回方法的一些介绍，该方法的配置可以实现全数字测试。

统计模拟是评估成功的高性能 IC 设计的重要步骤之一，因为工艺变化和电路噪声在当今的深亚微米技术中严重影响器件性能。在本书中，将集成电路描述为一组随机微分方程。对于广义静态随机过程，比如过程变量和/或白噪声，引入高斯闭合近似以获得闭合形式的矩阵方程。作为代表性的例子，以连续时间二值滤波器为例，对多个电路进行了评估。结果表明，建议的数值方法为各种尺度集成电路的过程变化和噪声分析提供了准确、有效的随机微分解决方案。

第5章　多步A-D转换器的调试

5.1　传感器网络概念

CMOS技术正稳步前进到更精细的几何结构，并提供更高的数字容量、更低的动态功耗和更小的面积，从而将整个系统或大部分系统集成在同一个芯片上。然而由于技术规模，IC越来越容易受到工艺参数变化和噪声的影响，如电源噪声、串扰降低了电源电压和阈值电压操作。同样，制造阶段存在缺陷，工厂的产量在50%~95%，取决于工艺技术和芯片面积的成熟度，并使用了用于65nm以下CMOS技术的193nm光刻，其中分辨率增强技术不再适用于精确的器件定义，明显影响了电路性能。随着系统复杂性的增加和对内部节点的访问减少，准确测试这些设备的任务正在成为一个主要瓶颈。完全指定混合信号电路性能所需的大量参数以及这些电路中的模拟和数字信号，使得测试成本高昂且耗时。特别是对于纳米CMOS IC，大量具有增加的金属密度的金属层阻止了用于调试的信号物理探测。由于参数变化取决于不可预见的操作条件，尽管它们通过了标准测试程序，芯片也可能会出故障。

模拟电路的传统测试方法依赖于规格测试，其中检查一些或所有响应参数是否符合设计规范。然而规格测试是耗时的，因此也是昂贵的。尽管已经采取了几项尝试[368-377]来减轻A-D转换器测试和调试日益增加的测试困难，但是这些方法都没有提供早期识别工艺参数变化的可能性。在文献［368］中，利用了DSP数据分析技术，然而该技术需要A-D转换器和D-A转换器的强大计算能力和片上可用性。在文献［371］中，处理核心电路被并入到基于VXI总线的系统中，该系统执行静态和动态测试。文献［372］开发了一种具有外部仪器的类似系统。必须收集大量采样数据以支持这两种方法。文献［373］中的方法依赖于模拟电路和参考电压进行测量，并允许测试只基于D-A转换器的A-D转换器。在文献［374］的振荡测试方法中，不评估控制逻辑延迟和不完美的模拟BIST电路对测试精度的影响。在文献［375］中，通过在外部监测LSB来测试A-D转换器的线性。在文献［376］中，提出了一种用于D-A转换器和A-D转换器BIST的有效多项式拟合算法。在文献［377］中研究了基于直方图的BIST方法在正弦波输入测试信号的情况下的可行性。将顺序分解应用于测试程序，尽管减少额外的电路意味着需要大量的输入测试模式来完成测试。

本章介绍了多步A-D转换器中每个模拟组件的功能故障会影响传输功

能[378]，并且分析了此属性[379]。为了加强对温度、阈值电压等重要设计和技术参数的观察，提供有价值的信息用于指导测试，并允许对所选性能数据进行估计，专用传感器被嵌入到功能核心中[380,381]。此外，通过监控片上工艺偏差，该方法旨在促进对工艺参数变化的快速识别，并提供可靠和互补的方法来快速丢弃晶元和最终测试中的故障电路，而无需测试整个器件。这种测试方法降低了与生产测试相关的成本，因为故障电路的早期检测可避免运行传统测试的重要部分。在晶元级检测故障设备具有其他的优点，可以避免封装成本（通常占总系统成本的 25%）。经济考虑只是提供晶片级工艺变化可观测性的优点之一。其他优点包括增加故障覆盖率和改进的工艺控制、诊断能力、降低 IC 性能表征时间周期、简化测试程序开发和更简单的系统级诊断。

5.1.1　观察策略

从电路设计的角度来看，参数化工艺的变化可以分为晶片间和晶片内的变化。诸如温度、器件性能、晶元抛光、晶元放置等晶片间变化对于给定电路中的所有晶体管均等地产生影响。为了电路设计的目的，通常假设每个元器件或晶片间变化中的影响来自不同的物理和独立来源，因此变化分量可以由电路的参数平均值的偏差来表示。晶片内的变化是在晶片内发生的偏差，这些变化可能来自制造步骤（光学邻近效应、掺杂剂波动、线边缘粗糙度等），并且这些非理想性的影响可能限制能被处理的最小信号和电路性能的准确性。对于线性系统，器件的非线性产生了信号的失真分量，这些失真分量限制了可以正确处理的最大信号。虽然某些电路技术，比如使用偏置电流的小调制指数，来减少失真影响非理想性，大的器件尺寸会降低不匹配度，并利用低阻抗电平来限制热噪声信号，但是对系统的功耗和运行速度产生了重要影响。

一般来说，混合信号设计的边距在很大程度上取决于工艺参数及其在晶片间和晶片内的分布，这对于不匹配特别有关系。这些波动的测量对于稳定地控制晶体管性能和统计监测是至关重要的，并且这些影响的评估使得能够有效地开发测试模式和测试调试方法，并且确保良好的产量。IC 制造设施试图通过应用各种方法来分析和控制其流程，以实现持续的质量保证。一些质量控制工具包括直方图、检查表、帕累托图、因果图、缺陷密度图、散点图、控制图、时间序列模型和诸如工艺能力指数和时间序列的统计质量控制工具。要求从每个晶元上的所有测试晶片测量的过程控制监视（PCM）数据（比如 MOS 晶体管阈值电压、栅极宽度、电容 Q 值、接触链电阻、薄膜电阻性能等）能够利用这些质量控制工具。决策产品或工艺是否可以接受绝不是一件容易的事情，比如如果工艺/产品是可控的和可接受的，或可控的但不可接受，或失控的但可以接受。

当不确定时，做出决定可能需要对工艺和/或产品进行额外的测试。通常设计用于晶元的掩模，使得通过 IC 制造工艺完全加工后的晶元将包含若干测试晶片。

测试晶片消耗的面积通常相当大，即有时可以与生产几个普通的晶片相当。从测试晶片测量电气特性给出了对批次处理的质量估计，以及满足先验规范的设备要求，比如温度范围、速度。最后，在晶元探测阶段对 IC 器件进行块级的功能测试，并将每个晶元的产量附加到数据上。测试仪创建合适的测试模式并在线连接信号发生器。它将测量信号数字化，最后根据测试限制确定器件是否可以执行。然后，切割晶元，将有效晶片组装。最后重新测试，通常在升高的温度下进行，以确保它们在规格范围内。

在半导体制造设备中生产的芯片晶元通常经过电气和光学测量，以确定电气参数在允许的极限内适合的程度。产量由切割前进行的晶元探测（电气测试）的结果决定。产量信息的最简单形式是器件的通过/失败统计，其中产量通常表示为晶元上良好晶片的百分比。原则上，产量损失可以由几个因素导致，比如晶元缺陷和污染、IC 制造工艺中的缺陷和污染、工艺变化、封装问题以及设计误差。不同阶段的不间断测试对于降低成本和提高质量至关重要。图 5.1 描绘了晶片晶元探测的观察策略框图。内置工艺变化感测电路被放置在 DUT 的每个角落或嵌入到 DUT 自身中，因为它可以最大限度地提高由工艺梯度引起的工艺变化的感测能力。根据 DUT 的尺寸，附加的传感器可放置在测试器件内和周围，来提供额外的统计质量。图 5.2 描述了应用于两步/多步 A – D 转换器的测试策略框图。

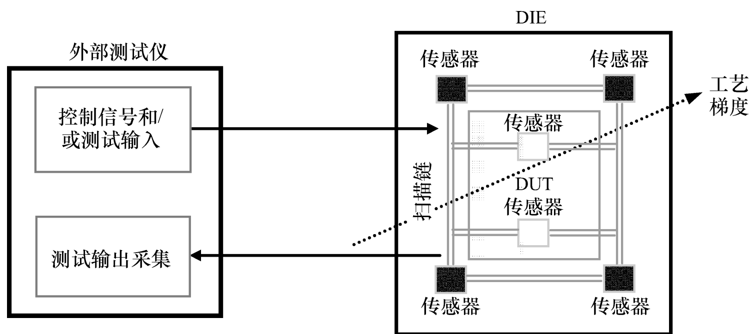


图 5.1 观察策略

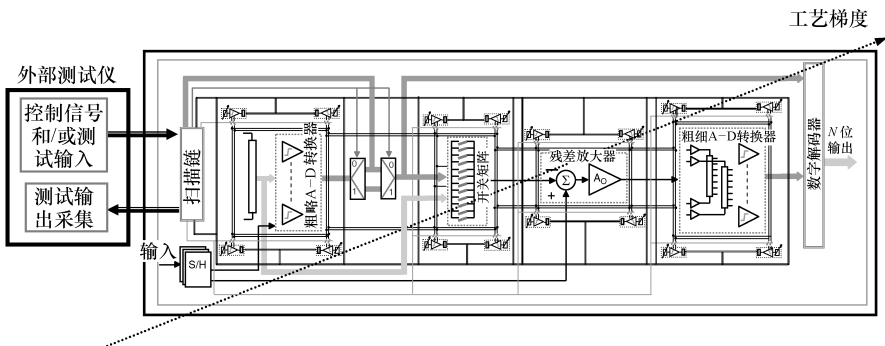


图 5.2 两步/多步 A – D 转换器的测试策略框图

5.1.2　集成传感器

完整的测试方案包括晶片级工艺监视器电路、检测器、参考梯形和开关矩阵，以选择决策窗口的参考电平、与外界的接口以及测试期间顺序事件的控制块，扫描链传输通过/失败决策和外部测试器如图 5.3 所示。模拟决策通过数据决策电路转换成通过/失败（数字）信号。接口电路允许测试的外部可控性，并且还将检测器的决定提供给扫描链。测试控制块（TCB）通过测试多路复用器（TMX）选择各个晶片级工艺监视器电路测量。选择、参考和校准信号通过该接口电路提供给检测器。数字控制逻辑可插入到芯片中或在外部完成。

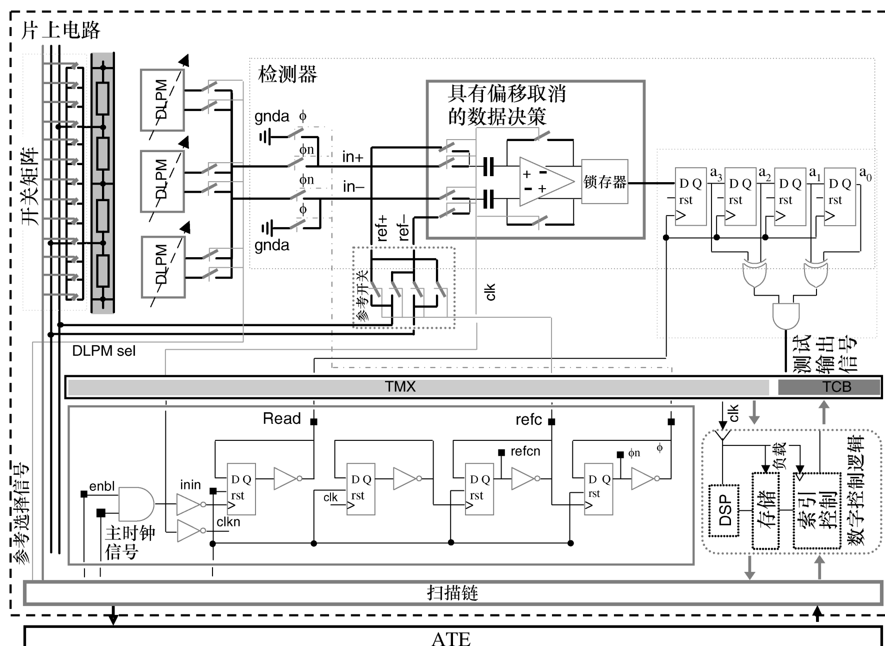


图 5.3　测试方案框图[379]

可以在被测器件从选定的结构中提取晶片级过程监控（DLPM）电路。这个选择虽然很容易泛化，但依赖于本身对测试器件的认识和分析，产生的 DLPM 电路和参考电压与被研究的被测器件规格和性能数据有关。或者，DLPM 电路也可以被设计为晶体管对的阵列，每个有不同的尺寸，其中通过内部解码/选择电路选择一对 n 沟道和 p 沟道晶体管。每个晶体管对的加载可以从被测器件提取或独立设置。数据检测器将 DLPM 的输出与参考窗口进行比较，该参考窗口的电压值（对应于所需的 LSB 值）从参考梯形中选择或从外部设置。定义决策窗口的参考电压与被研究的被测器件中的规格和性能数据有关。通过扫描参考电压直到决策发生变化，就可以检测出被测试的 DLPM 电路的公差，而这又是被测器件中的实际电路元器件的

镜像。该信息可用于评估整个被测器件是否可能有故障，或者调整 ATE 中的测试极限以测试被测器件。

DLPM 电路测试基于窗口的通过/失败条件，而不是单个阈值。与单阈值决策相反，针对决策窗口的测试需要微分测量。由于测量的不同性质，每次测试需要两个具有互换检测器参考的运行，以确保正确的通过/失败决策。这种双重测量协议允许定义通过/失败窗口，而不是单个通过/失败级别。由于每次运行的结果是一位数字信号，所以测试结果可以在向检测器添加一些简单逻辑的芯片计算，或者使用测试仪本身的资源来进行片外处理。需要阈值为 $m_{t1,2l}$和 $m_{t1,2r}$的互换数据决策电路参考的两个运行 m_{t1}和 m_{t2}。如果测试成功，则测量点要加上由噪声引起的不确定性，也就是 $m_{t1,2}+\varsigma$，它将会在由（$m_{t1,2l}$，$m_{t1,2r}$）给出的范围内，其中ς是由噪声引起的不确定性。因此，以下不等式成立：

$$\begin{gathered} m_{t1,2l} \leqslant m_{t1,2} + \varsigma \leqslant m_{t1,2r} \\ m_{t1,2l} - \max(\varsigma) \leqslant m_{t1,2} \leqslant m_{t1,2r} - \min(\varsigma) \end{gathered} \tag{5.1}$$

假设噪声ς落在（$-\Delta$，Δ）的范围内，在存在测量噪声的情况下，$m_{t1,2}$满足以下不等式检测阈值：

$$m_{t1,2l} - \Delta \leqslant m_{t1,2} \leqslant m_{t1,2r} + \Delta \tag{5.2}$$

定义决策窗口的参考电压与被测器件的规格和性能数据有关。通过扫描参考电压直到决策发生变化，可以提取有关工艺变化的信息。对抗工艺变化时，检测器分辨率和鲁棒性方面的性能是预期应用的主要关注点。通过自动归零方案提供了对抗工艺变化的鲁棒性。如果需要更好的分辨率，则通过增加输入电容的值和/或前置放大器增益，可以在面积开销方面提高自动归零的效率。然而，自动归零方案不能保证比较器的功能。比如，影响输出存储器元件的卡住故障将不会被修复，并且会导致检测器故障。为此，必须将测试检测器功能的先前测试阶段添加到测试协议中。图 5.4 显

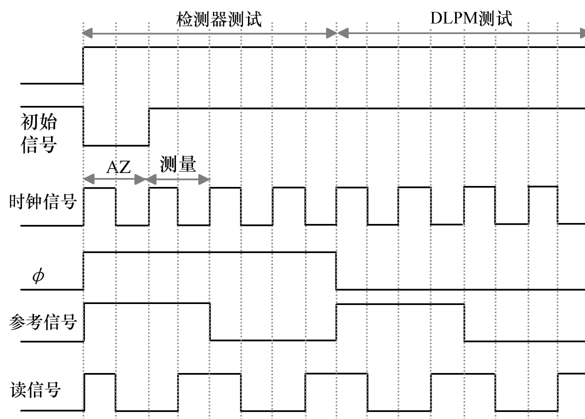
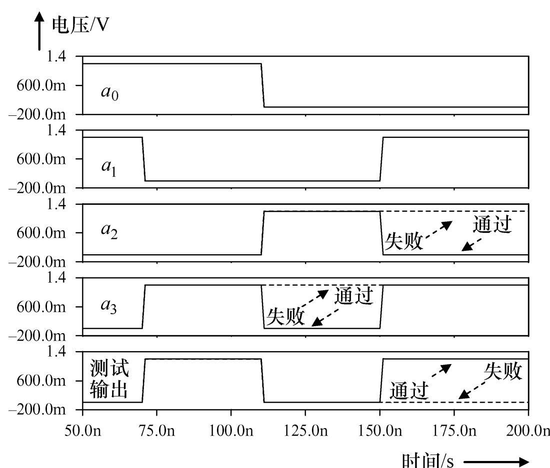


图 5.4　时钟方案

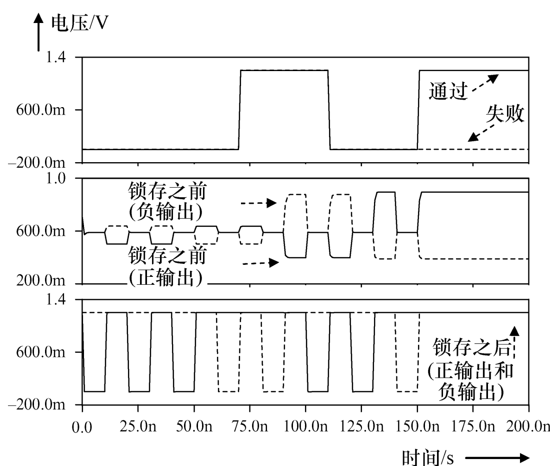
示了所需控制信号的时序图（外部和片上生成的）。当启动信号为高电平时，系统进入测试模式。在测试模式下，可以根据信号 ϕ 的状态来区分两个主要相位：如果 ϕ 为高电平，则检测器的输入端短路到模拟地，以对检测器本身进行测试；而如果 ϕ 为低电平，DLPM 电路连接到检测器并进行测试。每一个阶段都采用 4 个主时钟周期：两个参考信号设置为比较窗口的上限；另外两个参考值设置为下限。在检测器自动测试期间，由于输入设置为零，参考值的更改将导致输出改变状态。

在 DLPM 电路测试期间，DLPM 的输出顺序与参考值进行比较，以确定测量是否在预期窗口内。在这两种情况下，由标记为读的信号触发的简单移位寄存器会获取检测器输出。读信号的上升沿位于检测器的保持状态。测试输出将是 4 位信号，标记为 $a_0a_1a_2a_3$，它编码 4 种不同的状态。测试的总体结果由 $T=(a_0 \oplus a_1)\&(a_2 \oplus a_3)$ 给出。该测试结果可以在 DSP 单元中片上计算，如图 5.3 所示，也可以在片外计算。一旦结果可用（测试结果本身或没有处理的 4 位数 $a_0a_1a_2a_3$），它可以被馈送到扫描链方案以供其后续提取。



a)

请注意，与扫描链相关的控制信号在时序图中未显示。此外，重要的是要注意，系统具有额外的测试模式，以检测测试方案中使用的所有触发器（简单起见，未在图中表示）。当该测试模式被激活时，触发器与电路的其余部分隔离，并作为移位寄存器连接在一起。此外还可提供额外的测试输入/输出。已经进行了不同的模拟来验证功能性，如图 5.5 所示 。“通过”DLPM 电路测试事件表示比较窗口内的测量，而“失败”DLPM 测试事件因稍窄的比较窗口而导致。在评估结束时，测试输出是一个去/不去数字信号，结合了检测器测试和 DLPM 电路测试的结果。



b)

图 5.5　a）作为触发器输出的函数的测试结果　b）比较器切换

请注意，时钟发生电路的实现需要一个控制信号，将 D 触发器中的初始条件设置为已知值。该信号可以在外部或内部产生，比如可以由启动信号的上升沿触发。所有使用的触发器都是可扫描的，并且有一个触发器测试启动信号用于此目的。对于比较窗口的正确定义，必须考虑在实际设计中实现的数字校正和偏移消除。有关如何定义比较窗口的详细说明，请参见 5.1.3 节。

5.1.3 决策窗口和应用限制

在多步 A－D 转换器中，通过广泛使用校正和校准机制可获得高线性。为这种 A－D 转换器提供结构性 DfT 和 BIST 能力是困难的，因为必须考虑校正机制的影响。必须考虑两个阶段转换范围之间的重叠，否则可能屏蔽故障或给出不正确的故障解释。尽管多步 A－D 转换器利用相当数量的数字逻辑，但其大多数信号处理功能都是在模拟域中执行的。因此，转换过程容易受到模拟电路和器件损害。存在于多步 A－D 转换器中每个阶段的主要误差源是系统决策级偏移误差 λ、级增益误差 η 以及内部参考电压 γ 中的误差。偏移误差包括由零件不匹配、自发热影响、比较器迟滞或噪声引起的偏移。增益误差包括放大电路中的所有误差，比如运算放大器的技术变化和有限增益和偏移。参考电压误差由电阻梯形变化和噪声以及开关矩阵中的误差引起，主要是由于传输栅中的电荷注入。输入参考误差 e_{in} 等于所有单个误差源的总和，可以表示为

$$e_{\text{in}} = e_1 + \sum_{i=1}^{k-1} \frac{e_{i+1}}{G^i} \quad e_i \leqslant \frac{V_{\text{FS}}}{2^{N+1}} G^{i-1} \tag{5.3}$$

这是每个误差源产生的 A－D 转换器误差的极限，小于 1/2 LSB，其中 k 是级 i 的数量，V_{FS}是满量程输入信号，G 是级的增益。决策级偏移会移动 A－D 转换器决策电平。如果移位第一级 A－D 转换器决策电平的所有误差总和没有超出校正范围，则通过数字校正可以消除第一级 A－D 转换器判决级偏移的影响，使输入参考的偏移作为子范围偏移的唯一影响。残留放大器上的偏移给出了相对于前级 A－D 转换器和次级 D－A 转换器范围的下一级 A－D 转换器参考的直流偏移。通过检查理想残差与图 5.6a 所示输入的关系，来研究粗略 A－D 转换器偏移的影响。请注意，故障会导致超出范围和电平转换误差。包括校正逻辑在内的 A－D 转换器的其余部分处理这些数据，如图 5.6b 所示。数字校正不掩盖所有误差，因此电路是出故障的。另一方面，由于窗口比较器阈值已被超过，故障也是检测到的故障。

D－A 转换器偏移可以由输入相位偏移和与粗略 A－D 转换器串联的偏移量代替，如图 5.7 所示。由于判决级偏移，每个 A－D 转换器比较器的输入端的未补偿剩余偏移量由 ${V_{\text{offNC}}}^{\text{D}} = {V_{\text{off}}}^{\text{D}}/G^{i-1}$给出，其中 ${V_{\text{off/NC}}}^{\text{D}}$ 是未补偿偏移参考输入，${V_{\text{off}}}^{\text{D}}$ 是决策级偏移，G^{i-1}是前一级的增益。添加 1/2 LSB 最大偏差导致比较窗口的定义为

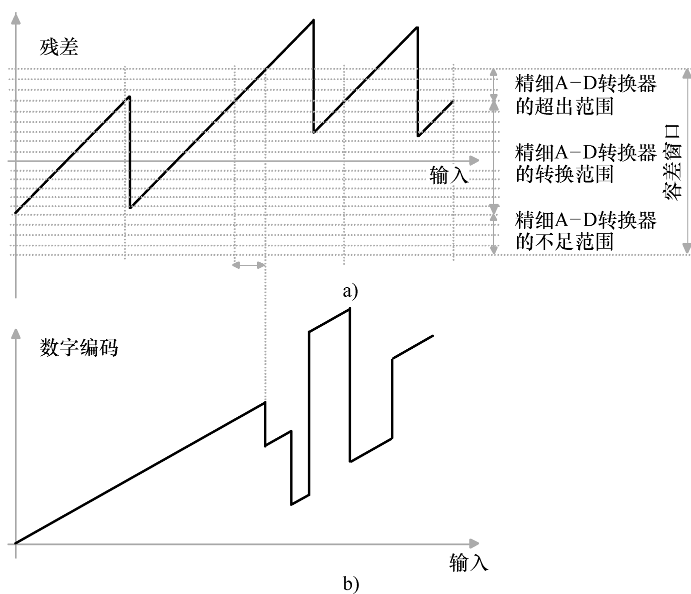


图 5.6　a）存在偏移误差时的粗略 A－D 转换器转换特性　b）数字校正 A－D 转换器传输特性误差

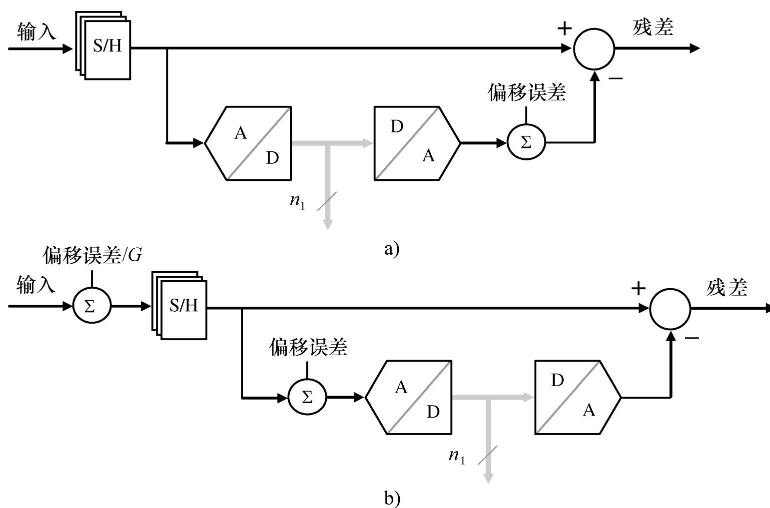


图 5.7　a）D－A 转换器中具有偏移误差的第一级 A－D 转换器框图
b）具有重新排列的偏移误差的等效图

$$\Delta V = G^i V_{\text{off}}^{\text{C}} \Rightarrow -\frac{V_{\text{FS}}}{2^{N+1}} G^i G^{i-1} \leqslant \Delta V \leqslant \frac{V_{\text{FS}}}{2^{N+1}} G^i G^{i-1} \tag{5.4}$$

式中，G^i 是基于决策级的 DLPM 电路的增益。

增益要求很简单。每级增益的误差会导致多步 A－D 转换器的输入到输出的传

输特性的非线性。残差放大器中的增益误差会缩放残差信号的总范围，并在添加到任何非零残差时导致下一级的模拟输入误差，这将导致残差信号不适合精细 A－D 转换器范围。如果下一级的模拟输入的误差超过 2^r 中的一部分（其中 r 是在级间增益误差之后剩余的分辨率），则会导致转换误差，而不会被数字校正所消除。更多的是，如果级间增益小于理想值，则可能导致每个 MSB 转换处的固定数量的缺失编码[55]（即在位的每个转换处的常量 DNL 误差或 INL 常量跳转）。双残差信号处理[61]将残差放大器的误差扩展到整个精细范围，从而提高线性。其中 D－A 转换器增益误差 Δ_i 已被 3 个增益误差代替：与级输入串联、与粗略 A－D 转换器串联以及与级输出串联，如图 5.8 所示。如果由粗略 A－D 转换器决定电平移位的所有误差的组合不超过校正范围，则通过数字校正消除了与粗略 A－D 转换器串联的增益误差的影响。剩余的两个增益误差有助于跨级增益误差，与残差放大器增益误差相比，这对于 A－D 转换器的线性有相同的影响。

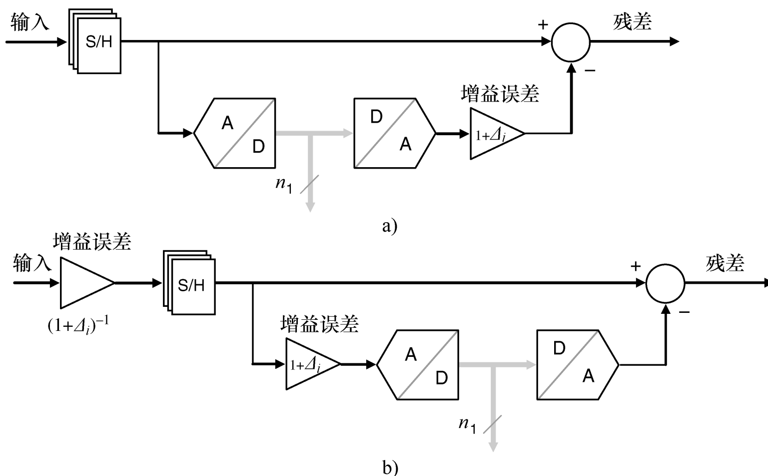


图 5.8 a）具有 D－A 转换器增益误差的 A－D 转换器的第一级框图
b）具有重新排列的增益误差的等效图

精细 A－D 转换器范围内的误差产生了类似于残差放大器增益误差的误差。因此，减法器和放大器的增益应该是精细 A－D 转换器范围。为了将产生的非线性限制到 ±1/2LSB，应有 $|G\sigma_i V_{res}/\leqslant G\times(V_{FS}/2^{N+1})|$。残差放大器中的误差与 $G\times V_{res}$ 成比例，因此当 $G\times V_{res}$ 最大时，增益误差的影响最大。D－A 转换器的参考和输入信号以及 D－A 转换器输出的减法确定了总 A－D 转换器可实现的精度，并有下式：

$$V_{res}=GV_{in}-\mathrm{DAC}_{out}-\delta_1 \tag{5.5}$$

式中，DAC_{out}是 D－A 转换器的理想输出；G 是增益；δ_1 是 D－A 转换器的非线性误差。

D－A 转换器误差导致残差转移曲线的每个线性段由不同的静态随机值向上或

向下移动。因此，D－A 转换器误差在每个 MSB 转换时都会导致不恒定的丢失编码。为了将产生的 D－A 转换器的非线性限制为小于 1/2 LSB，则有 $|\delta_1|_{\min} \leqslant V_{FS}/2^{N+1}$。因此，内部参考电压偏差的比较窗口由下式给出：

$$\left.\begin{aligned} \Delta V|_{\max} &= V_{FS}\frac{\Delta R}{\sum\limits_{j=1}^{N} R_j} \\ \Delta V &= I_{ref}\Delta R \end{aligned}\right\} \Rightarrow -\frac{I_{ref}\sum\limits_{j=1}^{N} R_j}{2^{N+1}} \leqslant \Delta V \leqslant \frac{I_{ref}\sum\limits_{j=1}^{N} R_j}{2^{N+1}} \tag{5.6}$$

式中，I_{ref}是电阻梯形 DLPM 电路中的参考电流；V_{FS}是转换器的满量程；R_j 是电阻梯形中每个电阻的值；N 是梯形电阻中的总电阻。

5.1.4　DLPM 电路设计

为了说明这个概念，只考虑一个简单的 4 位闪存级，如图 5.9 所示，由一个参

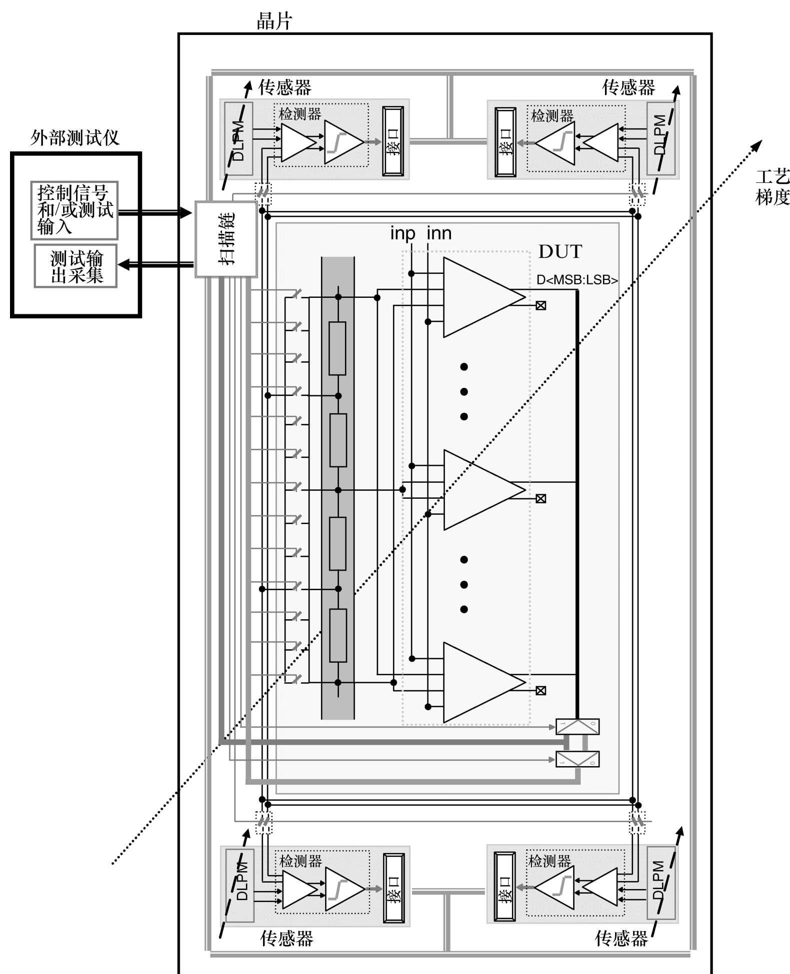
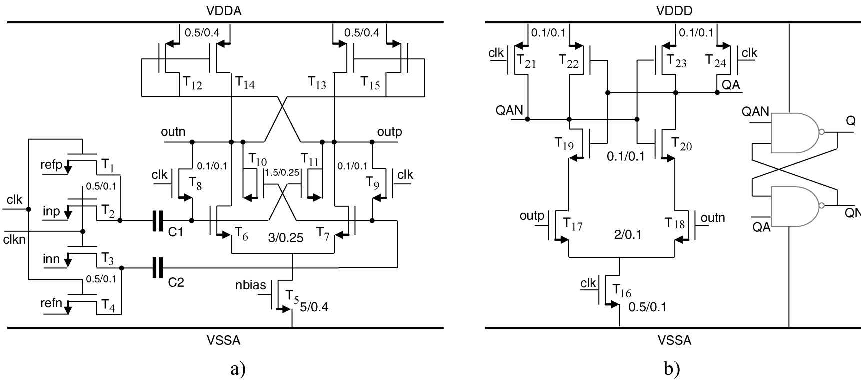


图 5.9　具有内置传感器的闪存 A－D 转换器

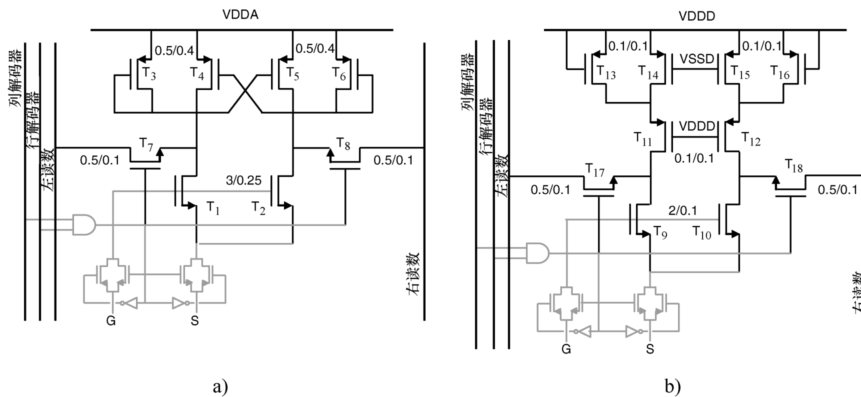
考梯形和 16 个比较器组成。从以前的分析可以得出结论，增益、决策和参考梯形对转换器性能的转换至关重要。为了模拟被测器件的测试行为，基于级增益的和基于判决级的 DLPM 从被测器件中提取（复制），如图 5.10 和图 5.11 所示。其中基于级增益和基于判决级的 DLPM 与实际的闪存转换器比较器匹配。



a) b)

图 5.10　具有偏移校准的数据决策

a）前置放大器和偏移校准电路　b）数据决策级



a) b)

图 5.11　DLPM

a）基于级增益　b）基于决策级

使用的锁存器类型由级的分辨率决定。对于每级的低分辨率量化，动态锁存器更常见，因为其消耗的功率比静态锁存器少。当锁存电路再生差分信号时，再生节点上的大电压变化将引入瞬时大电流。通过晶体管的寄生栅极 – 源极和栅极 – 漏极电容，瞬时电流耦合到比较器的输入，使得干扰不可接受。在同时打开或关闭大量比较器的闪存 A – D 转换器中，来自再生节点的变化的总和可能变得意想不到，并且直接导致错误的量化编码输出[172]。正是由于这个原因，静态锁存器对于更高分辨率的实现是优选的。确定比较过程中功耗的关键要求是准确度，即比较器在给定

时间段内做出决定的准确度。由于典型的交织耦合锁存比较器具有较大的失调电压，所以在再生锁存器之前放置几个前置放大器以放大信号，来进行精确比较。再生锁存器中的功耗与前置放大器相比相对较小，因为在再生锁存器中仅消耗动态功率，而低失调前置放大器级通常需要直流偏置电流。因此，功耗与需要多少前置放大器级直接相关，并且在再生比较器进行可靠的比较之前，级数由所需的放大系数决定。如果需要从单级前置放大器获得高增益，则必须使用大的负载电阻值，这反过来会在输出端增加 RC 常数来降低放大过程。在这样的情况下，增益分布在几个级联的低增益级之间，以加速此过程。在此过程中，必须注意设计低噪声前置放大器级，因为其自身的电路噪声通过其增益被放大。比如，如果输入信号保持恒定接近比较器阈值，则来自两个电路和输入采样开关的热噪声也通过前置放大器增益放大。除了前置放大器通常在开环配置，前置放大级通常用源极耦合对实现，其功率对热噪声关系类似于关键模块是高增益运算放大器的 S/H 电路情况。此外，必须考虑噪声，因为它看起来像比较器缓慢变化的高速运行偏移。周期性偏移消除的速率远高于 $1/f$ 噪声角频率，通常是每个时钟周期可以减少这种影响。因为与 S/H 电路反馈中的放大器噪声相比较，所以忽略这里的噪声分析。

影响比较器精度的另一个主要因素是由工艺变化引起的不匹配导致的失调电压。这包括来自输入开关的电荷注入不匹配、交织耦合器件之间的阈值和晶体管尺寸不匹配。为了减少不匹配的影响，可以采用几种方案，比如在锁存器前插入前置放大器[1]、添加斩波放大器[2]和自动归零方案，以在锁存器或者数字校正前面的电容中采样偏移[18]。在自动归零方案中，在偏移采样周期期间，由其偏移电压引起的第一级的输出在第二级的采样电容上采样。在下一个时钟阶段，当进行实际比较时，第二级采样电容上存储的电压有效地消除了第一级放大器的偏移，并且可以进行非常精确的比较。对于这种取消技术，请注意，第一级的增益必须相对较低，以使由于其偏移引起的输出电压不超出范围。一个观察结果是，由于正向反馈放大了电源的偏移电压，所以不能消除动态比较器电路的偏移电压，因此在比较器的输出处不能获得关于偏移电压的信息。因此，这种技术需要具有直流偏置电流的前置放大器，因此需要静态功率来降低失调电压。如果输入信号在比较之前在电容上采样，则必须仔细选择电容值以减少除 kT/C 噪声之外的各种非理想性。在一些多步 A – D 转换器实现中，比较器通常具有自己的输入采样电容，以消除专用输入 S/H 电路[62]。

图 5.10 显示了一种传感器以及自动归零方案来消除可能的传感器偏移。开关电容比较器在双相位非重叠时钟上工作。差分网络在相位偏移到电容器 C 时采样 V_{ref}，而输入短路给出微分零点。在 clkn 相期间，输入信号 V_{in}添加到两个电容的输入端，导致输入差分电压出现在比较器前置放大器的输入端。在 clkn 结束时，再生触发器被锁存以进行比较，并在输出端产生数字电平。来自 T_8 的电荷注入将导致偏移电压 $\Delta V = \Delta Q/(C + C_p)$。输入带宽要求设置 ΔV 的振幅，采样带宽越高，

ΔV越大。用于限制电荷注入的电路技术包括底板采样，使用虚拟开关或减小栅极沟道长度（见 3.3 节）。选择 C 的另一个重要考虑因素是 C_p 引起的信号衰减。在放大器的输入端，放大器的输入电容和开关的寄生电容通过 $C/(C+C_p)$ 衰减输入信号，有效降低了放大率。基于匹配和共模电荷注入误差，C 被选择为接近最小尺寸，大约为 5fF。

通过图 5.10 中标示为 refp 和 refn 的直流信号来控制定义传感器决策窗口所需的比较参考。DLPM 测量与组成电路的分支之间的不对称直接相关，给出了当两个 DLPM 输入接地或设置为预定共模电压时的偏移估计。如图 5.12a 所示，基于增益的 DLPM 由从观察到的 A－D 转换器增益级复制的电路组成，其中包括具有有源负载（T_3 和 T_4）的微分输入对（晶体管 T_1 和 T_2）以及一些额外的增益（晶体管 T_5 和 T_6），以增加监视器分辨率，晶体管 T_7 和 T_8 连接到读取线（通向可编程数据决策电路的线路）。矩阵中的不同器件布置包括器件方向和嵌套器件环境。将矩阵放置在芯片上多次以从不同的芯片位置和距离行为获得信息。类似地，如图 5.12b 所示，在决策级监视器电路中，锁存器（晶体管 T_{12} ~ T_{17}）已被打开，以允许直流电流流过测量设置所需的设备。除了这两个外，如图 5.12 所示的内部参考电压监控电路检测实际电阻梯形设计中使用的两个单位电阻之间的不匹配。流过电阻的电流（其值从梯形本身提取）使用电流镜来固定。由于电流是固定的，标记为 V_1 和 V_2 的节点之间的电压下降是电阻之间不匹配的反应。反馈放大器通过包含 T_5 和其电流源 I_5 组成的共源放大器实现。不管输出电压如何，放大器都可以通过 T_3 而保持漏源电压尽可能稳定。假设电流源 I_5 的输出阻抗大致等于 r_{ds5}，则回路增益可以近似为 $(g_{m5}r_{ds5})/2$。由 T_7、T_9、T_{11}、I_1 和 I_2 组成的电路与二极管连接的晶体管几乎相同，然而采用代替来保证所有晶体管偏置电压与由 T_1、T_3、T_5 和 I_5 组成的输出电路的所有晶体管偏置电压精确匹配。因此，I_{R1}将非常准确地匹配 I_1[382]。

由于晶体管 T_3 和 T_9 被偏置为具有大于所需最小值的漏极－源极电压（$V_{DS3}=V_{DS9}=V_{eff5}+V_T$），也就是 V_{eff3}，所以这在极低的电源技术中可能构成限制。图 5.12b 所示的替代实现[383]将摆幅电流镜与增强型输出阻抗电路相结合。这里，用作电平移位器的二极管连接的晶体管已经被添加在共源增强放大器之前。在输出端，电平移位器是二极管连接的晶体管 T_7，以电流 I_2 为偏置。输入端的电路用作二极管连接的晶体管，同时确保所有偏置电压与 I_{R1} 的输出电路匹配。在其中 $I_7=I_1/7$ 的情况下，所有晶体管都以几乎相同的电流密度偏置，除了 T_7 和 T_9。因此，由于 T_7 和 T_9 被偏置为电流密度的 4 倍，除了它俩具有 2 倍有效的栅源电压之外，所有晶体管都具有相同的有效栅源电压。因此，T_9 的栅极电压为 $V_{G9}=2V_{eff}+V_T$，漏源电压 T_3 由 $V_{DS3}=V_{G9}-V_{GS12}=V_{eff}$给出。因此，$T_3$ 偏置在三极管区域的边缘。尽管电路的功耗相比传统的串联电流反射镜功耗几乎翻倍，但通过较低的密度偏置增强了电路，尽管以牺牲速度为代价。由增强电路引入的附加极点处于较低频率，可以充分节省功耗。

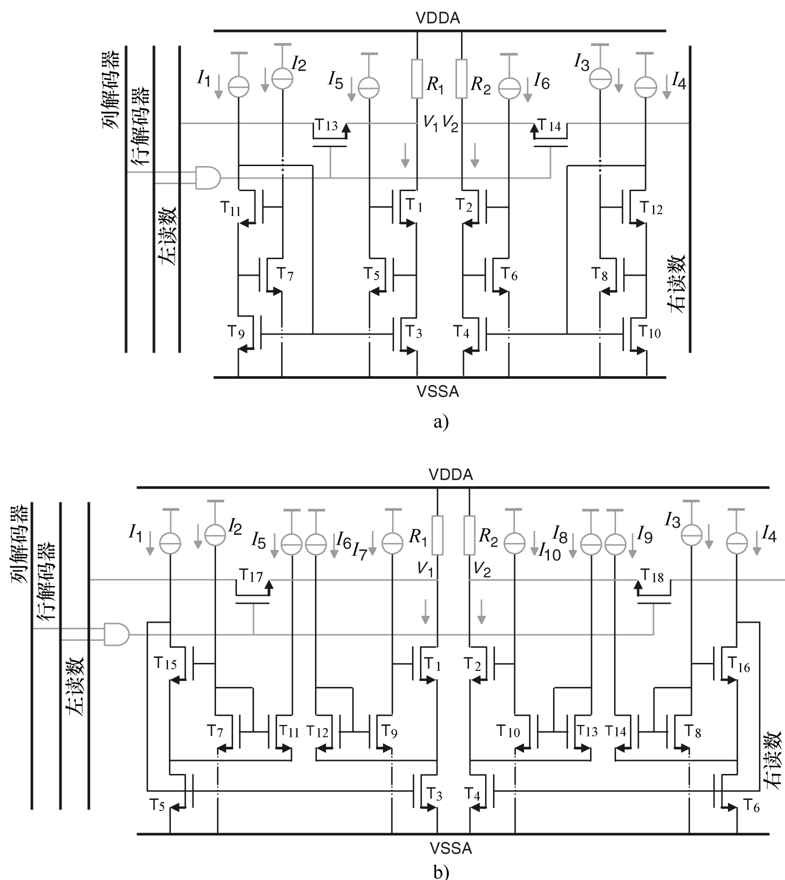


图 5.12　内部参考电压 DLPM

a）增强型输出阻抗电流镜　b）具有增强输出阻抗的改进高摆幅电流镜

因此，可以从提出的 DLPM 电路中提取 3 种广义策略：增益级、判决级和电阻梯性 DLPM。增益级，如 A－D 转换器中的残差放大器，可以使用为测试 A－D 转换器前置放大器开发的相同策略进行测试。该方法可以直接转换到任何增益级，允许通过测量输出偏移来检测不匹配问题。A－D 转换器中的决策级可以通过将决策级 DLPM 策略应用于每个特定设计来进行测试。该策略基于破坏锁存器中的再生反馈，然后通过测量输出偏移感测过程不匹配。

可以根据电阻梯性 DLPM 提出的相同方案测试内部参考电压，这样可以通过电压降来测量电阻不匹配。为了增加监控分辨率，可以在输入微分对和加载之间的 DLPM 中插入一些附加增益。通过扫描参考电压直到决策发生变化，可以提取关于工艺变化的信息，如图 5.13a 所示。

类似地，通过将识别窗口设置为 1/2 LSB 电平，可以检测由于不匹配引起的变

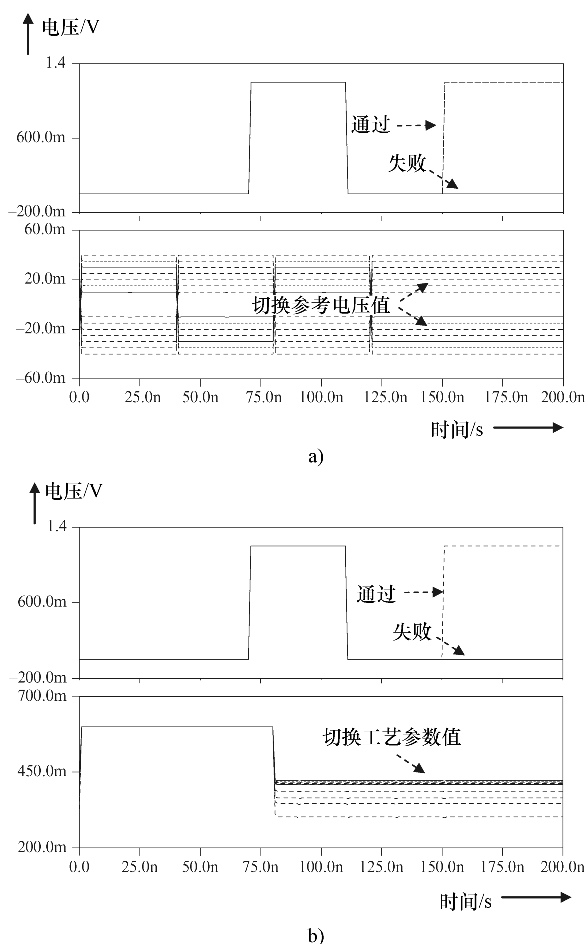


图 5.13　a）扫描参考电压以提取决策 DLPM 所示的 DLPM 偏移电压值
b）通过将辨别窗口设置为 1/2 LSB 电平并扫描工艺参数值来测试被测器件

化（见图 5.13b）。已经根据 5.2 节中的多步 A－D 转换器误差模型的规则定义了各种 DLPM 的辨别窗口。通过从被测器件本身提取 DLPM 电路，DLPM 电路实现了一些理想的性能：①使电路对目标参数的敏感度最大化；②它与所提取的被测器件的物理布局相匹配；③小而独立，在关闭状态时不消耗电力；④根据所添加的片上系统，DLPM 的设计足够灵活，可以通过几种方式进行应用。

5.1.5　温度传感器

要将温度转换为数字值，需要明确定义的温度相关信号和独立于温度的参考信号。两者都可以以热电压和芯片带隙电压的形式，利用正、负温度系数数量双极性器件的指数特性而产生。对于恒定的集电极电流，基极－发射极电压在室温下具有

负温度依赖性。这种负温度依赖性被两个偏置在固定电流密度上的基极 – 发射极结的放大差的与绝对温度的比例成正比（PTAT）依赖性抵消，导致与绝对温度成正比的关系。即使集电极电流和温度有关，只要它们的比例保持固定，这种比例是相当准确的。在 n 阱 CMOS 工艺中，横向 npn 和 pnp 型晶体管以及垂直或衬底 pnp 型晶体管用于此目的。由于横向晶体管具有低电流增益，并且其指数电流电压特性被限制在窄的电流范围，所以衬底晶体管是优选的。在垂直双极型晶体管中，p^+ 区域作为发射极，n 阱本身作为双极型晶体管的基极。p 型衬底用作集电极，因此它们的所有集电极连接在一起，这意味着它们不能用于电路中，除非集电极连接到地。这些晶体管具有合理的电流增益和高输出电阻，但是它们的主要限制是串联基极电阻，因为基极接触和有效发射极区域之间的大横向尺寸可能会很高。为了最小化由于该基极电阻引起的误差，通过晶体管的最大集电极电流被限制为小于 0.1mA。

基极 – 发射极电压的斜率取决于工艺参数和集电极电流的绝对值。基极 – 发射极电压也对压力敏感。幸运的是，衬底 pnp 型晶体管比其他双极型晶体管的压力敏感性要小得多[384]。与基极 – 发射极电压 V_{be} 相反，ΔV_{be} 与工艺参数和集电极电流的绝对值无关。通常，ΔV_{be} 的方程中包含乘数因数来模拟反向早期效应和其他非理想性的影响[385]。如果使用以大致相同电流密度偏置的晶体管产生 V_{be} 和 ΔV_{be}，则在基极 – 发射极电压中将出现相等的乘数因数。ΔV_{be} 对压力不敏感[386]。然而，其温度系数通常比依赖于集电极电流比时小一个数量级。

零温度系数通常在独立于温度的参考产生电路中利用，如图 5.14a 所示的带隙参考。通常，通过产生比例绝对温度电流或所产生的比例绝对温度电压来获取片上温度的精确测量。在前一种情况下，通过利用运算放大器和电阻将参考电压转换成电流。输出电流的绝对精度取决于电压参考和电阻的绝对精度。大多数不确定性将取决于该电阻及其温度系数。在带隙电压参考中，将 ΔV_{be} 放大并添加到 V_{be}，以产生与温度无关的参考电压 V_{ref}。晶体管 Q_1 的基极 – 发射极结的负电压 – 温度梯度由电阻 R_1 两端的比例绝对温度电压补偿，从而产生几乎恒定的参考电压 V_{ref}[387]。放大器 A 在其输入端感测电压，驱动 R_1 和 R_2（$R_1 = R_2$）的顶端，使得这些电压大致相等。参考电压是在放大器的输出端（而不是在其输入端）获得的。由于不对称，电路的不准确性主要取决于运算放大器的偏移量，直接增加了 ΔV_{be}。为了降低偏移的影响，运算放大器集成了大型器件。类似地，双极型晶体管 Q_1 和 Q_2 的集电极电流由预定义的因数提供，比如晶体管是多个单元器件的并联。

温度传感器的概念图如图 5.14b 所示。该电路的左半部分是温度感测电路，其类似于常规的带隙参考电路，包括电压调整器的右半部分创建温度开关的输出信号。为了实现一定的温度检测，需要两个信号，两者都具有良好的定义但不同的温度依赖性，跨越电阻网络 $N_T R$ 增加的比例绝对温度电压和降低比较器正输入端的电压产生温度判定。由于双极型晶体管的偏置电流实际上与绝对温度成比例，所以可以通过包括双极型晶体管 Q_1 和 Q_2、电阻 R 以及放大器和 CMOS 晶体管 $T_1 \sim T_3$

的拓扑产生比例绝对温度电流 I_{D3}。

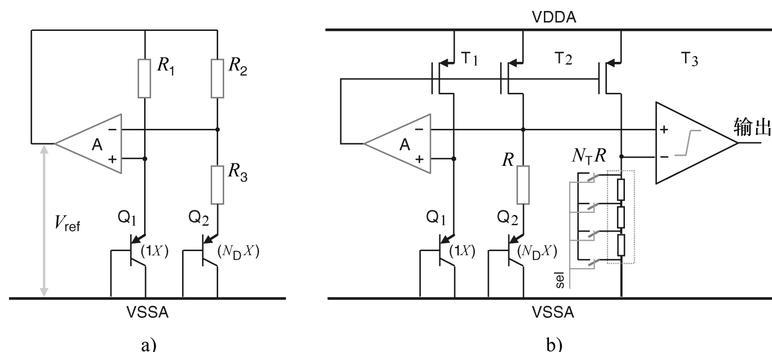


图 5.14 a）带隙参考电路的典型实现 b）温度传感器概念视图

图 5.15 所示是改进过的温度传感器[388]。放大器由具有正反馈的非串联 OTA 组成，以增加回路增益。只要其开环增益足够高，放大器输出电压就相对独立于电源电压。如果输入电压等于零，放大器的输入差分对可能会关闭。为了防止这种情况，添加了由晶体管 T_5、T_6 组成的启动电路，当电源被调谐时，它将驱动电路退出退化偏置点。二极管连接的设备 T_5 在启动时提供来自电源的电流路径，该电源通过 T_6 到达地。扫描链提供 4 位值，用于设置电阻值 $N_T R$。比较器的输入由后面是两个放大级和一个数字反相器的差分源极耦合级组成。如图 5.16a 所示，为了提供稳定的小于 1V 的带隙参考电压，约等于 1.2V 的零温度系数电压首先转换为通过晶体管 T_{22} 的电流，然后通过 R_2 和 $N_R R$ 相加到较低的参考电压。运算放大器具有足够的增益以均衡其输入电压。由于这些节点相同，因此从这些节点到地面的电流也必须相同。因此，通过 R_1 的电流是比例绝对温度，该电流也流过输出晶体管 T_{22}。V_{be} 的曲率也将存在于参考电压中。对于与温度无关的电流，曲率校正处于相同的不匹配量级。通过允许比例绝对温度电流具有小的正温度系数，来消除曲率的二阶分量。这种依赖于温度的参考电压抵消了 V_{be} 产生的二阶非线性。为此，添加了晶体管 Q_3。实质上，产生了基于电阻 $N_R R$ 和 R_2 比率的术语，该术语用具有比例

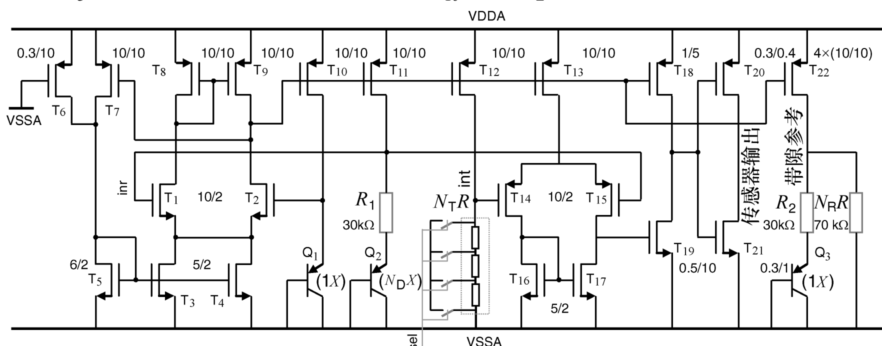


图 5.15 温度传感器示意图

绝对温度电流的 V_{be}减去具有恒定电流的 V_{be}。为了准确地定义该术语，所有电阻都由相同的单位电阻构成。通过调节具有可调电阻 $N_R R$ 的衬底 pnp 型晶体管的基极－发射极电压 V_{be}来对 R_2 上的电压进行曲率补偿。该电阻上的比例绝对温度电压补偿了晶体管 Q_3 的 V_{be}的比例绝对温度类型扩展。

如图 5.16b 所示，在测试芯片中，选择 16 个选择级别的 4 位进行温度设置，产生分辨率为 9℃的 0～150℃的温度范围。如果需要更高的精度，则需要具有更高分辨率的选择 D－A 转换器。为了鲁棒性，电路在器件的布局和偏置条件下完全平衡并匹配，将所有干扰和非理想性抵消到最低程度。

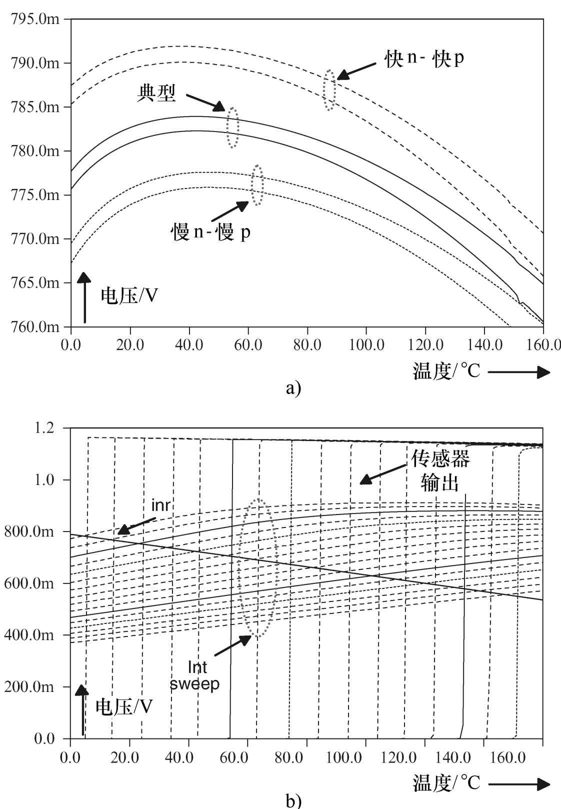


图 5.16　a）带隙参考电压　b）温度传感器中的 16 个选择级别

5.2　模板级过程变化的估计

5.2.1　预期最大化算法

通常，电路设计针对参数产量进行了优化，使得大多数制造的电路符合性能规

格。产量估算的复杂性加上设计过程的迭代性，使得产量最大化在计算上是禁止的。因此，使用与工艺参数的一组最坏情况相对应的模型来验证电路设计。最坏情况分析是指在这些最坏情况和相应的最坏情况电路性能值中确定工艺参数的值的过程。最坏情况分析在设计人员的工作方面非常有效，因此已经成为统计验证最广泛使用的技术。然而获得的最坏情况的性能值非常悲观，结果需要设计不必要的大功耗，以达到所需的规格，因此选择更宽松的设计条件将是有利的。通过传感器测量提取的统计数据不仅可以增强对重要设计和技术参数的观察，而且可以表征目前某些参数的工艺可变性条件，从而实现优化的设计环境。片上传感器的数量由于区域限制而是有限的，因此通过统计技术获得了额外的信息。虽然在统计学中有几个方法，如成列[389]和成对[390]删除以及结构方程模型[391]将从不完整的数据提供所选性能数据的估计、插补方法（比如，把一些合理的值替换为丢失的数据点）及其特殊情况，也就是基于期望最大化（EM）算法[392,393]的多个插补提供最大似然估计。因此，本节[394]中的工作利用最大似然法和调整支持向量机（SVM）分类器[395,396]作为基于通过监视工艺变化获得的信息的测试指导的非常有效的方法，因为它同时最小化经验分类误差并最大化几何边界。

给定传感器观测值 $x_i \in X$ 的观测矢量，如果源信号矢量 $y_i \in Y$ 假设为随机的实现是独立的，并且和概率 $p_{XY/\Theta}(x, y/\theta)$ 相同分布的变量也可用，则估计指定晶片级工艺参数变化真实值的未知参数矢量 $\theta \in \Theta$ 将是一个容易的任务。最大似然（ML）估计包括对观察数据最有可能的 θ 估计，比如，边界概率 $p_{X/\Theta}(x/\theta)$ 是最大值。参数 θ 涉及高斯分量的参数 (μ_y, Σ_y)，$y \in Y$ 和离散分布 $p_{Y/\Theta}(y/\theta)$，$y \in Y$ 的值，$p_{X/\Theta}(x/\theta)$ 是由高斯分布加权总和给出的高斯混合模型，概率 $p(T_X/\theta)$ 的对数被称为关于 T_X 的 θ 的对数似然 $L(\theta/T_X)$。输入集合 T_X 由 $T_X=\{(x_1, \cdots, x_l)\}$ 给出，其仅包含观察值 x_i 的矢量。对数似然可以被分解为

$$L(\theta \mid T_X) = \log p(T_X \mid \theta) = \sum_{i=1}^{l} \sum_{y \in Y} p_{X \mid Y\Theta}(x_i \mid y_i, \theta) p_{Y \mid \Theta}(y_i \mid \theta) \tag{5.7}$$

不完整数据 T_X 的最大似然估计问题可以定义为

$$\theta^* = \arg\max_{\theta \in \Theta} L(\theta \mid T_X) = \arg\max_{\theta \in \Theta} \sum_{i=1}^{l} \sum_{y \in Y} p_{X \mid Y\Theta}(x_i \mid y_i, \theta) p_{Y \mid \Theta}(y_i \mid \theta) \tag{5.8}$$

因此，通过 ML 方法获得最佳估计包括两个步骤：计算所有可接受序列的似然函数和最大化。为了评估随机参数 θ 的影响，似然函数的分析需要计算随机参数矢量的联合统计期望值。然而，即使可以在分析上离线获得似然函数，但也总是 θ 的非线性函数，这使得最大化步骤（必须实时执行）在计算上是不可行的。尽管如此，在这种情况下，期望最大化算法[392,393,397-400]可以为 ML 估计问题提供一种解决方案。

在可以得出完整数据的最大似然估计的情况下，EM 算法是最有用的。该算法允许通过在两个步骤之间迭代直到收敛的计算过程来获得未知参数的 ML 估

计[392,400]。由于主要的统计问题是参数估计，在大多数情况下，这最好通过使用 ML 理论来实现，EM 算法将对数中的缺失数据替换为不完全数据集中的缺失数据；因为它们出现在对数似然函数中，所以缺失值被它们的函数的条件期望所替代。如果假设模型是高斯类型，则替换的值对应于未知参数的足够统计的期望值。特别地，对于这种密度，不完全数据集是观察集合，而完整数据集的每个元素可以被定义为由观察和指标组成的双分量矢量，来指定观察期间混合模型的分量。

EM 算法不是在估计过程中使用传统的不完全数据密度，而是使用完整数据密度的特性。在这样做的过程中，通常可以使估计问题更容易处理，并且也可以对小样本量的参数产生良好的估计[397]。因此，在实现方面，相对于不完全数据概率方程的传统最陡下降方法，EM 算法具有明显的优点。此外，EM 算法基于观察到的数据，唯一地提供对应于 ML 估计的对数似然函数的值。类似地，对于传统的实现方式，确定不完全数据概率方程的有效根需要首先确定似然方程的所有根。EM 算法可以被看作在完整数据集上最大化似然函数的替代方案。特别地，由于似然函数是未知的，所以鉴于可用的相关信息，即观察到的数据和参数的当前估计值最大化，使其期望最大化。EM 算法构建参数估计 $\theta^{(0)}$，$\theta^{(1)}$，$\cdots$，$\theta^{(t)}$ 的序列，使得对数似然 $L(\theta^{(t)}/T_X)$ 单调增加，比如 $L(\theta^{(0)}/T_X)<L(\theta^{(1)}/T_X)<\cdots<L(\theta^{(t)}/T_X)$，直到实现稳定点 $L(\theta^{(t-1)}/T_X)=L(\theta^{(t)}/T_X)$。使用贝叶斯规则并且只明确写入未知参数 θ，x_i 对数似然可以写成

$$\log p(T_X|\theta)=\log p(X,\ Y|\theta),\ \theta(t)-\log p_{X,\ Y|X}(X,\ Y|X),\ \theta(t) \tag{5.9}$$

对于给定 x_i 和 θ 的上述方程的两方面的期望，其中 $\theta^{(t)}$ 是 θ 的可用估计：

$$\begin{aligned}\log p(T_X|\theta)&=E_{\theta^{(t)}}\{\log p(X,\ Y|\theta)|X,\ \theta(t)\}-E_{\theta^{(t)}}\{\log p_{X,\ Y|X}(X,\ Y|X)|X,\ \theta(t)\}=\\&=Q_n(\theta|\theta^{(t)})-P(\theta|\theta^{(t)})\end{aligned} \tag{5.10}$$

通过 Jensen 不等式，则有

$$P(\theta|\theta^{(t)})\leqslant P(\theta^{(t)}|\theta^{(t)}) \tag{5.11}$$

因此，使得 $Q(\theta|\theta^{(t)})\geqslant Q(\theta/\theta^{(t)})$ 的下一个迭代步骤中的新估计 θ 也导致：

$$\log p(T_X|\theta)\geqslant\log p(T_X|\theta^{(t)}) \tag{5.12}$$

每次迭代包括两个步骤，称为 E 步骤和 M 步骤。在 E 步骤中，EM 算法形成辅助函数 $Q(\theta/\theta^{(t)})$，其根据不完整数据和当前参数确定完整数据的对数似然估计值：

$$Q(\theta|\theta^{(t)})=E(\log p(X,Y|\theta)|X,\ \theta(t)) \tag{5.13}$$

在 M 步骤中，该算法确定了使 Q 最大化的新参数：

$$\theta^{(t+1)}=\arg\max_{\theta}Q(\theta|\theta^{(t)}) \tag{5.14}$$

在 EM 迭代的每个步骤中，似然函数可以显示为非递减的[400]。如果它也是有界的（实际上大多是这种情况），则算法收敛。在文献［392］中证明了 $Q(\theta/\theta^{(t)})$ 的迭代最大化将导致 θ 的 ML 估计。对于广泛类型的 PDF，包括高斯混合密度，在

每次迭代时，新参数估计 θ 可以明确地求解为与唯一最大值 $Q(\theta/\theta^{(t)})$ 相对应的静态点[397]。在直接 ML 估计中，EM 算法仅导致模型参数的局部最佳估计，其中每个估计取决于所选择的初始参数来开始迭代估计。

EM 算法
初始化
– 初始化数据集 $T=\{(x_1, \cdots, x_l)\}$
– 初始化参数 $\theta^{(0)}$
数据采集
– 从 DLPM 中收集 N 个样本
更新参数估计
1. 计算 $Q(\theta \mid \theta^{(t)})=E(\log p(X, Y \mid \theta) \mid X, \theta^{(t)})$ – E 步骤
2. 通过最大化 θ 函数 $\theta^{(t+1)}=\underset{\theta}{\operatorname{argmax}} Q(\theta \mid \theta^{(t)})$ 重新估计 θ，估计均值和方差 – M 步骤
3. 增加迭代指数 t
4. 当找到静态点 $L(\theta^{(t-1)} \mid T_X)=L(\theta^{(t)} \mid T_X)$ 时停止

5.2.2 向量机限制估计器

当获得参数分布的最优估计时，下一步是使用调整的 SVM 分类器来更新测试限制值。假设输入向量属于先验和后验类，比如，测试限制的目标是决定新的测量数据将属于哪一类。每个新测量被视为 r 维矢量，SVM 分类器将输入矢量映射（分离）为特征空间 Z 中的 $r-$一维超平面，其中通过某些非线性映射构建线性决策表面。虽然可以使用几种分类器，如二次、增强、神经网络、贝叶斯网络等，但调整 SVM 分类器特别有用，因为它同时最小化经验分类误差并最大化几何边界。

令 $D=\{x_i, c_i)/x_i \in R^r, c_i \in\{-1,1\}\}_{i=1}^n$，$D$ 是属于先验和后验类的输入矢量，其中 c_i 等于 1 或 –1，表示来自输入矢量的数据 x_i 所属的类。同样，让

$$\boldsymbol{w} \cdot x+\boldsymbol{b}=0 \tag{5.15}$$

成为特征空间中的最优超平面。矢量 $\boldsymbol{w}$ 是垂直于超平面的法向矢量。参数 $\boldsymbol{b}/\|\boldsymbol{w}\|$ 根据法向矢量 $\boldsymbol{w}$ 确定超平面与原点的偏移。为了最大限度地提高尽可能远的平行超平面之间的边界或距离，同时仍然分离数据，必须选择 $\boldsymbol{w}$ 和 $\boldsymbol{b}$，对于所有 $1 \leqslant i \leqslant n$，使得它们最小化满足下式描述的优化问题的 $\|\boldsymbol{w}\|$：

$$c_i(\boldsymbol{w} \cdot x_i+\boldsymbol{b}) \geqslant 1 \tag{5.16}$$

优化问题很难解决，因为它依赖于具有一个二次方根的 $\|\boldsymbol{w}\|$。如果属于先验类和后验类的输入矢量不能被超平面分离，则两类图案之间的边界会变得任意小，导致参数的函数矢量值任意变大。因此最大化二次规划优化会达到最大值（在这种情况下，已经构造了具有最大边界的超平面），或者会发现超过一些给定（大）常数的最大值。通过用½ $\|\boldsymbol{w}\|^2$ 代替 $\|\boldsymbol{w}\|$ 来改变方程，而不改变解（原始和修改方程的最小值具有相同的 $\boldsymbol{w}$ 和 $\boldsymbol{b}$），现在可以通过标准二次规划优化来解决优化问

题[395]。属于先验和后验类的输入矢量被分成多个子集。二次规划问题逐渐解决，涵盖了为完整数据集构建最优分离超平面的所有类的子集。注意，在该过程中，因为在优化中考虑越来越多的训练矢量导致了两个类之间越来越小的分离，因此参数的函数矢量的值会单调增加。由于以无约束双重形式写入分类规则显示最大边界超平面，因此分类任务只是支持矢量的函数，比如训练数据位于边界：

$$\max \sum_{i=1}^{n} \alpha_i - \frac{1}{2} \sum_{i,j} \alpha_i \alpha_j c_i c_j x_i^{\mathrm{T}} x_j \tag{5.17}$$

对于 $\alpha_i \geqslant 0$ 和 $\sum_{i=1}^{n} \alpha_i c_i = 0$，则有

$$\boldsymbol{w} = \sum_i \alpha_i c_i x_i \tag{5.18}$$

其 α 构成训练集的权重矢量。另外，文献［395］中修改后的最大边界技术允许使用误差标记的示例。如果不存在可以划分先验和后验类的超平面，则修改的最大边界技术会找到将训练集与最小误差数分开的超平面。该方法引入非负变量 ξ_i，对于所有 x_i，来测量数据的误差分类程度：

$$c_i(\boldsymbol{w} \cdot x_i + \boldsymbol{b}) \geqslant 1 - \xi_i \tag{5.19}$$

然后通过惩罚非零 $1 \leqslant i \leqslant n$ 的函数来增加目标函数，并且使优化成为大边界和小误差惩罚之间的折衷。如果惩罚函数是线性的，则优化问题转化为

$$\min \frac{1}{2} \|\boldsymbol{w}\|^2 + C \sum_i \xi_i^{\sigma} \tag{5.20}$$

使得式（5.16）对于所有 $1 < i < n$ 成立。对于足够大的 C 并且足够小的 $\boldsymbol{\sigma}$，矢量 $\boldsymbol{w}$ 和常数 $\boldsymbol{b}$ 在式（5.16）的约束下使式（5.20）最小化，并且确定使训练集上的误差数量最小化的超平面，并分离具有最大边界的其余部分。式（5.16）的这个约束以及最小化 $\|\boldsymbol{w}\|$ 的目标可以使用拉格朗日乘数求解。线性惩罚函数的关键优点是变量 ξ_i 从双重问题消失，常数 $\boldsymbol{C}$ 仅作为拉格朗日乘数的附加约束出现。类似地，可以采用非线性惩罚函数，特别是减少异常值对分类器的影响，然而问题可能会变为非凸性，因此找到全局解决方案可能变得相当困难。

通常，任意分类器的判别函数不具有概率的含义，比如 SVM 分类器。然而，分类器的概率输出可以帮助后处理，比如组合更多的分类器。将 S 形函数添加到分类器输出是解决此问题的一种方法。令 $T_{XY} = \{(x_1, y_1)\}, \cdots, (x_l, y_l)$ 是由矢量 $x_i \in X$ 和相应的二进制隐藏状态 $y_i \in Y$ 组成的训练集合。假设训练集合 T_{XY} 与底层具有相同和独立的分布。令 f：$X \subseteq R^n \to R$ 是从数据 T_{XY} 训练的判别函数。给定判别函数 $f(x)$ 的值的隐含状态 y 的后验分布 $p_{Y|F\Theta}(y|f(x), \theta)$ 的参数 θ 由 ML 方法估计：

$$\theta = \arg\max_{\theta'} \sum_{i=1}^{l} \log p_{Y|F\Theta}(y_i | f(x_i) | \theta') \tag{5.21}$$

其中分布 $p_{Y|F\Theta}(y|f(x), \theta)$ 由参数 θ 确定的 S 形函数模拟。

5.3 多步 A－D 转换器级的调试

A－D 转换器级调试的根本原因在于实际的 A－D 转换器容易出现误差。更准确地说，实际的转换器可能表现出与采样、保持和量化的理想操作的偏差。调试的目的是评估转换器的真实输出是否在理想输出的容许偏差之内。调试方法在转换器级之后应用，因此对输出数字信号进行操作。所以，基本限制之一是所考虑的 A－D转换器级的内部信号和状态是不可用的。

如今，A－D 转换器广泛应用于各种应用。比如，无线电接收机中的 A－D 转换对转换器施加特殊要求，并且接收机设计的趋势是使数字化更接近接收天线。灵活的配置和降低成本是这个趋势的两个原因。同时，载波频率和带宽正在增加，这要求更高的采样率和增加的模拟输入带宽。A－D 转换器的线性也是一个关键特性，A－D 转换器系统的规格是对转换器线性的要求。为了满足这些严格的性能要求，技术和设计被推到极限，而使它们容易出错。当 A－D 转换器集成在与数字信号处理器（DSP）相同的芯片上时，也会出现类似的情况。在这种情况下，DSP 和 A－D 转换器的性能最优设计点之间经常会有折衷。通常使用具有较小几何形状的芯片工艺来制造 DSP，其电源电压低于对 A－D 转换器有利的电源电压，这主要是为了降低功耗并促进更高的计算能力。然后，A－D 转换器也将遭受不太适合于高精度模拟设计的制造参数的影响。

5.3.1 质量标准

在进行 A－D 转换器级的调试之前，首先测量误差，比如介绍了损失函数的估计。换句话说，需要一种机制来区分 A－D 转换器性能是否可接受。质量标准一般来说是为系统的输入和输出计算系统造成的偏差的函数。最常见的质量标准测量是基于输出和输入之间的距离，因此被称为距离测量。也就是说，偏差是输出和输入之间的绝对差异的函数，而不是输入或输出本身的绝对差异的函数。在多维情况下，这对应于差异矢量的范数（长度）的函数。两个常用的距离测量是绝对误差和二次方误差。通常用于损失函数估计器的质量标准是均方误差准则，主要是因为它表示误差信号中的能量，易于区分并且可以提供分配权重的可能性。

如 5.1.3 节所述，除了时序误差外，多步 A－D 转换器中存在的主要误差源是系统决策级偏移误差 λ、级增益误差 η 以及内部参考电压 γ 的误差。为了找到给出最佳拟合线的参数矢量 $\boldsymbol{W}^{\mathrm{T}}=[\eta,\ \gamma,\ \lambda]$，最小二乘法试图找到一种函数，该函数通过最小化其生成的点和数据中对应点之间的纵坐标差的二次方来接近转换点（称为残差）。假设 $D_{\mathrm{out},i}$表示由 V_i，$f(V_i)=aV_i+b$ 的输入电压产生的输出编码：

$$\Gamma_{\mathrm{MSE}}(\boldsymbol{W}) = \sum_{i=0}^{2^n-1}(D_{\mathrm{out},\,i} - f(V_i,\ \boldsymbol{W}))^2 \tag{5.22}$$

如果残差的二次方和 $\Gamma(\boldsymbol{W})$ 最小化，那么函数 $f(V_i)$ 具有最佳拟合线为 $f(V_i)\approx D_{\mathrm{out}}$，$if(V_i)$ 的特性，其斜率由 a 给出，由 b 给出的拟合线截取 y 轴的点。A – D转换器的设计将定义量化区域 $f(V_i)$ 和分配适当的值合并在一起，来表示重建点的每个级别。在大多数情况下，$D_{\mathrm{out},i}$ 是 $f(V_i)$ 的输入函数，使得仅对 $f(V_i)$ 考虑期望值。最小化均方误差的最优重建点已经在文献［401］中得出。

虽然均方误差准则是非常普遍的，特别是从信号处理的角度来看，但可以考虑其他标准。从 A – D 转换器特征的角度来看，重建级别可以被认为是被测 A – D 转换器的固有参数，而不是输入信号的均方误差准则。中点策略是基于 A – D 转换器作为阶梯量化器的假设。它基于与特定量化区域相关联的重建值应该是该区域的中点的假设。如果量化区域偏离理想值，则输出值应相应改变。如果每个量化区域是对称的，则中点方法实际上与均方误差准则方法一致。两个这样的信号是均匀噪声和确定性斜坡，其在每个量化区域内提供对称的 PDF，将区域保持在信号范围的极端处，其中信号可以仅占据该区域的一部分。另一方面，在最小谐波估计方法[402,403]中，以使 A – D 转换器生成的谐波失真最小化的方式选择估计值。该方法使用单个正弦波，并且使用误差基函数构建估计表，该误差基函数在相平面索引方案中通常是二维高斯基函数。通过将所选择的第一次谐波中的功率最小化到测试频率来选择基函数系数。

估计值不仅取决于被测试的 A – D 转换器的特性，还取决于测试信号本身（通过信号的 PDF）。因为使用该信号类型来训练估计值，因此精确设计估计程序是至关重要的，因为估计程序可以产生对特定信号严重偏向的估计系统。另一方面，如果先前的知识表明 A – D 转换器将用于转换特定类别的信号，则可以直接使用相同类别的信号来评估系统。使用具有统一 PDF 的估计信号可以被认为会产生无偏差的校准结果。在这种情况下，均方和中点策略均一致。尽管有许多具体措施来描述 A – D 转换器的性能，比如信噪比和失真比、无杂散动态范围、有效位数、总谐波失真等，但大部分专门的措施会导致相当复杂的表达式，不能提供实际应用的结果。信噪比和失真比以及有效位数是例外，它们与均方误差准则密切相关，因此大多数表示为均方误差的结果可以转移到附录 B 所示的信噪比和失真比以及有效位数的结果上。

5.3.2　估算方法

尽管已经进行了广泛的研究[404–407]来估计不同 A – D 转换器架构中的各种误差，但是使用用于多步 A – D 转换器分析的 DfT 和专用传感器来更新参数估计是可以忽略的。在文献［404］中，研究了架构对 A – D 转换器模拟的影响，在文献［405］中，使用了一些额外的传感器电路，在其对芯片衬底噪声的响应方面评估了 A – D 转换器。在文献［406］中，差分非线性测试数据用于闪速转换器中的模拟组件的故障定位和识别，并且在文献［407］中示出了如何使用给定的校准数据

集来提取特定误差性能的估计。多步 A－D 转换器中每个模拟组件的功能故障会影响传递函数[378]，并分析此属性，来形成文献［408］中方法的基础。A－D 转换器在这里被看作将模拟输入信号映射到数字输出信号的静态功能。静态参数由各种 A－D转换器组件中的模拟误差决定，因此 A－D 转换器测试和调试中的主要挑战是估计这些单个误差对整个 A－D 转换器线性参数的影响。当使用 A－D 转换器时，其特性可能会改变，比如由于温度的变化。这意味着 A－D 转换器必须通过温度传感器定期重新评估，以检查其性能。实验中对 A－D 转换器的每个级进行实验评估，即将信号馈送到 A－D 转换器的每个级的输入端，并且从输出端判定 A－D 转换器每个级的传输特性。大多数估计方法要求在数字域中提供参考信号，来作为 A－D 转换器输出端实际级的比较信号。该参考信号在理想情况下是适用于被测 A－D转换器信号的完美无限分辨率采样版本。在实际情况下，必须以某种方式估计参考信号。这可以通过结合诸如参考 A－D 转换器的辅助装置来实现，参考 A－D转换器对与被测 A－D 转换器相同的信号进行采样[409]，或者通过结合向被测A－D转换器馈送数字信号的 D－A 转换器来实现[403,410]。另一个替代方案是通过将信号处理方法应用于被测 A－D 转换器的输出来估计参考信号。在文献［411］中，正弦波参考信号结合最佳滤波技术来提取参考信号的估计。一些方法不依赖于任何数字参考信号。在文献［409］中，提出了一种估计来自输出编码直方图的积分非线性（INL）的方法。在文献［411］中，提出了一种具有低通滤波器并且利用最小均方方法的混合系统。滤波是可能的，因为系统的目标是过采样应用，因此信号只能存在于频谱的较低部分。该方法利用正弦波直方图和贝叶斯估计来辅助。

整体检查的多步 A－D 转换器主要由非关键低功耗组件组成，如低分辨率量化器、开关和开环放大器。在 $m+n$ 多步 A－D 转换器中，从第一个电阻梯形找到 m 个最高有效位，并且从第二个电阻梯形产生 n 个最低有效位。如 3.2 节所述，通常，第二个梯形的全部范围比第一个梯形多一个步长。因为信号仍然位于第二个梯形的范围内，所以利用第二个梯形的这种超范围补偿，可以校正静态误差。这意味着 A－D 转换器的输出是冗余的，从数字输出来看，不可能在不使用 5.4 节中阐明的专用 DfT 的情况下，从每个子范围步长中找到值。由于必须验证单独的 A－D 转换器级，所以需要在测试期间固定电路，使得每个级都要测试其整个输入范围。要将单独的 A－D 转换器级的输入设置为所需值，则在开关梯形电路中可以使用链路。因此，对于中等 A－D 转换器测量，需要固定粗略的 A－D 转换器值，因为它们确定中等 A－D 转换器参考，并且对于测试精细 A－D 转换器，粗略和中等 A－D 转换器的决策必须预先确定，然后将单个 A－D 转换器级的响应传送到测试总线。子 D－A 转换器设置通过串行连接所有子 D－A 转换器寄存器的扫描链进行串行移位控制。可以在正常模式下冻结子 D－A 转换器寄存器的内容，并通过扫描链移出数据以获取当前的子 D－A 转换器设置。每个子 D－A 转换器需要一个测试控制位，以调整（增加）参考电流，来获得 A－D 转换器输入范围的子 D－A 转换器

输出范围的最佳拟合。子 D－A 转换器的参考和输入信号以及子 D－A 转换器输出的减法确定了总 A－D 转换器的可实现精度。残差信号 V_{res} 因内部参考电压 γ 误差导致的子 D－A 转换器非线性的数量而变得非常不正确：

$$V_{res}=\eta V_{in}-(s-1)\gamma V_{ref}-\lambda V_{offset} \tag{5.23}$$

式中，s 是观察级。

为了获得式（5.23）的数字表示，每个变量除以 V_{ref}：

$$D_{out}=\eta D_{in}-(s-1)\gamma-\lambda D_{os} \tag{5.24}$$

式中，$D_{out}=V_{res}/V_{ref}$；$D_{in}=V_{in}/V_{ref}$；$D_{os}=V_{offset}/V_{ref}$。

通过将第 k 级输入电压表示为 $D_{in,k}=V_{in,k}/V_{ref}$，将第 k 级输出电压为 $D_{out}=V_{res,k}/V_{ref}$，将第 k 级决策表示为 D_k，当式（5.24）被应用于每个级时，递归关系变为

$$\begin{aligned}D_{out}=D_{out,3}&=\{[\cdots]\eta_2-(D_2-1)\gamma_2-\lambda_2 D_{os,2}\}\eta_3\\&\quad-(D_3-1)\gamma_3-\lambda_3 D_{os,3}\\&=D_{in,N}\eta_N\ldots\eta_1-(D_3-1)\gamma_3-\lambda_3 D_{os,3}\end{aligned} \tag{5.25}$$

这种模型对于经济地生成用于误差估计和故障隔离的自适应滤波算法查找表是有用的。尽管在估计理论中，有几种方法可用于估计所需的响应 $D_{out}(t)$，但是最速下降法（SDM）算法提供每次迭代的最小操作数，并且给出无偏估计，这比基于 Hessian 矩阵的算法需要更少的存储，比如 Gauss－Newton、Levenberg－Marquardt 和 BFS 方法。如图 5.17 所示，通过在迭代时间 t 将不同的输入值 $\boldsymbol{D}_{in}$ 馈送到每个级，未知滤波器输出所需的响应 $\boldsymbol{D}_{out}(t)$ 变为

$$\boldsymbol{D}_{out}(t)=\boldsymbol{D}_{in}(t)\times\boldsymbol{W} \tag{5.26}$$

式中，权重 $\boldsymbol{W}^T=[\eta,\gamma,\lambda]$ 用于描述过滤器的性能。

通过 DLPM 测量提取的统计数据和片上温度信息以及通过 EM 算法计算的 ML 率，提供了具有初始值的估计 $(\boldsymbol{W}')^T=[\eta',\gamma',\lambda']$。通过将输入信号强制为每个级中的预定义值，控制了滤波器的输入并获得了残差电压。所需输出被数字化，$\boldsymbol{D}_{out}$ 从后端 A－D 转换器收集，并从相应的标称值中减去，然后将所需的响应提供给过滤器进行处理。

基本上，基于预定义的输入和当前误差估计 $\boldsymbol{W}^T=[\eta,\gamma,\lambda]$，最快下降算法既包括通过比较估计输出 $\boldsymbol{D}'_{out}(t)$ 与期望响应 $\boldsymbol{D}_{out}(t)$ 得到的估计误差 e，也包括根据估计误差 e 的得到的输入权重 $(\boldsymbol{W}')^T=[\eta',\gamma',\lambda']$ 的自动调整：

$$\boldsymbol{W}'(t+1)=\boldsymbol{W}'(t)-\mu\times\boldsymbol{D}_{in}(t)\times\boldsymbol{e}(t) \tag{5.27}$$

其中用于更新 $\boldsymbol{W}'(t+1)$ 的缩放因数是表示为 μ 的步长参数。$\boldsymbol{D}_{out}(t)$ 和 $\boldsymbol{D}_{in}(t)$ 是具有 2^{n-1} 行和 3 列的矩阵，其中 n 是级的分辨率。步长 μ 在每次迭代中减少，直到输入权重减少，即直到 $\boldsymbol{W}'(t+1)<\boldsymbol{W}'(t)$。估计误差 e 是所需响应与实际最陡下降滤波器输出之间的差值：

$$\boldsymbol{e}(t)=\boldsymbol{D}'_{out}(t)-\boldsymbol{D}_{out}(t) \tag{5.28}$$

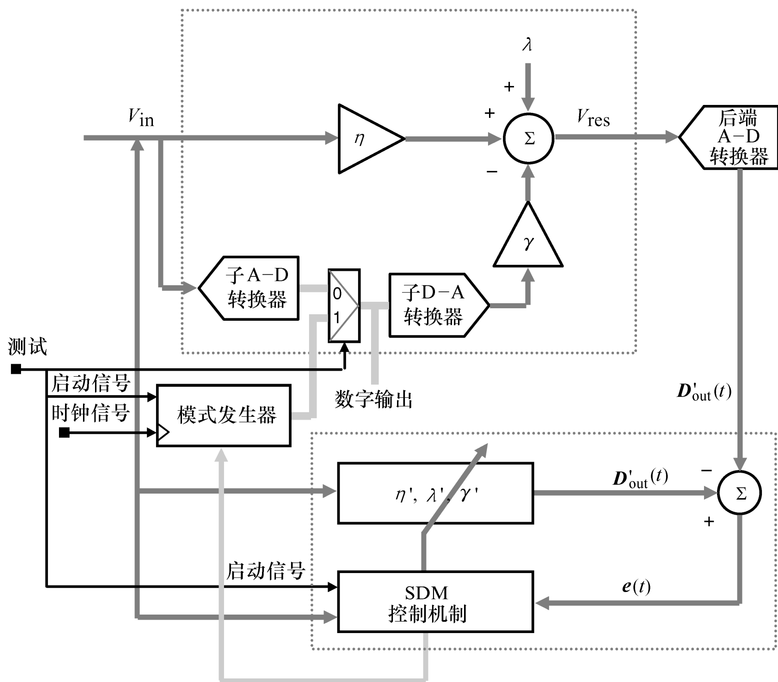


图 5.17　估计方法[408]

并且基于当前对权重矢量的估计，$\boldsymbol{W}'$，$D'(t)$是

$$\boldsymbol{D}'_{out}(t) = \boldsymbol{D}_{in}(t) \times \boldsymbol{W}'(t) \tag{5.29}$$

在每次迭代中，该算法需要知道最近的值 $\boldsymbol{D}_{in}(t)$、$\boldsymbol{D}_{out}(t)$ 和 $\boldsymbol{W}(t)$。在适应过程中，算法重复多次来有效地平均估计，最终找到最佳估计权重 $\boldsymbol{W}$。输入 $\boldsymbol{D}_{in}$ 中的暂时残差电压需要在每个迭代时间后更新，以提高准确度，这可以通过使用当前误差估计 $\boldsymbol{W}'$完成。

重要的是要注意，由于集成电路的不同部分的电路的不均衡利用和多样性，温度可以从一个裸片区域明显变化到另一个裸片区域，并且裸片温度的这些波动会影响器件特性，从而改变集成电路的性能。此外，随着温度波动、掺杂浓度的增加和增强的电场容易影响器件参数变化的变化率。受温度波动影响的器件参数是载流子迁移率、饱和速度、寄生漏极/源极电阻和阈值电压、阈值电压、载流子迁移率和饱和速度的绝对值随着温度的升高而降低。载流子迁移率的降低容易降低由 MOSFET 产生的漏极电流。尽管饱和速度和迁移率都具有负温度依赖性，但是由于在电场中，载流子漂移速度随着温度的增加而增加，所以饱和速度显示出相对较弱的依赖性。另外，随着晶体管电流在电源电压降低时变高，漏极/源极串联电阻在缩放 CMOS 技术中的器件的 $I-V$ 特性上变得越来越有效。漏极/源极电阻随温度大致线性增加。漏极/源极电阻随温度的升高会降低漏极电流。由

于栅极过驱动的增加，阈值电压随温度的降低往往会增加漏极电流。晶体管电流的有效变化由温度波动时主要器件参数的变化决定。平均来说，由于温度变化导致的阈值电压的变化为 －4～2V/℃，这取决于掺杂水平。对于 10℃ 的变化，将导致与 90nm 技术节点通常使用的 500mV 设计参数有明显差异。在实际的系统中，温度传感器记录任何片上温度的变化，估计算法用遗忘因数 ζ 更新 $\boldsymbol{W}'$[413]。时间 $t+1$ 的估计是

$$\boldsymbol{W}'(t+1)=\zeta\boldsymbol{W}'(t)+(1-\zeta)\boldsymbol{W}^0(t+1)$$
$$0<\zeta\leqslant 1 \qquad (5.30)$$

式中，$W^0(t+1)$ 是已记录的温度变化之前的估计。

算法

初始化
- 初始化输入矢量 $\boldsymbol{D}_{in}(0)$
- 强制输入并收集所需的输出 $\boldsymbol{D}_{out}(0)$
- 测量和设置权重 $\boldsymbol{W}'(0)$ 的初始值
- 初始化最陡下降更新步长 $\mu=1$
- 初始化遗忘因数 ζ

数据采集
- 从 DLPM 和温度传感器收集 N 个样本
- 从 A－D 转换器收集 N 个样本

更新参数估计
1. 基于当前可用的 $\boldsymbol{W}(t)$ 更新输入矢量 $\boldsymbol{D}_{in}(t+1)$
2. 计算误差估计 $\boldsymbol{W}'(t)$
3. 产生输出估计 $\boldsymbol{D}'_{out}(t)=\boldsymbol{D}_{in}(t)\times\boldsymbol{W}'(t)$
4. 计算估计误差 $\boldsymbol{e}(t)=\boldsymbol{D}'_{out}(t)-\boldsymbol{D}_{out}(t)$
5. 计算误差估计 $\boldsymbol{W}'(t+1)=\boldsymbol{W}'(t)-\mu\times\boldsymbol{D}_{in}(t)\times\boldsymbol{e}(t)$
6. 如果 $\boldsymbol{W}'(\mathrm{t}+1)>\boldsymbol{W}'(t)$ 减小步长 m 并重复步骤 5
7. 增加迭代指数 t，并重复步骤 1～6 来进行最佳估计
8. 用 $\boldsymbol{W}'_l$ 表示 $\boldsymbol{W}'$ 的最终值
9. 如果温度变化，使用新估计 $\boldsymbol{W}'_i$ 更新 $\boldsymbol{W}'$

5.4　DfT 用于多步转换器的完全可访问性

调制解调器片上系统（SoC）集成了数字模块、模拟模块和混合模式模块，比如同一芯片上的混合信号或 RF 模拟信号和数字信号等。通过使用从最终 IC 块的虚拟库描述获得的第三方核心，这种集成水平进一步复杂化。此外，核心的品种和

数量及其性质类型，比如模拟，使单个块以及块和最终整个系统的组合的测试阶段变得复杂。另外，完全指定诸如 A－D 转换器之类的混合信号电路的性能以及这些电路中存在模拟信号和数字信号所需的大量参数，使测试成本高昂且耗时。在多步 A－D 转换器中，通过广泛使用校正和校准程序可获得高线性。为这种 A－D 转换器提供结构性 DfT 和 BIST 功能是复杂的，因为必须考虑校正机制的影响。必须考虑两级转换范围之间的重叠，否则可能存在冲突的操作情况，可以掩盖故障或给出错误的误差解释。此外，DfT 必须允许多步 A－D 转换器重新配置，使得所有子块都被测试其全部输入范围，从而实现全功能的可观察性和可控性[415,416]。必须将系统分成子块以访问内部节点，使得每个隔离子块获得适当的测试激励。类似地，为了允许模拟结构测试[263]，并且能够观察各个核心的电流（或电压）特征，而不是观察整个模拟 SoC 的电流（或电压）签名，各个核心必须能够打开和关闭，使得核心直流模拟控制器和/或瞬态特性可以隔离地测试或与模拟 SoC 的其他核心一起测试。

IEEE 1149.1 标准边界扫描已经成功地并入数字设计，并大大简化了先进电子设备的测试和调试。类似地，IEEE 1149.4[253]被认为是用于数字电路的 1149.1 边界扫描的混合信号对应物，其中添加了用于支持模拟信号的新引脚和模拟开关。1149.4 标准规定了与 1149.1 标准相关的信号引脚，并且符合数字测试接入端口（TAP）和边界架构。IEEE 1141.4 标准采用两个模拟测试引脚：一个用来应用测试信号；另一个将响应波形传送到测量设备。外部模拟测试总线在测试总线接口电路的控制下访问内部总线。测试总线接口电路允许内部测试总线线路连接到任一个或两个模拟测试引脚，当内部测试总线不使用时，隔离内部测试总线，以消除不必要的噪声干扰，或将总线连接到两个控制电压之一。1149.4 标准的主要目标是执行与传统数字边界扫描中类似的简单的芯片到芯片互连测试。然而，它也可以用于执行内部模拟电路测试[417]。

考虑图 5.18 所示的三步/多步 A－D 转换器的情况。输入信号通过 3 次交织 S/H，消除了在每个量化级之后对信号重新采样的需要。S/H 分解并缓冲模拟延迟线采样信号，然后将其馈送到 3 个 A－D 转换器，即粗略（4 位）、中等（4 位）和精细（6 位）。粗略 A－D 转换器的量化结果用于下一个时钟相位中等量化的参考。所选择的参考与两个偏移校准的双残差放大器中保持的输入信号组合。中等 A－D 转换器对这些中残差放大器的输出信号进行量化。粗略和中等 A－D 转换器的输出被组合以便为精细量化选择合适的参考。这些参考与两个也是偏移校准的双残差放大器中的采样输入信号组合。放大的残差信号被添加到精细 A－D 转换器。产生 c 个最高有效位的粗略 A－D 转换器中的故障影响每个步骤中 c 位传递函数的步长。中等 A－D 转换器中的故障影响 m

中等位的传递函数中的步长，并在所有 c 位重复。类似地，精细 A－D 转换器中的故障影响 f 精细位传递函数中的步长，并在所有 $c+m$ 位中重复。另一方面，第一个子 D－A 转换器的故障影响了 $c+m$ 的传递函数，第二个子 D－A 转换器中的故障会以周期的方式影响 $c+m+f$ 位的传递函数。

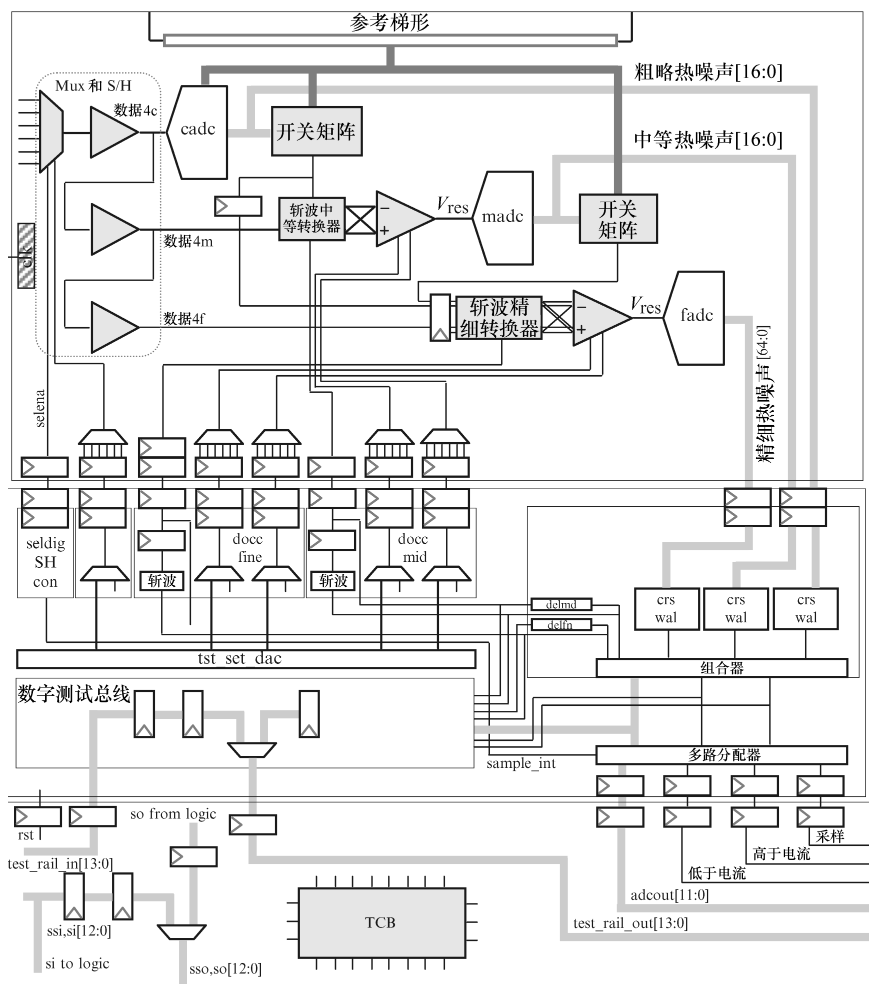


图 5.18　三步/多步 A－D 转换器和测试控制电路的框图[416]

因此，多步 A－D 转换器调试的关键是从传递函数中选择和分离故障信息。为了对 A－D 转换器的模拟性能进行高速测试和调试，不仅必须在器件引脚上具有所有 12 个数字输出和 2 个超出范围的信号，而且能够对煤机进行调试，粗略、中等和精细 A－D 转换器的输出信号也需要观察。从第一级开始顺序执行每个级的调试。每级都以较低的速度单独测试，可以使用标准工业模拟波形发生器。为

了进行相干测试，A－D 转换器的时钟信号必须始终由测试仪完全控制。一起添加所有这些请求将需要 14 位宽的输出测试总线。测试总线的连接不仅限于模拟部分的测试。对于数字测试，测试总线也用于从扫描链中携带数字数据。如图 5.18 所示，测试壳包含所有功能控制逻辑、数字测试总线、测试控制块（TCB）和用于数字连接到其他 IP／核心的 CTAG 隔离链。此外，也可以使用为模拟电路部分创建某些控制信号所必需的逻辑，对于扫描链，由测试控制块控制的旁路机制也是可用的。

在粗略 A－D 转换器中，通过改变传递函数中的步长，转换器内部模拟组件的故障会导致粗略 A－D 转换器的传递函数偏离理想情况。超出规格的电阻值、比较器偏移和比较器偏置电流故障导致了不同的模式。峰值数量和峰值数据的位置识别故障类型和故障位置。由于没有从中等和精细 A－D 转换器到粗略结果值的反馈，所以不需要将这两个 A－D 转换器设置为固定值来测试粗略 A－D 转换器。校准 D－A转换器设置不会在粗略 A－D 转换器结果中显示，然而校准系统应该保持有效。不允许随机校准周期来防止测试结果的干扰。由于 A－D 转换器范围的重叠，中等 A－D 转换器的响应不能直接使用正常的 A－D 转换器输出数据进行测试。然而，通过使用该块的扫描链设置粗略的外部输出信号，已知的值被分配给中等开关。残差信号现在用于通过测试总线观察中等 A－D 转换器输出位来分别验证中等 A－D 转换器。中等 A－D 转换器中的故障影响 m 中等位的传递函数中的步长，并在所有 c 位重复。

对于中等 A－D 转换器测试，需要对校准所需的斩波器信号进行处理。完成中等 A－D 转换器测试后，必须通过将斩波器输入设置为两个预定义条件来对斩波信号进行验证，并分析中等 A－D 转换器数据以验证偏移。由于校准 D－A 转换器设置会在中等 A－D 转换器结果中显示，所以 D－A 转换器设置为已知值，以防止中等 A－D 转换器测试结果的干扰。

与中等 A－D 转换器类似，由于 A－D 转换器范围的重叠，精细 A－D 转换器不能直接监控。通过粗略外部和梯形中可用的扫描链，控制信号被添加到中等和精细开关。当 A－D 转换器在正常应用模式下工作时，提取预定义的输入信号，并具有正常输入信号。在某一时刻，扫描链被设置为保持模式以获取请求的值。现在，通过预定义的输入信号导出的残差信号可以评估精细 A－D 转换器性能。对于精细 A－D 转换器测试，斩波信号需要有效。为了验证偏移，遵循与中等 A－D 转换器类似的过程。必须知道校准 D－A 转换器设置为已知值，以防止测试结果的干扰。所有 3 个测试的数字控制块要正常工作，来提供时钟脉冲和斩波信号，并将校准 D－A转换器设置在已知状态。

5.4.1　测试控制块

为了控制 A – D 转换器内的可测试性，实现了如图 5.19a 所示的符合 CTAG 标准的测试控制块。所有测试控制块部分由移位寄存器和映像（或更新）寄存器组成。移位寄存器用标准 D 型触发器实现，而映像寄存器包括异步复位功能，默认情况下，它将在器件功能模式下处于活动状态。控制复位必须直接来自 IC 引脚，因此需要专用引脚。存在几个控制信号：①tcb_enable，它是测试控制块的异步复位，并直接控制映像寄存器；②tcb_tdi，测试控制块的移位寄存器部分的输入，用于加载所需的测试模式数据；③tcb_tck，移位寄存器的时钟；④tcb_update，连接到更新寄存器上的时钟端口，并用于将移位寄存器的内容传送到更新寄存器；⑤tcb_hold，用于禁止移位寄存器的移位功能；⑥tcb_ tc，其切换 se 以控制正常和移位模式；⑦tcb_tdo，测试控制块的数据输出，可以连接到先前 TCB 块的 tcb_tdi 或直接连接到 IC 引脚；⑧q_norm［xx］，作为测试控制块的输出信号。可以从任何（测试）模式切换到任何其他（测试）模式，而无需经历测试控制块复位状态。

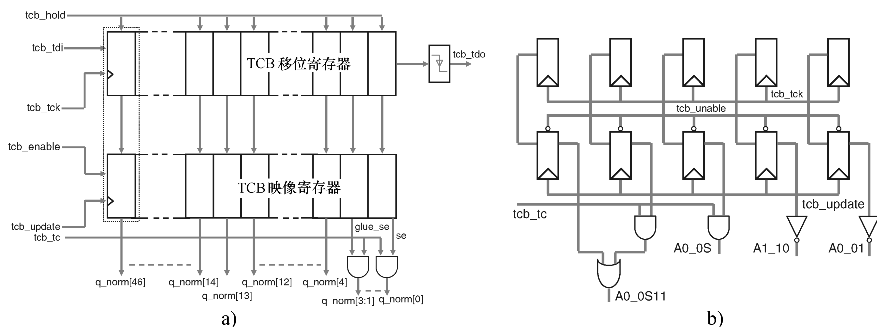


图 5.19　a）TCB 实施　b）TCB 片确定逻辑

每个 TCB 移位寄存器都有一个 TCB 映像寄存器，它在信号 tcb_update 处并行加载。所有 TCB 移位寄存器触发器在 tcb_tck 的上升沿改变状态。为了提供 TCB 块的输出，tcb_tck 下降沿上的反偏移触发器被添加到最后一个 TCB 移位寄存器。所有静态测试控制信号由 tcb_enable（低电平有效）异步复位。TCB 切换模式由 tcb_hold 信号控制，该信号在切换模式和保持模式之间切换。当 tcb_hold 设置为数字信号时，寄存器保持其当前状态。当 tcb_hold 设置为 0 时，寄存器处于移位模式，数据时钟在 tcb_clk 的上升沿。A – D 转换器测试控制块总共包含 215 位，分为 211 个正常片和 3 个与 tcb_tc 选通的片。se 片是一种特殊的片，具有运输模式。映像触发器之后的逻辑决定了片的类型。测试控制块片确定逻辑的部分如图 5.19b 所示。

5.4.2 模拟测试控制块

尽管层次上没有放置在测试壳中，但模拟顶部块中的两个子测试控制块将被视为 CTAG TCB 的一部分。由于必须对 A – D 转换器的单独核心进行验证，因此必须在测试过程中固定电路，以使所有核心在其全部输入范围内进行测试。在模拟部分，有 7 个扫描链，其中 3 个需要特别注意。要将独立核心的输入设置为所需值，则在开关梯形电路中可以使用链路。因此，对于中等 A – D 转换器测量，需要固定粗略 A – D 转换器值，因为它们确定中等 A – D 转换器参考，并且用于精细 A – D 转换器的测试，粗略和中等 A – D 转换器必须预先确定。然后将各个核心的响应传送到测试总线。子 D – A 转换器设置由数据串行移位通过扫描链进行控制，扫描链连接所有子 D – A 转换器寄存器，如图 5.20 所示。为了在定时中产生额外的余量，信号被移动了半个周期，这在应用模式下转换为负时钟信号。为了避免在较大的系统中将链路集成在更长链路中可能出现的问题，可以随意切换时钟控制信号 clkswld 的极性。这通过 hold_clk_fine 信号来实现，其实际上是如图 5.20b 所示的 clk_fine_off 信号（产生了“0”信号）。

请注意，clkswld 无法在时钟块中关闭。在时钟门，扫描启动信号使得可以在链路中或通过链路移动新值，即使固定信号被意外设置，也不需要重新编程测试控制块。应用模式所需的反转是在交换梯形逻辑中本地完成的，后面是 128 个触发器和 1 个反偏移元素所需的本地时钟树。可以在正常模式下冻结子 D – A 转换器寄存器的内容，并通过扫描链移出数据以获取当前的次 D – A 转换器设置。每个子 D – A 转换器需要一个测试控制位来调整（增加）参考电流，以获得 A – D 转换器输入范围的子 D – A 转换器输出范围的最佳拟合。在切开关梯形控制逻辑中的链路旁边，可用的第二个链路在粗略和中等外部块中，其包括使用三态逆变器并以模拟方式实现的测试点，如图 5.21 所示。在正常应用中，这些测试点不具有功能，并且这些触发器的时钟被关闭。在扫描测试期间，当测试点的时钟运行时，应用程序值被采样。

如 4.2 节所述，通过以各个方式打开/关闭核心偏置网络，第三个扫描链会有助于个核心的电源电流读数[263]。通过将开关置于核心偏置电路的接地节点处，而不是模拟核心本身的接地节点，由导通电阻引起的电压下降而导致的对核心的偏置点的影响是有限的。为了确保核心完全关闭，比如它没有浮动节点，本地断电和本地时钟信号要可用。

由于输出寄存器中的故障会掩盖其他故障，因此先对 A – D 转换器进行数字故障分析。所有或部分是数字故障的案例被认为是数字故障，因为数字输出电路中的故障屏蔽限制了调试模拟组件故障的能力。故障调试分别针对数字和模拟组件中的故障进行。如果数字电路无故障，则将 5.3 节所述的模拟组件故障调试技术应用于

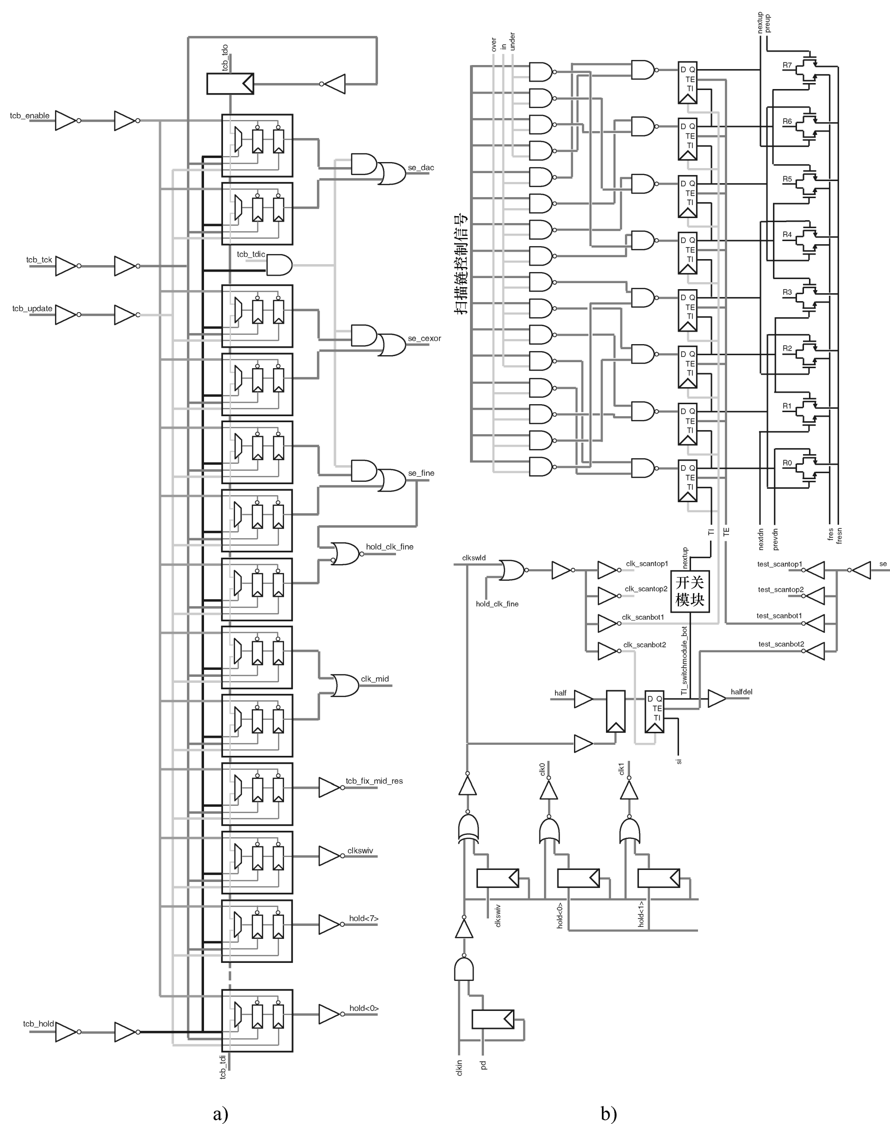


图 5.20　a）时钟外壳　b）开关梯形的控制逻辑

A－D 转换器，以获得故障模拟组件的故障定位和误差值。

多步 A－D 转换器中的数字电路可以分为两部分。第一部分是由输出寄存器和控制电路组成的纯数字电路。为了方便将测试矢量应用于数字电路，用于测试技术的扫描路径设计被用于寄存器。为了将数字测试壳隔离为独立的测试核心，根据 CTAG 协议，核心的数字 I/O 提供了保持电路（由本地测试控制块位 hold_inp 和 hold_out 控制）。保持触发器包含在环绕扫描链 ssi/sso 中（见图 5.22）。A－D 转换

器中的另一个数字部分是嵌入在 A－D 转换器级中的编码器。在编码器设计是由锁存器或触发器电路、电平检测电路和 NOR 逻辑编码器组成的简单编码器的情况下，可以使用来自相应级的功能测试数据来验证编码器。可以推断，如果包含简单编码器的子 A－D转换器级的线性没有显示任何丢失的编码误差，则编码器无故障。对于具有非简单编码器的 A－D 转换器，子 A－D 转换器级的比较器输出端的触发器被转换为扫描链。然后将数字测试和调试矢量通过该扫描链串行应用于编码器。

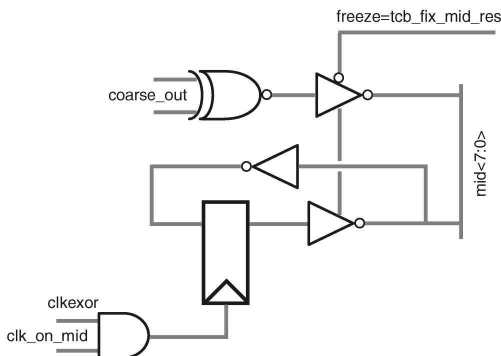


图 5.21　粗略外部块的测试点结构

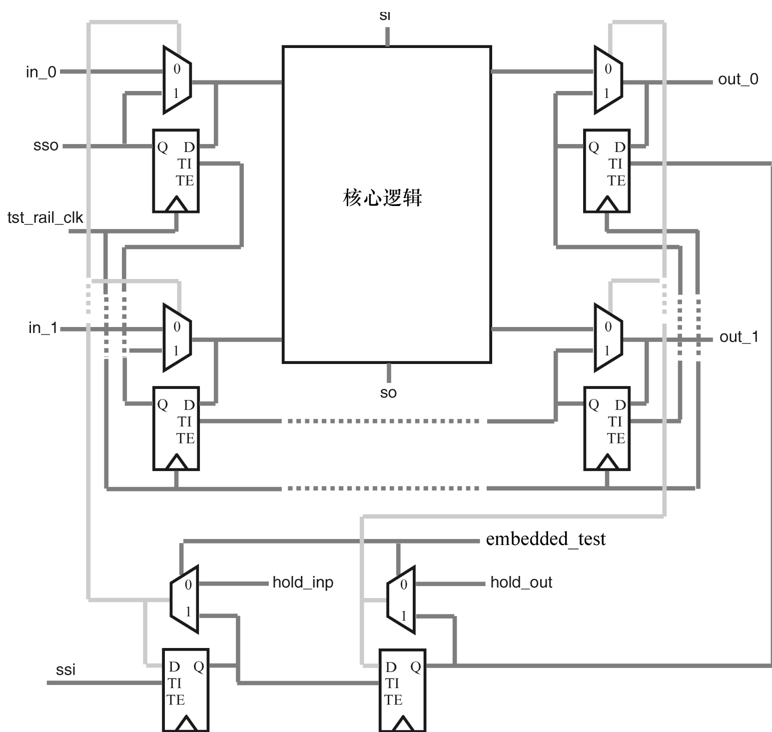


图 5.22　具有嵌入式测试实现的 CTAG 隔离

5.5　时间交织系统的调试

实现片上系统（SoC）需要将 A－D 转换器嵌入到大型数字 IC 上。为了实现最

低的成本，SoC 必须在最先进的 CMOS 技术中实现，并且必须具有面积和功率有效性，并达到所需精度的需要。深亚微米 CMOS 技术的特征尺寸和电源电压迅速下降增加了转换器要求的压力。多步 A－D 转换器架构如第 3 章所述，允许设计一种具有较少延迟和较少数字逻辑的高速、高效转换器，即流水线式 A－D 转换器。在这种系统中，微分输入信号用时间交织 S/H 电路进行采样。在一个时间间隔系统中，采样过程被划分为 N 个 S/H 单元。输入信号连接到所有单元，N 个不同的 S/H 单元对输入信号进行顺序采样。这意味着每个单元具有完成采样过程的时间 NT_s，而总采样间隔为 T_s。来自 S/H 单元的输出信号被多路复合在一起之前，在转换级中被进一步量化，以形成具有采样间隔 T_s 的一个输出数字信号。为了实现顺序采样，时钟信号通过 iT_s 延迟到第 i 个 S/H 单元。然而，S/H 电路必须足够快以跟踪高频输入信号。这是可以在时间交织系统中使用的 S/H 单元的数量的一个限制。如 3.3.2 节所述，虽然时间交织原理提供了高速和低功耗解决方案，但由于制造工艺，其实现在间隔单元之间引入了几个静态和动态不匹配误差（偏移、增益、带宽和时间[133－136]），这限制了系统性能。偏移不匹配会导致 S/H 中的固定模式噪声。它来自 S/H 单元上的运算放大器偏移不匹配和电荷注入不匹配，并导致每个 S/H 单元中的恒定振幅偏移。对于直流输入，每个采样和保持单元可能产生不同的输出，该误差信号的周期为 N/f_s。由于时钟偏移、时钟抖动、相位噪声或与输入信号的时钟交织耦合引起的时间不匹配，不同 S/H 单元之间的时钟延迟时间不相等。结果，输入信号将被周期性地但不均匀地采样。时间不匹配误差导致系统中的频率相关噪声，其在 N/f_s 周期的过零点处是最大的，并且被输入频率 f_{in} 调制。类似地，如果每个 S/H 单元的增益不同，则基本误差以 N/f_s 的周期产生，但是误差的振幅被输入频率 f_{in} 调制。在两种情况下，噪声谱峰值位于 $f_s/N \pm f_{in}$。S/H 单元内部电容、跨导、保持电容以及后续级的输入电容和反冲噪声的随机变化，会不同地降低输出稳定性能和电路增益带宽乘积。该误差发生在 N/f_s 的周期，但是频率和振幅依赖的误差大小由输入频率 f_{in} 调制。

人们已经提出了用于估计时间交织系统中静态和动态不匹配效应的各种方法[95,96,418－423]。在文献［418］中，DSL 调制解调器中多音信号的知识用于估计偏移和时间误差。在文献［95，96，419］中，伪随机信号用于偏移和增益误差的背景校准。在文献［133，135］中讨论了时间交织系统中的失真，具有用于用正弦输入信号估计和插值时间误差的算法。在文献［420］中，提出了一种高效插值算法，用斜坡输入信号估计时间误差。在文献［421］中，提出了盲时间误差估计方法。在文献［422］中，提出了时间、增益和偏移不匹配误差的盲均衡方法，并假设只有输入信号被限制到奈奎斯特频率。在文献［423］中，引入了交织采样系统带宽不匹配的盲估计方法，并且导出了其影响的公式。

在文献［422］之后，没有时间误差的标称采样间隔被表示为 T_s。采样频率表示为 $f_s = 1/T_s$，采样角频率表示为 $\omega_s = 2\pi f_s$。N 表示时间交织矩阵中 S/H 单元的数

量，这意味着每个 S/H 单元的采样间隔为 NT_s。时间、偏移、带宽和增益误差分别表示为 Δ_{ti}^0、Δ_{oi}^0、Δ_{bi}^0和 Δ_{gi}^0，$i=0$，…，$N-1$。矢量符号 $\boldsymbol{\Delta}_t^0$ = [$\Delta_{t0}^0 \cdots \Delta_{tN-1}^0$] 用于表示所有的时间误差。偏移、带宽和增益误差被相似地表示。假设除了 4 种类型的不匹配误差之外，S/H 单元中没有其他误差。类似地，$x(t)$ 是模拟输入信号，$y_i[k]$是来自 N 个 S/H 单元的输出子序列，并使用时间误差进行采样：

$$y_i[k] = (1+\Delta_{gi}^0)(1+\Delta_{bi}^0)x((kN+i)T_s+\Delta_{ti}^0)+\Delta_{oi}^0 \tag{5.31}$$

以奈奎斯特速率对 $x(t)$ 进行均匀采样得到关于 $x(t)$ 的所有信息的样本 $x(t=nT_s)$。如果输入信号被限制到奈奎斯特频率，并且误差参数是已知的，则可以从不规则样本中完美地重建输入信号[424]。通过从相应子序列中减去偏移误差参数来消除振幅偏移误差。类似地，通过将子序列除以相应的 S/H 增益，可以在去除偏移误差之后去除增益误差。最后去除带宽误差。重建输出信号 z_i 可以表示为

$$\begin{aligned} z_i^{(\Delta_{oi}^0)}[k] &= y_i[k]-\Delta_{oi}^0 = (1+\Delta_{gi}^0)(1+\Delta_{bi}^0)x((kN+i)T_s+\Delta_{ti}^0) \\ z_i^{(\Delta_{oi}^0,\ \Delta_{gi}^0)}[k] &= z_i^{(\Delta_{oi}^0)}[k]/(1+\Delta_{gi}^0) = (1+\Delta_{bi}^0)x((kN+i)T_s+\Delta_{ti}^0) \\ z_i^{(\Delta_{oi}^0,\ \Delta_{gi}^0,\ \Delta_{bi}^0)}[k] &= z_i^{(\Delta_{oi}^0,\ \Delta_{gi}^0)}[k]/(1+\Delta_{bi}^0) = x((kN+i)T_s+\Delta_{ti}^0) \end{aligned} \tag{5.32}$$

在文献［425］中，开发了允许完美重建的任意采样方法的最小采样率。在文献［426］中已经表明，只有特殊情况下的带通信号可以从其均匀样本以 2 倍带宽的最小速率完美地重建，而文献［427］的一种重建方案可以准确恢复任何带通信号。在文献［428］和文献［429］中，提出了文献［429］中被称为通用的盲多陪集采样策略。多陪集采样是均匀采样的某些样本的选择。均匀网格分为 L 个连续样本的块。长度为 p 的常数集合 C 描述了保留在每个块中的 p 个样本的索引，而其余的零被清除。集合$C=\{c_i\}_{i=1}$被称为采样模式，其中 $0\leqslant c_1<c_2<\cdots<c_p\leqslant L-1$。对于 $1\leqslant i\leqslant p$，将第 i 个采样序列定义为

$$x_{ci}[n] = \begin{cases} x(t=nT_s) & n=mL+c_i \\ 0 & \text{其他} \end{cases} \tag{5.33}$$

采样阶段由具有周期为 $1/(LT_s)$ 的 p 个均匀采样序列来实现，其中第 i 个采样序列被来自原点的 c_iT_s 移位。因此，多陪集系统由参数 L、p 和采样模式 C 独特地表征。直接计算表明[429]：

$$\begin{aligned} Z_c^{(\Delta_b^0)}(e^{j2\pi f T_s}) &= \frac{1}{LT}\sum_{r=0}^{L-1}(e^{j2\pi c_i r/L})X\left(f+\frac{r}{LT}\right) \\ \forall f \in F_0 &= \left(0,\frac{1}{LT}\right),\ 1\leqslant i\leqslant p \end{aligned} \tag{5.34}$$

式中，$Z_{ci}(e^{j2\pi f T})$是 $x_{ci}[n]$频带限制为 F 的离散时间傅里叶变换（DTFT）。

为了本书的目的，以矩阵的形式表示以前的方程式是方便的：

$$\boldsymbol{y}(f) = \boldsymbol{A}\boldsymbol{x}(f),\ \forall f\in F_0 \tag{5.35}$$

式中，$\boldsymbol{y}(f)$是第 i 个元素是 $Z_{ci}(e^{j2\pi f T})$的长度 p 的矢量，并且对于每个f，矢量$\boldsymbol{x}(f)$

包含 L 个未知数。

$$x_i(f) = X\left(f + \frac{i}{LT}\right),\ 0 \leqslant i \leqslant L-1, f \in F_0 \tag{5.36}$$

矩阵 $\boldsymbol{A}$ 取决于参数 L、p 和集合 C，但不依赖于 $\boldsymbol{x}(t)$，并由下式定义：

$$A_{ik} = \frac{1}{LT_s} e^{j2\pi c_i, k/L} \tag{5.37}$$

利用反时离散傅里叶变换（ITDFT），可以推导出时间误差重建信号：

$$z_c^{(\Delta_t^0)}[k] = \mathrm{ITDFT}(Z^{(\Delta_t^0)}(e^{j2\pi f/T_s})) \tag{5.38}$$

通常用于损失函数的估计器的质量标准是均方误差准则，主要是因为它代表误差信号中的能量，易于区分并提供分配权重的可能性（见 5.3 节）。

$$W_t^{(M)}(\Delta_t) = \sum_{i=1}^{L-1} \sum_{j=0}^{i-1} \left(\frac{1}{L} \sum_{k=1}^{M} (z_i^{(\Delta_{t_i})}[k])^2 - (z_j^{(\Delta_{t_j})}[k])^2 \right)^2 \tag{5.39}$$

类似地，为了估计偏移误差，假设来自每个 S/H 单元的输出平均值对应于相应的偏移误差。另外，除了偏移误差之外，还假设 S/H 单元中没有其他误差。为了估计增益误差，假设增益误差仅在电路中存在。

算法
初始化
－为每次迭代选择一个批量大小 M
－初始化最陡下降更新 $\mu = 1$
－初始化参数估计 $\Delta_{oi}{}^{(0)} = 0$，$\Delta_{gi}{}^{(0)} = 0$，$\Delta_{bi}{}^{(0)} = 0$，$\Delta_{ti}{}^{(0)} = 0, i = 0, \cdots, N-1$
－初始化遗忘因数 ζ
数据采集
－从 DUT 采集 M 个样本
更新参数估计
1. 根据式（5.35）和式（5.41）计算重建信号
2. 计算损失函数 $\nabla W_o(\Delta_o)$、$\nabla W_g(\Delta_g)$、$\nabla W_b(\Delta_b)$、$\nabla W_t(\Delta_t)$ 的梯度
3. 更新参数估计 $\Delta^{(i+1)} = \Delta^{(i)} - \mu \times rW(\Delta^{(i)})$
4. 如果 $\Delta^{(i+1)} > \Delta^{(i)}$，减小步长 μ 并重复步骤 3
5. 增加迭代指数 i，并重复步骤 1～4 进行最佳估计
6. 通过 $\Delta^{(i+1)} > \Delta^{(i)}$ 表示 $\Delta_F{}^{i+1}$ 的最终值
7. 如果条件变化，则更新具有新估计 $\Delta_F{}^{(i+1)}$ 的 $\Delta_F{}^{(i+1)}$

增益误差的测量是与 S/H 单元相应增益对应的每个 S/H 单元输出的方差。同样地，为了估计带宽误差，假设带宽误差仅存在于电路中。带宽误差的测量是来自与 S/H 单元相应增益带宽积对应的每个 S/H 单元增益带宽乘积的方差。请注意，Δ_{bi} 是输入频率以及带宽的函数。另外，由于带宽不匹配引起的相位变化是输入频率的非线性函数，而由于时间偏移引起的相位不匹配是其线性函数。偏移、增益和带宽损耗函数可以定义为

$$W_o^{(M)}(\Delta_o) = \sum_{i=1}^{L-1}\sum_{j=0}^{i-1}\left(\frac{1}{L}\sum_{k=1}^{M}(z_i^{(\Delta_{oi})}[k])^2 - (z_j^{(\Delta_{oj})}[k])^2\right)^2$$
$$W_g^{(M)}(\Delta_g) = \sum_{i=1}^{L-1}\sum_{j=0}^{i-1}\left(\frac{1}{L}\sum_{k=1}^{M}(z_i^{(\Delta_{gi})}[k])^2 - (z_j^{(\Delta_{gj})}[k])^2\right)^2 \quad (5.40)$$
$$W_b^{(M)}(\Delta_b) = \sum_{i=1}^{L-1}\sum_{j=0}^{i-1}\left(\frac{1}{L}\sum_{k=1}^{M}(z_i^{(\Delta_{bi})}[k])^2 - (z_j^{(\Delta_{bj})}[k])^2\right)^2$$

损失函数的最小化参数给出了不匹配误差估计。然而，不匹配误差可能会随着温度和老化而变化缓慢，所以必须用新的数据自适应地更新参数估计。由于最小化参数不能被分析计算，所以采用数值最小化算法。

虽然在估计理论中有几种方法可用于估计所需的响应，但梯度搜索方法[430]可以提供每次迭代的最小数量的运算，并且不需要相关函数计算。本质上，该算法通过将估计的输出与所需响应进行比较，并根据估计误差自动调整输入权重来产生估计误差：

$$\Delta^{(i+1)} = \Delta^{(i)} - \mu\nabla W(\Delta^{(i)}) \quad (5.41)$$

这里用于更新 $\Delta^{(i+1)}$ 的缩放因数是由 μ 表示的步长参数，步长大小 μ 在每次迭代中减少，直到输入权重减少，即直到 $\Delta^{(i+1)} < \Delta^{(i)}$。如果片上状态变化，比如温度，估计算法用遗忘因数 ζ 更新 $\Delta^{(i+1)}$[413]，新估计为

$$\Delta^{(i+1)} = \zeta\Delta^{(i)} + (1-\zeta)\Delta_F^{(i+1)}$$
$$0 < \zeta \leqslant 1 \quad (5.42)$$

其中，$\Delta_F^{(i+1)}$ 是已记录温度变化之前的估计。

5.6 前景校准

如第 3 章所述，实际的转换器可能会出现与采样、保持和量化的理想操作的偏差。如前面所述的调试技术，可以评估转换器的真实输出是否在理想输出的容许偏差之内。以这种方式获得的信息可以重新用于补充电路校准。已经提出了各种各样的校准技术来最小化或校正导致 A－D 转换器中不连续性的级传递函数[29,95,96,117,203－211]。每个步骤的不匹配和误差可以被平均化，或者可以测量和校正其振幅。模拟校准方法在本书中包括在模拟电路中对分量值进行调整或补偿的技术，而校正系数的计算和存储可以是数字的。数字方法已经越来越受欢迎，主要是因为增加的计算能力、良好的预定义精度和灵活性。

除了对误差平均、模拟和数字校准方法进行分类之外，根据正常操作是否中断，这些技术可以分为前景和背景方法。如图 5.23a 所示，前景校准要求将 A－D 转换器中断，使已知的输入序列可以应用于 A－D 转换器，其中通过将 A－D 转换器的输出与在理想条件下预期的 A－D 转换器输出比较，可以量化和纠正缺失码的影响。图 5.23a 中用虚线绘制的理想 A－D 转换器没有物理实现，数字输出是已知

的，因为校准输入是已知的。在前景方案中，可以在少数时钟周期内实现校准，因为误差信号与造成缺失码的误差源高度相关。然而每当执行校准时，A－D 转换器必须脱机，这在某些应用中可能是不可能的。

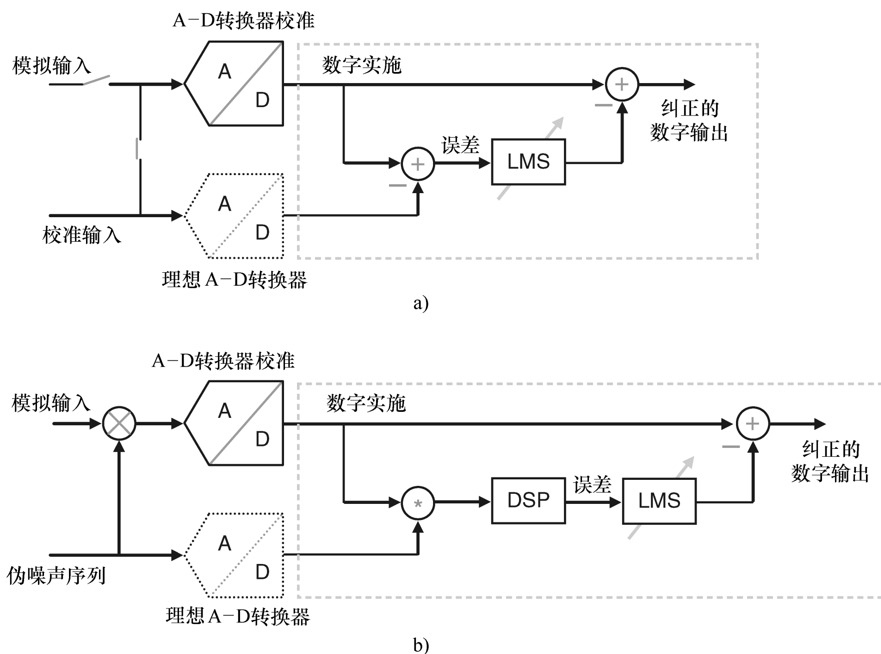


图 5.23　原理

a）前景校准　b）背景校准

另一方面是图 5.23b 所示的背景校准，如 3.5.2 节中突出描述的连续测量和删除遗漏的编码。与前景校准类似，背景校准技术中的理想 A－D 转换器没有物理实现；数字输出是已知的，因为伪噪声序列已知。通常，通过添加硬件或软件来执行校准系数测量，应用与前景方法相同的算法来开发背景校准技术，但是许多算法最初用于背景操作。在统计方案中，校准阶段的输入由已知的伪随机序列有效地调制，其中通过将 A－D 转换器的数字输出与已知的伪随机序列相关联，可以确定丢失编码的影响。实质上，在 A－D 转换之前，输入信号与 +1 和 －1 的伪二进制随机序列相乘。然后数字输出信号以相同的序列相乘，来重建信号。为了避免明显改变 A－D 转换器输出频谱，伪噪声序列通常被做得非常长，以避免与模拟输入的相关性以及较小的振幅，这使得表现为附加白噪声的伪随机序列输出源仅消耗动态范围的一小部分。

一般来说，前景和背景校准技术的最大采样率和可达到的分辨率是相同的，而后一种方法最终需要更复杂的实现，需要冗余硬件或过多的数字信号处理。然而，使用背景校准方案，由于补偿值的调整一次为 ±1，因此在达到最终值之前需要大

量的时钟周期。在使用背景统计技术的 A－D 转换器中，长校准时间可能导致过多的测试时间，从而限制了 IC 的生产量，从而降低了收入。比如，如果具有四百万个校准周期，即使具有 40 MS/s 的相当高的采样率，至少需要 100 ms 来测试 A－D 转换器。对于更高分辨率和/或较低速度的 A－D 转换器，测试时间可能高得多[431]。

不同于模拟校准技术，其中组件被测量，然后校正到它们匹配，在前景数字校准技术中，组件比率被测量，并通过 A－D 转换器的后续级进行量化，然后以数字方式存储。测量结果随后与 A－D 转换器的数字输出一起使用，以产生具有改进线性的校正数字输出。这种技术的缺点是需要使用模拟技术不需要的数字加法器。然而该技术大大放宽了对一些模拟组件的设计要求，并导致非常可靠的和鲁棒的设计。在多步的每个级，比较器将可能的信号值的范围分成一组较小的范围或存储区。与每个存储区相关联的是数字编码和 D－A 转换器的权重。A－D 转换器的每个级将信号分配给某个存储区，并产生一个残差信号。当转换完成时，信号对于 A－D转换器的每个级都有一个存储区分配。因此，信号由 A－D 转换器的每个级分配数字编码和权重。为了重建输入信号的线性数字表示，权重被相加。

当输入的线性重建完成时，两个信号的结果应该彼此匹配。如果 w 用于表示来自 i 级的权重，并且 D 用于表示由 A－D 转换器的其余部分产生的编码，则 $\mathrm{code}_i = w_i + D_i$ 和 $\mathrm{code}_{i+1} = w_{i+1} + D_{i+1}$。对于匹配的编码，$w_{i+1} - w_i = D_i - D_{i+1} = G(V_{Ri} - V_{Ri+1})$。$D_i - D_{i+1}$是不连续性的高度，因此不连续性的高度是对应于不连续性任一侧的存储区的权重，因此通过测量每个不连续性来分配权重：假设接近不连续阈值的信号被应用于感兴趣的级的输入，然后进行两次测量：在第一种情况下，从输入信号中减去比较器阈值以下的 D－A 转换器电平。然后，通过剩余的多步 A－D转换器，对所得到的残差进行放大和量化，获得数字化输出 D_i。接下来，输入信号保持相同，并且立即从输入信号中减去比较器阈值以上的 D－A 转换器电平。这种情况的残差也被多步 A－D 转换器的其余部分放大和量化。这种情况下会获得残差输出 D_{i+1}。然后计算 $D_i - D_{i+1}$以获得权重差的结果。该测量在每个阈值处完成。

数字校准的多步 A－D 转换器操作类似于未校准的转换器的操作，但以下情况除外。不是将来自每个级的 A－D 转换器输出位直接并入数字输出字，而是将每个级的位用作查找表的地址。解码器将地址转换成从查找表中选择适当的 D－A 转换器权重的信号。然后将该 D－A 转换器权重加到前一级的数字结果中。在最后级，最终数字输出字是每个选定的 D－A 转换器的每一级权重之和。记住 $i+1$ 级的残差信号 V_{i+1}可以表述为

$$V_{i+1} = \eta_i V_i + (1 - D_i) \cdot \gamma_i V_{\mathrm{ref}} + \lambda_i \tag{5.43}$$

式中，D_i 是该级的子 A－D 转换器的输出。

使用 V_{ref}划分双方，则可以将第 i 级输入信号 V_i 表示为

$$V_i/V_{\text{ref}} = 1/\eta_i(V_{i+1}/V_{\text{ref}} - (1-D_i)\cdot\gamma_i - \lambda_i/V_{\text{ref}}) \tag{5.44}$$

该方程构成了校准算法的基础。通过使用 5.3 节中描述的算法来估计级增益误差 η_i、内部参考电压误差 γ_i 和系统偏移误差 λ。为了恢复 V_i 正确的值，必须先恢复 V_{i+1}/V_{ref}。通过将模拟输入电压 V_{in} 正常地调整为参考电压 V_{ref} 来获得数字编码 D_{out}。

如果（N－i）位后端 A－D 转换器是理想的 A－D 转换器，则以偏移编码格式写入的输入电压 V_{i+1} 的数字输出 D_{BE} 可以表示为

$$D_{\text{BE}} = b_1 b_2 \cdots b_N = b_1 2^{N-1} + b_1 2^{N-2} + \cdots + b_{N-1}2 + b_N \tag{5.45}$$

将偏移编码 D_{BE} 乘以偏移量 V_{LSB}，然后计算 V_{i+1} 的近似值：

$$V_{\text{in}}/V_{\text{ref}} \approx (D_{\text{BE}} - 2^{N-i-1})/2^{N-i-1} = b_{i+1} + b_{i+2}2^{-1} + \cdots + b_{N-1}2^{-(N-i-2)} + b_N 2^{-(N-i-1)} - 1 + 1/2^N \tag{5.46}$$

假设每个级的校准误差参数都可以从 5.3 节中描述的算法得知，校准整个多步 A－D 转换器的过程可以描述如下：①首先，从级 i 开始校准，并从后端 A－D 转换器输出的 D_{BE} 中找到残差电压 V_{i+1}；②恢复基于算法输出 V_{i+1} 的级输入 V_i；③最后，重复校准级 $i-1$ 的最初的两步，直到达到第 1 级。V_1 是输入信号 V_{in} 的校准值。通过将 V_1 量化到 N 位来获得数字输出。

校准的精度取决于用于执行校准的 A－D 转换器的精度。用于测量重权的 A－D 转换器中的微分非线性破坏了测量，包括测量级的新 A－D 转换器将具有比较器阈值的 DNL，如果使用多步 A－D 转换器来校准自身，则这可能是限制因素。幸运的是，在测量过程中由 A－D 转换器引起的 DNL 被放大，因为测量发生在放大的残差上。因此，如果没有校准级的 A－D 转换器的 DNL 为 x，则校准级的 A－D 转换器的 DNL 为 x/G，其中 G 为残差放大器的增益。因此，可以从后端 A－D 转换器的输出校准一个多步 A－D 转换器，并向前端工作。类似地，在校准过程中确实发生了一些误差累积。然而，通过设计多步 A－D 转换器，使输入信号的小变化仅影响由端级产生的编码，这种误差的累积会保持在最小。

该设计允许将校准逻辑包含在与 A－D 转换器相同的芯片上，或者使用与电路板级 A－D 转换器芯片组合的 FPGA 实现。校准状态机在校准保持级期间控制前两级的 D－A 转换器中的参考电压切换。用于计算和编码逻辑的输入信号来自转换器芯片的 RSD 校正的数字字、第一和第二级的原始位、状态指示位和外部复位信号。每个级的校准系数是 4 次测量的平均值，并存储在存储器中。在正常操作期间，校准编码是两个系数的和，根据两个第一级的原始位，这两个系数被选择为每个未校准的 A－D 转换器输出字。

5.7　实验结果

使用标准单极六金属 0.09μm CMOS 制造的专用嵌入式传感器，在三步/多步

A－D转换器（见图 5.24）上对本章中描述的各种概念的有效性进行评估。转换器输入信号通过 3 次交织 S/H 进行采样，消除了在每个量化级之后重新采样信号的需要。S/H 分离并缓冲模拟延迟线采样信号，然后将其馈送到 3 个 A－D 转换器，即粗略（4 位）、中等（4 位）和精细（6 位）。粗略 A－D 转换器的量化结果用于在下一个时钟相位中选择中等量化的参考。所选择的参考与被保持的输入信号组合在两个被偏移校准的双残差放大器中。中等 A－D 转换器对这些中等残差放大器的输出信号进行量化。粗略和中等 A－D 转换器的输出被组合以便为精细量化选择合适的参考。这些参考也是与两个偏移校准的双残差放大器中的采样输入信号组合。放大的残差信号被添加到精细 A－D 转换器中。

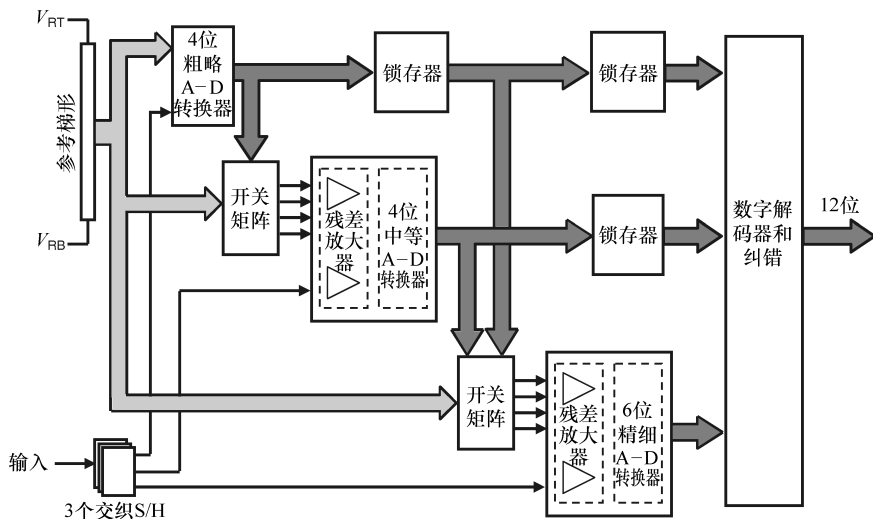


图 5.24　三步/多步 A－D 转换器原型

该原型采用标准单极六金属 0.09μm CMOS 制造，核心面积为 0.6mm²，不包括键合焊盘。A－D 转换器工作在 1.2V 电源电压，功率为 85mW（无输出缓冲器）。随着 CMOS 技术的尺寸越来越小，数字电路在速度、功率和面积方面都将受益匪浅。这些优点不能直接用于模拟电路，因为模拟电路中的品质因数超出了速度、功率和面积的要求。尽管以较低的 SNR 和更差的线性为代价，但数字缩放产生了面积缩小、带宽增加和功耗降低等优点。模拟电路缩放的重点可以从标准数字缩放转移到性能提升模拟缩放。在文献［369］中，尽管假设模拟电路占据了 SoC 的一小部分，但模拟缩放可以实现电路带宽和固定频率下的动态范围的增加，因此可以因面积和功率的增加而得到补偿。与缩放目标有关的技术可以分为两部分：在架构层面上，每级分辨率、编码和数字校正的选择放宽了对传统上称为功率需求模块的一些有源电路块的要求；在电路层面上，利用数字校正，动态比较器可以消除静态功耗。采用具有前置放大器和共源—共栅跨导级的高速、低电压运算放大器来实现快速稳定和高直流增益。最

后，利用时钟升压电路来降低由低电源电压引起的导通电阻。该转换器设计的数字部分包括时钟发生器、数字解码器和数字校正电路。

技术缩放对源极/漏极寄生电容的影响并不明显，因为它取决于掺杂密度、结深度、源极/漏极面积缩放等。如果假设寄生效应仅受缩放特征尺寸的影响，源/漏极寄生电容大致等于技术缩放常数 s。寄生电容的其他来源，比如布线和重叠，也随技术而变化。尽管金属线的线宽可以随技术而减小，但由于金属线之间的最小间隔减小，两相邻金属线之间的耦合趋于增加。其他小的因素，如金属电阻要求，可能会阻止长金属线的宽度，这也会影响寄生电容。通常，因为整体晶片尺寸约小于 $(1/s)^2$，所以可以假设寄生（如果由布线和重叠控制）大致为（$1/s)^2$。如果所有的尺寸和电压（和电流）都按照模拟缩放情景的建议进行了缩放，跨导将因为因数 $1/s^3$ 而增加。饱和度的输出阻抗按照 s^3 缩放，因此固有增益 $g_m r_o$ 保持不变。通过模拟缩放，最大允许电压摆幅减小了因数 s，并降低电路的动态范围。为了恢复动态范围，晶体管的跨导必须增加因数 $1/s^3$，因为热噪声电压和电流随着 $\sqrt{g_m}$缩放。由于电压缩放需要 $V_{GS}-V_T$ 降低因数 1/s，所以漏极电流 I_D 必须增加相同的因数，从而将功耗增加 $1/s$。类似地，如果 C_{ox}按照 $1/s$ 和 L 缩放，并且 $V_{GS}-V_T$ 被缩小了 s，则 W 必须增加 $1/s^2$。

对于 12 位分辨率，S/H 电路中的保持电容由噪声限制决定，因此所需的电容尺寸在两种技术中都是相同的。实际上，由于噪声原因 C_H 保持相同，所以在特定偏置条件和固定 g_m 的缩放技术中 f_T 更高，这转化为具有相同功耗的速度增加。此外，v_{DAST}也可以在缩放技术中降低以增加 g_m。此外，运算放大器输入和源极/漏极输出电容的寄生电容在缩放技术上比 0.18μm 设计更小，从而改善了反馈系数以及稳定时间。如果 C_L 由寄生电容确定，则当技术由于栅极和源极/漏极电容减小而被缩放时，其降低约 s。这意味着 g_m 可以通过因数 s 来缩放。如果 v_{DAST}保持不变，则所需的电流可以大致降低 s，这意味着省电 $1/s$。

在图 5.25 中，给出了测试芯片的显微照片。专用嵌入式传感器和完整的 DfT 占整个区域的 10% 以下。额外的数字电路添加在左边，它连同一些虚拟金属线路用于过程产量的目的。另外，测试芯片包含一个温度传感器（位于粗略 A－D 转换器和精细残差放大器之间）以及分离成特定组的微分晶体管对和梯形电阻的矩阵，这些组被放置在分隔的多步 A－D 转换器中。

为了允许对目前某些特定参数的工艺可变性条件进行表征，实现了优化的设计环境，每组监视器都针对特定的误差源，如 5.1.4 节所述。执行重复单 DLPM 测量以最小化噪声误差。每个 DLPM 由多个微分晶体管对（在一个路径内并联源极和漏极）组成，它们以不同的相互距离间隔开，以检查对偏移空间依赖性的影响。所有源极都连接到一个共同点。同一监视器中的所有晶体管的栅极连接到共同点。在布局中特别注意，要在栅极通路中获得非常低的电阻以消除测量期间的系统误差，并且要使用非常宽的源极金属连接。

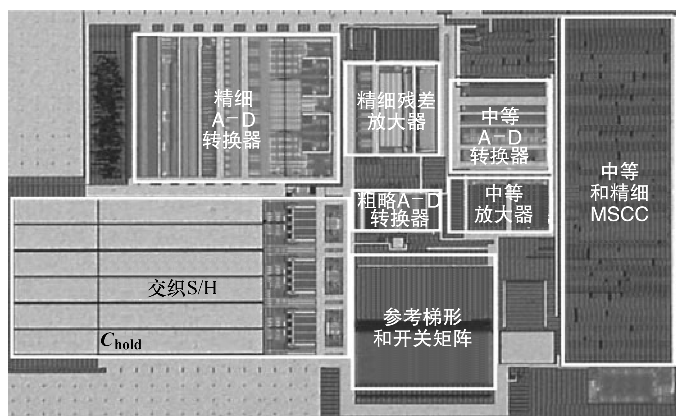


图 5.25　芯片显微照片

时钟电路位于有源区域的中心，其中适当的相位在电路中每个级的位置被分接。数字校正位于有源区右下角，并且在底部的焊盘处产生 12 位输出。右边加上额外的数字电路，以及一些虚拟金属线路来用于生产。与第 3 章中描述的转换器类似，在整个设计中使用微分电路拓扑，多个衬底抽头靠近噪声敏感电路放置，以避免噪声注入。对于模拟块，衬底抽头放置在靠近 n 沟道晶体管处，并连接到附近的模拟地（用于公共源极配置，衬底抽头连接到源极）。对于数字块，衬底抽头放置在 n 沟道晶体管附近，并连接到单独的专用输出焊盘的衬底引脚，然后将该焊盘与评估板上的接地连接。将衬底抽头放置在晶体管附近的另一个优点是最小化主体效应变化。对于共源极器件，由于源极和主体连接，因此不会发现任何主体效应。对于共源—共栅器件，虽然源极电位可能随电位变化而变化，但由于源极退化，V_T 对漏极电流的影响大大降低。不要额外放置基板抽头，以避免它们作为噪声接收器将额外的噪声耦合到电路中。每个功能块使用单独的 V_{DD} 和接地引脚，不仅可以最大限度地减少不同电路块之间的噪声耦合，还可以减少对地的总体阻抗。整个芯片使用多个 V_{DD} 和接地引脚。数字 V_{DD} 和接地引脚与模拟 V_{DD} 分离。在模拟部分中，用于不同功能块的 V_{DD} 和接地引脚也被分离，以便在实验过程中具有更大的灵活性。每个电源引脚连接到惠普 HP3631A 稳压器，并使用 10μF 钽电容和 0.1μF 陶瓷芯片电容旁路接地。

参考电流源由 Keithley224 外部电流源产生。对于实验，正弦输入信号由任意波形发生器（Tektronix AWG2021）产生。该信号通过 SMA 连接器板载，并应用于将单端信号转换为平衡微分信号的变压器（最小电流 PSCJ - 2 - 1）。变压器的输出电平移位到共模输入电压，并与两个 50Ω 匹配电阻连接。进入 A - D 转换器的测试信号的共模电压通过连接到参考电压的匹配电阻设置，名义上设置为 0.6V。A - D转换器的数字输出通过输出缓冲器进行缓冲，来驱动器板上电路的寄生电容

和逻辑分析仪的探头。数字输出由逻辑分析仪（Agilent 1682AD）获取，还向逻辑分析仪提供时钟信号来和 A－D 转换器同步。所有的器件都由 LabView 程序设定，并通过 MATLAB 软件进行信号分析。

5.7.1　A－D 测试窗口生成/更新的结果应用

通过扫描参考电压直到决策发生变化，并提取关于工艺变化效应的信息。根据 5.1.3 节中描述的多步 A－D 转换器误差模型的规则，定义了各种 DLPM 的辨别窗口。通过将被测晶体管对的漏极连接到电压表的开关矩阵来顺序地访问每个 DLPM 中不同晶体管的漏极电压，而其他晶体管的漏极保持开路。开关矩阵将被测晶体管对的栅极连接到栅极电压源，并将其他行的栅极连接到地面。关键尺寸的分析显示了多线宽度对方向的依赖性，这导致了具有不同方向的晶体管之间的性能差异。对于晶体管对，在不同栅极方向之间没有观察到系统偏差。通过使用大于 V_T 的栅极电压，所有晶体管都以强反转偏置。由于顺序测量不同的晶体管，所以直流栅极电压源的直流可重复性必须大于要测量的最小栅极－电压偏移。测量设置中源的重复性优于六位数，而且这是足够的。通过在所有测试芯片上以最小距离组合器件的结果获得的样本来估计偏移。对于距离依赖性，使用相同的统计技术。

在应用示例所示的粗略 A－D 转换器中，存在一些 DNL 误差，如图 5.26a 所示。图 5.26b 和 5.27 显示了从测试矩阵中相似数量的微分转换器对和梯形电阻测量中提取的 140 个样本估计的直方图。片上 DLPM 的数量由于区域限制而是有限的，因此通过统计技术来获得附加信息。基于 EM 算法的差值估计在图 5.28 中示出，其对应于唯一地基于观测数据的 ML 估计。EM 算法允许通过在两个步骤之间迭代直到收敛的计算过程来获得未知参数的 ML 估计。由于主要的统计问题是参数估计，所以在大多数情况下，这最好通过使用 ML 理论来实现，EM 算法将缺失数据替换为对数似然函数，而不是不完整的数据集。缺失值被它们的函数的条件预期所代替，因为它们出现在对数似然函数中。为了使问题易于管理，假设该实现工艺参数变化的模型遵循高斯分布。利用该假设，则模拟值对应于未知参数的足够统计量的期望值。对于这种密度，可以说，不完全数据集是观察集合，而完整数据集的每个要素可以被定义为由观察和指标组成的双分量矢量，该指标指定哪一个分量在观察期间发生。通过将 EM 方程应用于基于 DLPM 和粗略 A－D 转换器 DNL 测量的两个单变高斯分量的观测混合来初始化高斯混合。图 5.29a 可以看出对数似然函数 $L(\theta^{(t)}/T_{XY})$ 相对于迭代次数的曲线。每次迭代保证增加概率，最后算法在 12 次迭代中收敛到似然函数的局部最大值。

估计决策级偏移误差 μ、级增益误差 γ 以及内部参考电压 γ 误差的平均值 μ 和方差 σ。文献［393］详细讨论了 EM 算法的收敛性质。回想一下，$\theta^{(t+1)}$ 是使差值 $\Delta(\theta/\theta^{(t)})$ 最大化的 θ 的估计。从目前的 θ 估计开始，即 $\theta^{(t)}$，$\Delta(\theta/\theta^{(t)})=0$。由

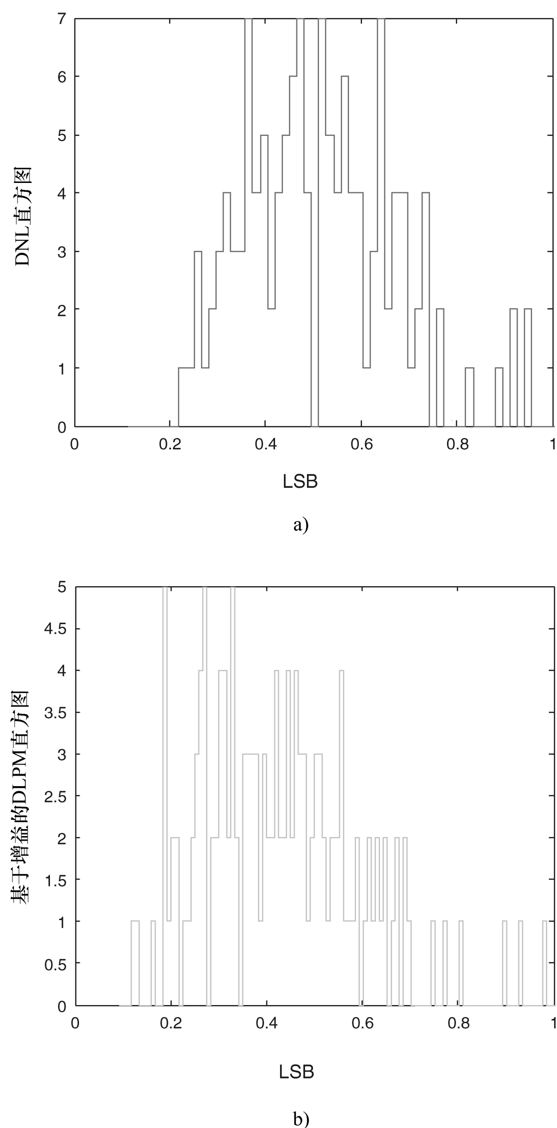


图 5.26　a）来自测量的 100 个样本的粗略 A－D 转换器直方图估计　b）来自测量的 140 个样本的基于增益的 DLPM 直方图估计（© IEEE 2008）

于选择 $\theta^{(t+1)}$ 来最大化 $\Delta(\theta/\theta^{(t)})$，并且 $\Delta(\theta^{(t+1)}/\theta^{(t)}) \geqslant \Delta(\theta^{(t)}/\theta^{(t)}) = 0$，因此对于每次迭代，似然性 $L(\theta)$ 是非递减的。

对于一些 $\theta^{(t)}$，当算法达到某个固定点时，值 $\theta^{(t)}$ 使 Q（θ）最大化。由于 L 和 Q 在 $\theta^{(t)}$ 时相等，如果 L 和 Q 在 $\theta^{(t)}$ 是可微分的，那么 $\theta^{(t)}$ 必须是 L 的一个固定点。然而，固定点不需要是局部最大值，文献［393］显示了算法可以收敛到局部

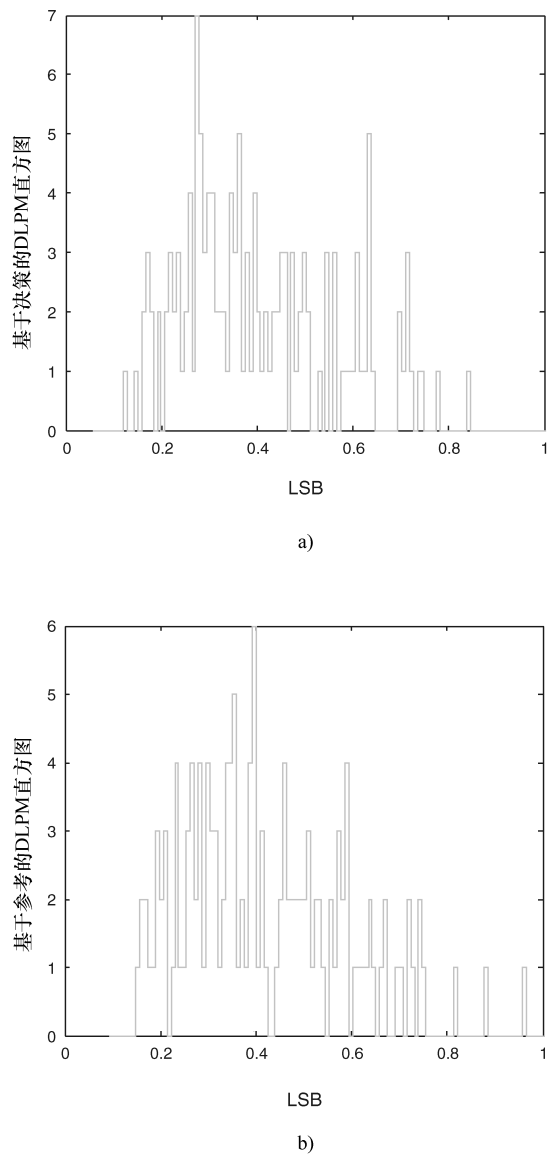


图 5.27　a）基于决策级 DLPM 的 DLPM 直方图估计　b）基于参考 DLPM 的来自测量的 140 个样本（© IEEE 2008）

最小值。

当得到测量参数分布时，下一步是通过调整被测设备的相应功能测试规格中的支持向量机（SVM）分类器（见图 5.29b）来更新上限和下限值。该过程的相关信息允许基于最差故障的 DLPM（通过稍微较窄的比较窗口获得的测试事件）进行重

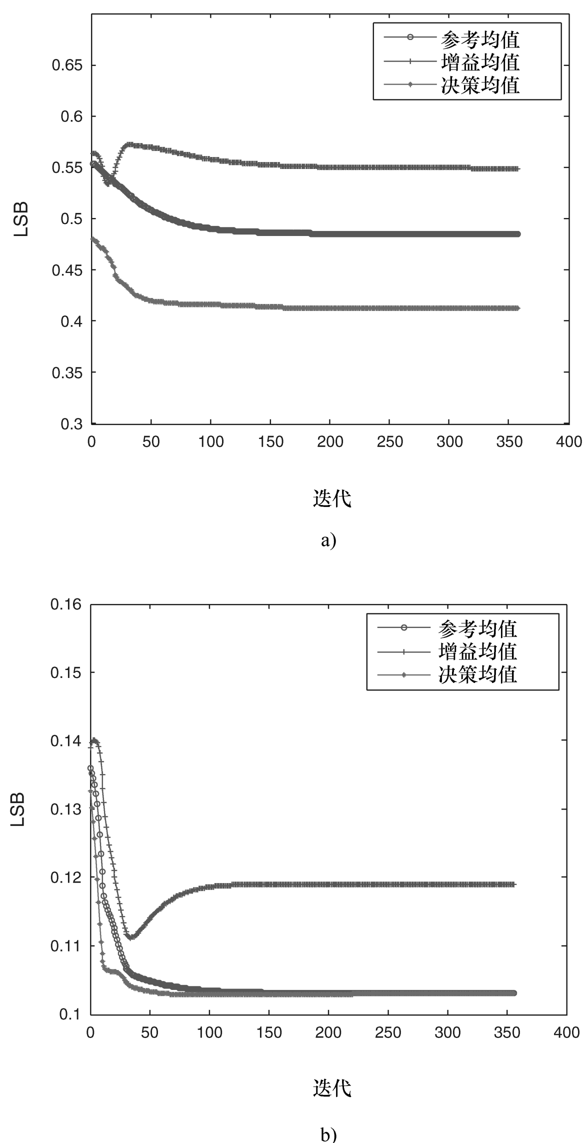


图 5.28　a)关于 EM 的迭代次数估计 λ、η、γ 的平均值 μ　b）关于 EM 的迭代次数估计 λ、η、γ 的方差值 σ（© IEEE 2008）

新中心化，比如在飞行测试极限设置。通过标准二次规划优化，属于先验和后验类的输入矢量被划分为一些子集。二次规划问题被逐渐解决，覆盖了构成完整数据集的最优分离超平面的所有类的子集。注意，在该过程中，参数的函数矢量的值单调增加，因为在优化中考虑越来越多的训练矢量会导致两个类之间的分离越来越小。如图 5.29b 所示，可以用 0.35 LSB 将上限值更新为被测器件的相应功能测试规格，

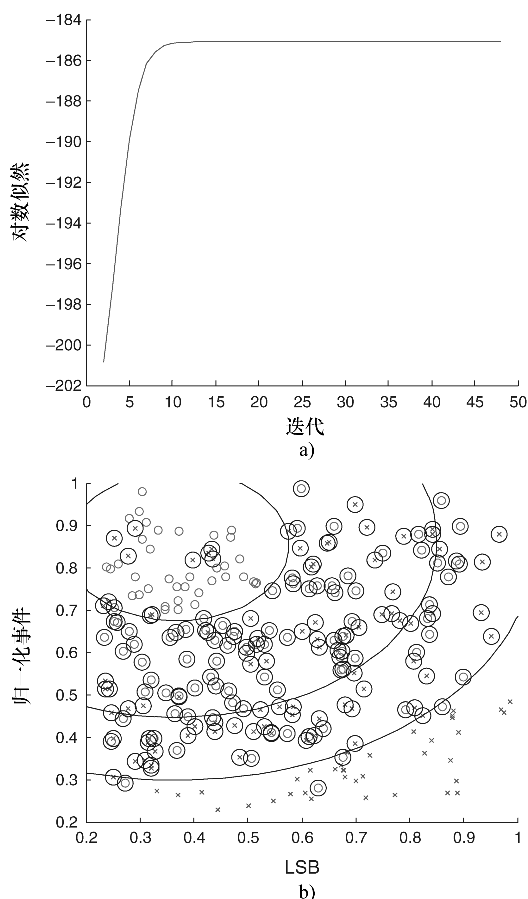


图 5.29　a) 关于 EM 的迭代次数的对数似然　b) 基于多次 DLPM 和 DUT 测量，将后验概率拟合到 SVM 输出（© IEEE 2008）

从而提高产量。

5.7.2　A－D 转换器调试和校准的结果应用

多步 A－D 转换器调试的关键是从传递函数中选择和分离故障信息。为了对 A－D 转换器的模拟性能进行高速测试和调试，不仅必须在器件引脚上具有所有 12 个数字输出和两个超出范围的信号，而且能够调试需要观察的粗略、中等、精细 A－D 转换器每级的输出信号。从第一级开始顺序执行每级的调试，每级都以较低的速度单独测试，并可以使用标准工业模拟波形发生器。为了进行相干测试，A－D 转换器的时钟信号必须始终由测试仪完全控制。一起添加所有这些请求将需要 14 位宽的输出测试总线。测试总线的连接不仅限于模拟部分的测试。对于数字测试，测试总线也用于从扫描链中携带数字数据。测试壳包含所有功能控制逻辑、

数字测试总线、测试控制块（TCB）和用于数字输入/输出到其他 IP/核心的 CTAG 隔离链。此外，也可以使用为模拟电路部分创建某些控制信号所必需的逻辑，并且对于扫描链，由测试控制块控制的旁路机制也是可用的。

在粗略 A－D 转换器中，通过改变传递函数中的步长，转换器内部模拟组件的故障会导致粗略 A－D 转换器的传递函数偏离理想状态。超出规格的电阻值、比较器偏移和比较器偏置电流等故障会导致不同的模式。峰值数量和峰值数据的位置会识别故障类型和故障位置。由于没有从中等和精细 A－D 转换器到粗略 A－D 转换器的结果值的反馈，所以不需要将这两个 A－D 转换器设置为固定值，来测试粗略 A－D 转换器。校准 D－A 转换器设置不会在粗略 A－D 转换器结果中显示，然而校准系统应该保持有效。不允许随机校准周期来防止测试结果的干扰。由于 A－D 转换器范围的重叠，中等 A－D 转换器的响应不能直接使用正常的 A－D 转换器输出数据进行测试。无论如何，通过使用该块扫描链来设置粗调外部输出信号，已知的值被分配给中等开关。残差信号现在用于通过测试总线观察中等 A－D 转换器输出位来分别验证中等 A－D 转换器。

中间 A－D 转换器中的故障影响 m 个中间位的传递函数中的步长，并在所有粗略的 c 位中重复自身。对于中间 A－D 转换器测试，校准所需的斩波器信号需要工作。完成中间 A－D 转换器测试后，必须通过将斩波器输入设置为两个预定义条件来对斩波信号进行验证，并分析中间 A－D 转换器数据以验证偏移。由于校准 D－A 转换器设置在中间 A－D 转换器结果中显示，因此 D－A 转换器设置为已知值，以防止中等 A－D 转换器测试结果的干扰。

与中等 A－D 转换器类似，由于 A－D 转换器范围的重叠，精细 A－D 转换器不能直接监控。通过粗略外部和梯形中可用的扫描链，控制信号被添加到中等和精细开关。当 A－D 转换器在具有正常输入信号的正常应用模式下工作时，提取预定义的输入信号。在某一时刻，扫描链被设置为保持模式以获取请求的值。现在，通过预定义的输入信号导出的残差信号可以评估精细 A－D 转换器性能。对于精细 A－D 转换器测试，需要有效的斩波信号。为了验证偏移，遵循与中等 A－D 转换器类似的过程。必须知道将校准 D－A 转换器设置为已知值，以防止测试结果的干扰。所有 3 个测试的数字控制块正常工作，来提供时钟脉冲和斩波信号，并将校准 D－A 转换器设置在已知状态。

为了评估 5.3 节和 5.4 节中给出的算法，考虑表 5.1 和表 5.2 的测试结果。对于表 5.1 中 A－D 转换器的 3 个步骤，随机生成不同的 λ、η 和 γ，使得相对误差均匀分布在区间［-0.1，0.1］。首先，将 μ 设置为 1/4 以加快算法，然后在 1000 次迭代次数后设置为 1/64 以提高精度。在约 10^4 个时钟周期或有效的 0.22ms（$\mu=1/64$）之间达到稳定状态。

表 5.1　估计结果

	实际值	估计值
γ_1	0.0229362	0.0259427
η_1	0.0121342	0.0116849
λ_1	0.0017936	0.0011347
γ_2	0.0328464	0.0342953
η_2	0.0154584	0.0142748
λ_2	0.0054635	0.0052347
γ_3	0.0417635	0.0424573
η_3	0.0173216	0.0165324

在表 5.2 中，无杂散动态范围被用作性能矩阵。被测电路是原型之前的 3 个时间交织 S/H。已经对整个 S/H 可用信号带宽和最可能的限制机制，即时间 σ_t、偏移 σ_o、带宽 σ_b 和增益 σ_g 变化进行了验证。表 5.2 中显示了两个输入频率；对于它们，选择任何观察到的误差机制的 3 个值用于评估。

表 5.2　计算值和估计值示例

f_{in}/MHz	21			43		
σ_o（%）	0.015	0.046	0.156	0.015	0.046	0.156
计算值/dB	76.77	67.23	56.78	76.77	67.23	56.78
估计值/dB	77.50	67.96	57.50	77.50	67.96	57.50
σ_g（%）	0.01	0.05	0.10	0.01	0.05	0.10
计算值/dB	89.54	75.56	69.54	89.54	75.56	69.54
估计值/dB	89.55	75.59	69.58	89.55	75.59	69.58
σ_b（%）	0.286	1.42	2.86	0.286	1.42	2.86
计算值/dB	84.06	70.14	64.06	78.62	64.70	58.62
估计值/dB	83.60	70.14	64.29	78.59	64.85	58.96
σ_t（%）	0.01	0.05	0.10	0.01	0.05	0.10
计算值/dB	87.46	73.42	67.41	81.11	67.13	61.11
估计值/dB	86.39	73.23	67.33	80.09	66.99	61.02

该方法的优点在于它提供了无偏估计，从而通过增加估计数据量可以获得任意的估计精度。虽然精度随着数据量增加得相当缓慢，但是观察到的 A－D 转换器使用非常高的采样率（高于 50MS/s），因此在不到 2s 内收集了大约几百万个样本，确保了非常快的转换器估计。

最重要的 A－D 转换器输出位与模拟输入信号有很强的相关性，这用于通过使用伪随机位流增加对输出数字字进行加扰的概率，来研究从输出到输入的信号馈通。通过在每个输出缓冲器之前放置异或门并将随机位应用于其他输入来实现加扰。对于解加乱，随机位通过额外的封装引脚取出。

校准技术在所有级都进行了全面的输入验证。如果校准 A－D 转换器的模拟输入使得编码转换为 i，则理想 A－D 转换器的编码转换是 i 或 $i+1$。模拟输入范围的这两个转换器的数字输出之间的偏移分别表示为 Δ_{i1} 和 Δ_{i2}。如果校准的 A－D 转换器在内部参考电压 γ 和级增益误差 η 中没有误差，则校准的和理想的 A－D 转换器输出之间的差值与模拟输入无关，因此 $\Delta_{i1}=\Delta_{i2}$。如果存在内部参考电压 γ 和级增益误差 η 的误差，则校准的 A－D 转换器产生唯一的缺失编码。Δ_{i1} 和 Δ_{i2} 之间的差精确地给出了当理想 A－D 转换器从 1 到 $i+1$ 变化时缺失编码引起的误差。以类似的方式，可以测量由于所有其他转换处的缺失编码引起的校准的 A－D 转换器的唯一误差。

在每个测量的转换处，由于缺失编码的误差，校准的 A－D 转换器级通过将转换器的数字输出作为转换点的函数进行校正，从而校准的 A－D 转换器的整体传递函数不会缺失编码。对于所有 i，只要输入足够快以产生 Δ_{i1}、Δ_{i2} 的足够数量的估计，则对于 A－D 转换器的输入信号的波形没有约束。

校准和理想 A－D 转换器之间的恒定偏移在 Δ_{i1} 和 Δ_{i2} 中都显示为一个共模移位。由于每个编码转换处的缺失编码的数量是通过 Δ_{i1} 减去 Δ_{i2} 来测量的，因此消除了共模，所以输入参考偏移量的校准 A－D 转换器在校准方案中没有影响（在实际假设偏移量不足以使转换器级的输出饱和的情况下）。为了考虑总体内部参考电压 γ、级增益误差 η 和系统偏移 λ，算法利用最终值 $(W')^{\mathrm{T}}=[\gamma', \eta', \lambda']$ 进行估计。由于理想的 A－D 转换器为校准的 A－D 转换器提供了理想的参考，所以用于算法适应的误差信号（由两个 A－D 转换器输出的差形成）与它们之间的误差高度相关，从而在相对较短的时间间隔内发生稳态收敛。

在图 5.30 中，显示了校正参数。最大校正值随着样本数量明显减少。中等 A－D 转换器的校准结果如图 5.31 和图 5.32 所示。相邻级之间快速变化的大多数误差被消除，然而仍然存在一些缓慢变化的误差。这是由于估计振幅分布的误差引起的，误差的缓慢变化不能与真实振幅分布的变化区别开来，因为只假定平滑度。对于正弦信号，振幅分布看起来像一个浴缸。由于在边缘附近具有高峰值的浴缸形状，直方图对输入信号中的振幅变化非常敏感。估计是最准确的中等编码。然而由于在边缘附近突然变化的振幅分布，激励边缘附近的误差不能完全消除。由于在算法中只处理静态误差，所以可以假设误差大致具有重复的结构。这可以用于通过边缘附近的外部来估计误差，该边缘的激励太低，不能估计不匹配误差。然而，

质量的提高受到外部的限制，并没有给出完美的结果，因为这些误差并不具有周期性。

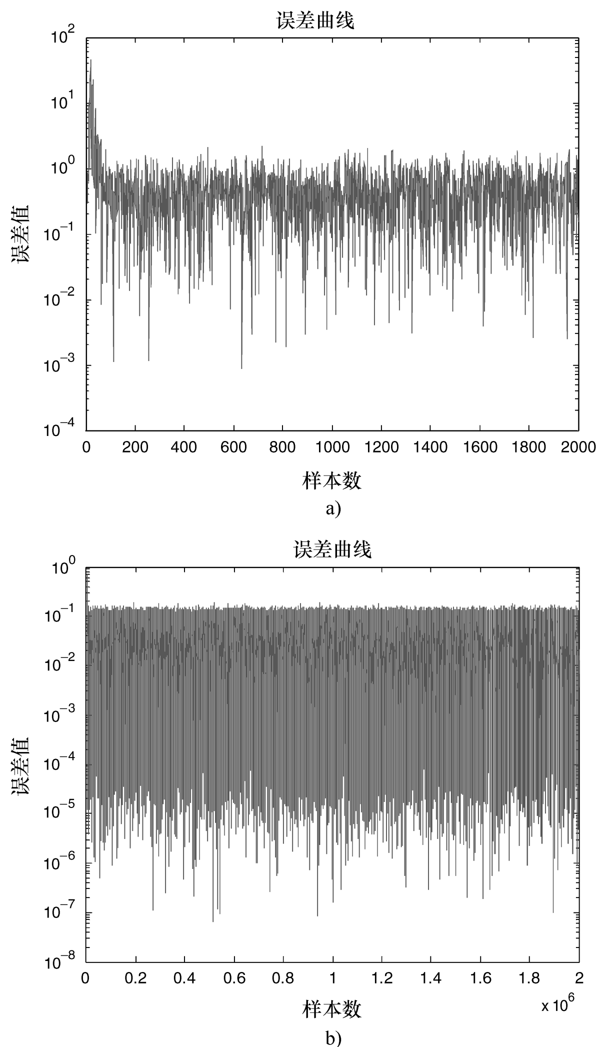


图 5.30　a）2000 个样本的均方误差。估计器采用的质量标准是均方误差准则，主要是因为它代表误差信号中的能量，易于区分并提供分配权重的概率
b）200 万个样本的均方误差（© IEEE 2008）

DNL 测量的峰值提高约为 ±0.2 LSB，INL 为 ±2.9LSB。注意，图 5.32 所示的校准后的残差 INL 误差主要是由于精细 A－D 转换器的失真以及来自前端采样和保持的失真，这为 A－D 转换器设置了最佳可实现的线性。

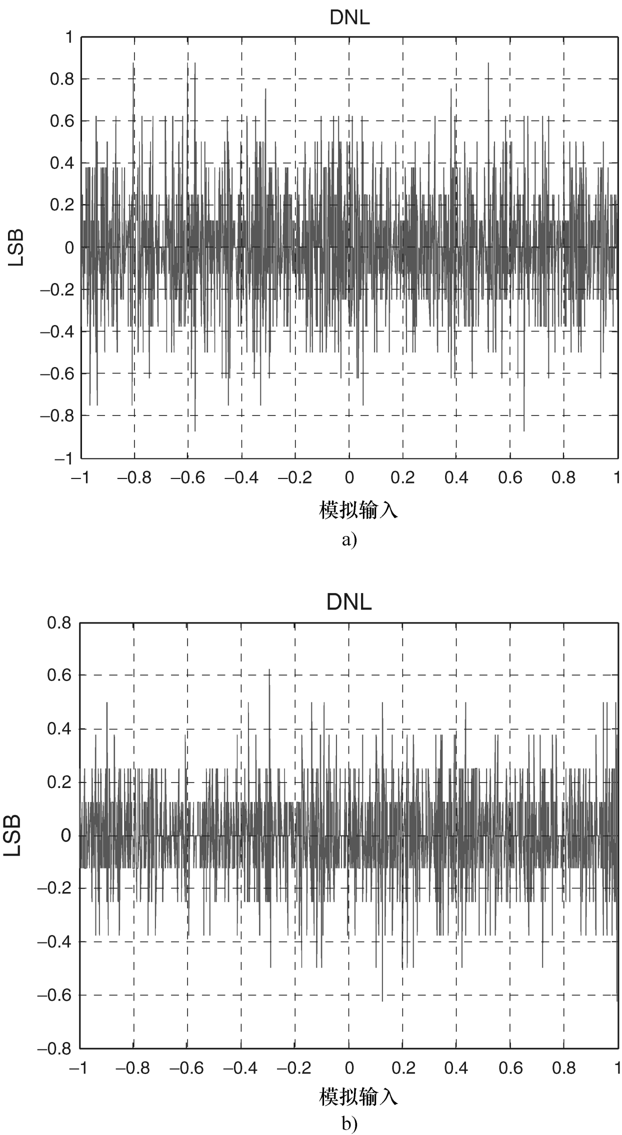


图 5.31　校准前和校准后的 DNL 曲线(© IEEE 2008)

a) 校准前　b) 校准后

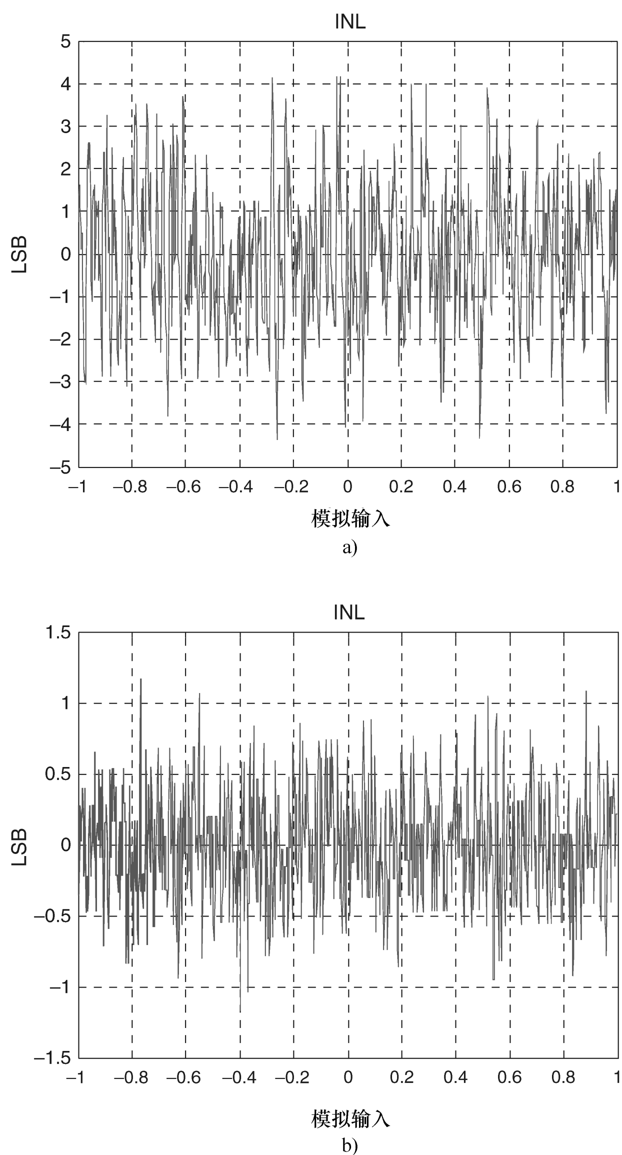


图 5.32　校正前和校准后的 INL 曲线(© IEEE 2008)

a）校正前　b）校准后

5.8 小结

混合信号设计的设计边界在很大程度上取决于工艺参数及其在晶元、晶元批次内部和晶片批次之间的分布，这与不匹配特别相关。这些波动的测量对于稳定控制晶体管性能和统计监测是至关重要的，并且对这些影响的估计能够有效地开发测试模式以及测试和调试方法，并且确保良好的产量。通过使用专门的传感器，利用电路结构和特定缺陷机制的知识，本书中描述的方法可以以最大 10% 的面积开销为代价，早日快速地识别过多的工艺参数变化的影响。这些传感器允许读出本地（核心）性能参数以及全局分布的参数。该概念的灵活性允许使用各种其他性能传感器轻松扩展系统。在线和离线调试方法的可行性已经通过在标准单极六金属 0.09μm CMOS 中制造的芯片原型的实验测量得到验证，并对 12 位多步 A－D 转换器进行了估计。

片上传感器的数量由于区域限制而是有限的，因此通过统计技术获得了额外的信息。实现的 ML 算法不是在估计过程中使用传统的不完全数据密度，而是使用完整数据密度的属性。在这样做时，通常可以使估计问题更容易处理，并且还可以对小样本量的参数产生很好的估计。

为了允许使用监测过程变量获得的信息进行测试指导，考虑了几个分类器，比如二次、升压、神经网络或贝叶斯网络。然而选择了实施的调整 SVM 分类器，因为它同时最小化经验分类误差并最大化几何边界。

在转换器级之后应用调试方法，并对从输出端提供的数字信号进行操作。用于损失函数的估计器的质量标准是均方误差准则，主要是因为它表示误差信号中的能量，易于区分并提供分配权重的概率。另外，用于误差估计的自适应滤波算法可以提供每次迭代的少量运算，并且不需要相关函数计算，也不需要矩阵。为了控制滤波器的输入，DfT 是必需的，这允许在每个级将输入信号强制设置为预定值。实施的测试设计方法允许电路重新配置，使得所有子块在其全部输入范围内被测试，从而允许被测设备可观察和可控。添加测试功能不会降低转换器性能，并且对面积和功耗影响较小。

此外，调试方法扩展到允许多步 A－D 转换器的前景校准。所呈现的校准不需要任何专用的测试信号，并且不需要部分转换时间。它连续工作，并且每个信号都应用于 A－D 转换器。

第 6 章　结论和建议

6.1　结果概述

随着 CMOS 制造技术的快速发展，越来越多的信号处理功能在数字领域实现，成本更低、功耗更低、产量更高、再配置性更高。集成电路集成度增加的趋势迫使 A－D 转换器接口驻留在复杂的混合信号 IC 中，主要用于 DSP 和控制的数字模块。然而，各种应用中转换器的规格强调高动态范围和低寄生频谱性能。在整体环境中实现这种线性是非常重要的，其中，因为某些应用和/或成本以及可制造性原因，后期制造部件修整或校准对于实施来说是繁琐的。此外，由于 CMOS 集成电路具有前所未有的集成度，因此随着技术进入深亚微米体系，与器件缩放相关的潜在问题（短沟道效应）也随之而来。A－D 转换过程包括对所应用的模拟输入信号进行采样，将其量化为数字形式，并将其与后续数字系统中进一步信号处理之前的参考电压进行比较。根据这些功能的组合，不同的 A－D 转换器架构可以在每个功能上实现不同的需求。如第 2 章所述，实际实现表明，对于第一级，转换器功率与采样率成正比。然而由于将工艺技术的速度能力推到极限，因此所需的功耗将变得非线性。管道和两步/多步转换器在实现给定的分辨率和采样率规格方面往往是最有效的。

本书在一定意义上是独一无二的工作，涵盖了多步 A－D 转换器的全面设计、测试、调试和校准；它集成了电路技术和算法的开发，以提高分辨率和获得 A－D 转换器的采样率，并增强了测试和调试潜力，来动态检测误差，隔离和限制故障，并连续恢复和补偿误差。

如第 3 章所述，通过组合并行和校准，并利用低压电路技术，多步转换器高分辨率的功耗通过在五金属层 0.18μm CMOS 工艺制造的 1.8V、12 位、80MS/s、100mW 的 A－D 转换器被示范。较低的电源电压明显降低了噪声容限，并增加了工艺、器件和设计参数的变化。因此，准确地控制制造工艺以保持均匀性更加困难。存在于制造环境中的微观微粒和制造步骤参数的轻微变化都可能导致 IC 的几何和电性质偏离设计过程结束时产生的几何和电性质。这些缺陷可能会导致各种故障，具体取决于 IC 拓扑和缺陷的性质。为了减轻与复杂混合信号电子系统测试和调试相关的不断增加的成本产生的 IC 设计和制造的负担，开发了几种电路技术和算法，并入到第 4 章中描述的 ATPG、DfT 和 BIST 方法中。

工艺变化不能通过改善制造公差来解决，必须通过新的器件技术降低可变性，

或者通过设计进行管理，以便继续缩放。类似地，模内性能变化也为测试方法带来了新的挑战。在第 4 章和第 5 章中详细介绍了该主题。使用专门的传感器，其利用了电路结构和特定缺陷机制的知识，本书中描述的方法可以及早快速地识别工艺参数变化的过程。期望最大化算法使得估计问题更易于处理，并且还对小样本量的参数产生了良好的估计。为了允许使用监测工艺变量获得的信息进行测试指导，实施的调整 SVM 分类器同时最小化经验分类误差并最大限度地提高了几何边界。

值得注意的是，数字增强校准技术的使用减少了对具有特殊制造步骤的昂贵技术的需求。实际上，数字处理的额外成本通常是可以承受的，因为即使对于相对复杂的算法，使用亚微米混合信号技术也可以有效地利用芯片面积。采用误差估计的自适应滤波算法，可以提供每次迭代的少量运算，并且不需要相关函数计算，也不需要逆矩阵。所提出的前景校准算法不需要任何专用的测试信号，并且不需要一部分转换时间。它连续工作，并且每个信号都应用于 A – D 转换器。通过在标准单极六金属 0.09μm CMOS 工艺中制造的芯片原型的实验测量，验证了在线和离线调试和校准方法的可行性。

6.2 推荐和未来研究

尽管现在所有 A – D 转换器架构的解决方案最终受到采样时钟抖动的限制，但在低电压多步 A – D 转换器中，转换速率和分辨率的实际限制是由于对时间交织的前端 S/H 级、子 D – A 转换器和残差信号的全分辨率要求。因此，快速准确的多步 A – D 转换器的设计将随着技术缩放的日益复杂化而变得越来越复杂。另一方面，技术缩放允许广泛使用数字信号处理来校正和补偿模拟电路的缺陷。多级架构的发展已经饱和，或将继续成为宽带 A – D 转换器的主导架构之一，这取决于 IC 工艺发展的优势和矛盾之间的平衡。

附　　录

附　录　A

A.1　时间不匹配

使原始采样数据序列 $S=[x(t_1),x(t_1),x(t_2),\cdots,x(t_m),\cdots,x(t_N),x(t_{N+1}),\cdots]$ 分为 N 个子序列 $S_0,S_1,S_2,\cdots,S_{N-1}$，如下所示[133]：

$$\begin{aligned}&S_0=[x(t_0),x(t_N),x(t_{2N}),\cdots]\\&\vdots\\&S_n=[x(t_n),x(t_{N+n}),X(t_{2N+n}),\cdots]\\&\vdots\\&S_N=[x(t_{N-1}),x(t_{2N-1}),x(t_{3N-1}),\cdots]\end{aligned}\tag{A.1}$$

以 $1/NT$ 的速率对信号 $x(t+t_n)$ 进行均匀采样来获得 S_n。假设

$$\overline{S_n}=[x(t_n),0,0,\cdots(N-1\text{zeros}),x(t_{N+n}),0,0,\cdots]\tag{A.2}$$

原始序列 S 可以表示为

$$S=\sum_{n=0}^{N=1}\overline{S_n}z^{-n}\tag{A.3}$$

那么，S 的数字频谱 $X(\omega)$ 可以表示为

$$X(\omega)=\frac{1}{NT}\sum_{n=0}^{N-1}\left[\sum_{k=-\infty}^{\infty}X^a\left(\omega-\frac{2\pi k}{NT}\right)e^{j[\omega-(2\pi k/NT)]\times t_n}\right]\times e^{-jn\omega T}\tag{A.4}$$

令 r_nT，$n=0.1$，$N-1$ 是第 n 个采样保持单元的采样时间偏移（正 r_n 表示第 n 个采样延迟），t_n 是第 n 个 S/H 单元的实际采样时间：

$$r_nT=nT-t_n\tag{A.5}$$

那么式（A.4）可以重写为

$$X(\omega)=\frac{1}{T}\sum_{k=-\infty}^{\infty}\left[\sum_{n=0}^{N-1}\frac{1}{N}e^{-j\left(\omega-k\frac{2\pi}{NT}\right)r_nT}e^{-jkn\frac{2\pi}{N}}\right]\times X^a\left(\omega-\frac{2\pi k}{NT}\right)\tag{A.6}$$

对于给定的正弦波 $x(t)=\sin(\omega_{in}t)$，傅里叶变换 $X^a(\omega)$ 由下式给出：

$$X^a(\omega)=j\pi[\delta(\omega+\omega_{in})-\delta(\omega-\omega_{in})]\tag{A.7}$$

式中，δ 是 $x=0$ 处的单位样本序列 $\delta[x]=1$。

$x=0$ 其他地方的式（A.6）变为[133]

$$X(\omega) = \frac{1}{T}\sum_{k=-\infty}^{\infty}\left[A(k)\mathrm{j}\pi\left(\delta\left(\omega+\omega_{\mathrm{in}}-k\frac{2\pi}{NT}\right)-\delta\left(\omega-\omega_{\mathrm{in}}-k\frac{2\pi}{NT}\right)\right)\right] \quad (A.8)$$

其中

$$A(k) = \sum_{n=0}^{N-1}\left(\frac{1}{N}\mathrm{e}^{-\mathrm{j}r_n 2\pi f_{\mathrm{in}}/f_{\mathrm{s}}}\right)\mathrm{e}^{-\mathrm{j}kn(2\pi/N)} \quad (A.9)$$

由式（A.8）给出的数字频谱具有 N 对线谱，每对以采样频率的分数为中心，比如 f_S/N，…，（$N-1$）f_S/N。

基数对应于 $k=0$，而 $k=1$，…，$N-1$ 对应于失真。信号振幅由 $A(0)$ 确定，而失真振幅由 $A(n)$，$n=1$，…，$N-1$ 确定，$A(k)$ 是$[(1/N)\mathrm{e}^{-\mathrm{j}r_n 2\pi f_0/f_{\mathrm{s}}}, n=0,1,2,\cdots,N-1]$的序列的 DFT。

假设 $r_n 2\pi f_{\mathrm{in}}/f_S \ll 1$，边带分量的振幅可以表示为

$$\left|A(k) = \sum_{n=0}^{N-1}(\mathrm{e}^{-\mathrm{j}r_n 2\pi f_{\mathrm{in}}/f_S})\mathrm{e}^{-\mathrm{j}kn(2\pi/N)}\right| \approx \left|\frac{1}{N}\sum_{n=0}^{N-1}(1-\mathrm{j}2\pi r_n f_{\mathrm{in}}/f_n)\mathrm{e}^{-\mathrm{j}kn(2\pi/N)}\right|$$

$$= \begin{cases} \dfrac{2\pi f_{\mathrm{in}}}{Nf_{\mathrm{s}}}\left|\displaystyle\sum_{n=0}^{N-1} r_n \mathrm{e}^{-\mathrm{j}kn(2\pi/N)}\right| & k \neq 0, \pm N \\ \left|1-(\mathrm{j}2\pi f_{\mathrm{in}}/f_{\mathrm{s}})\left(\dfrac{1}{N}\displaystyle\sum_{n=0}^{N-1} r_n\right)\right| = 1 & k = 0, \pm N \end{cases} \quad (A.10)$$

信号功率为 $A^2/2$，由于时间不匹配引起的杂散功率密度表示为

$$P_{\mathrm{r}}^{\mathrm{spur}}(k) = \frac{A^2}{2N^2}\left|\sum_{n=0}^{N-1}(1-\mathrm{j}2\pi r_n f_{\mathrm{in}}/f_{\mathrm{s}})\mathrm{e}^{-\mathrm{j}kn(2\pi/N)}\right|^2 = \frac{A^2 4\pi^2 f_{\mathrm{in}}^2}{2N^2 f_{\mathrm{s}}^2}\sigma_{\mathrm{r}}^2 \quad (A.11)$$

A.2 偏移不匹配

可以通过将每个 S/H 单元唯一的输入信号添加直流电平来模拟偏移不匹配。对于 $n=0$，…，$N-1$ 的输入信号 $A\sin(\omega_{\mathrm{in}}t)+d_n$，傅里叶变换由下式给出：

$$X^a(\omega) = \mathrm{j}\pi A[\delta(\omega+\omega_{\mathrm{in}})-\delta(\omega-\omega_{\mathrm{in}})] + 2\pi d_n\delta(\omega) \quad (A.12)$$

如果时间误差 r_n 不为零。代入之前的式（A.8）：

$$X(\omega) = \frac{1}{T}\sum_{k=-\infty}^{\infty}A\mathrm{j}\pi\delta\left[\left(\omega+\omega_{\mathrm{in}}-\frac{2\pi k}{NT}\right)-\left(\omega-\omega_{\mathrm{in}}-\frac{2\pi k}{NT}\right)\right]+\frac{1}{T}$$
$$\times\sum_{k=-\infty}^{\infty}A(k)2\pi\delta\left(\omega-\frac{2\pi k}{NT}\right) \quad (A.13)$$

其中

$$A(k) = \frac{1}{N}\sum_{n=0}^{N-1}d_n\mathrm{e}^{-\mathrm{j}kn(2\pi/N)} \quad (A.14)$$

式（A.12）的第一项对应于输入信号，而第二项对应于由沟道偏移引起的失真。失真不依赖于信号，并出现在 nf_S/N 处，其中 $n=0$，1，…，$N-1$。从上一个

方程可以看出，失真由脉冲总和组成。每个脉冲对应于时域中 $e^{j\omega}$ 的复指数信号。指数信号的功率为 1。因数 $A(k)$ 可以被看作序列 d_n/N，$n=0, 1, \cdots, N-1$ 的 DFT。由偏移不匹配引起的寄生电源功率密度表示为

$$P_{\mathrm{r}}^{\mathrm{spur}}(k) = \frac{1}{N^2}\left|\sum_{n=0}^{N-1} d_n \mathrm{e}^{-\mathrm{j}kn(2\pi/N)}\right|^2 = \frac{1}{N^2}\sigma_{\mathrm{d}}^2 \tag{A.15}$$

A.3 增益不匹配

为了模拟增益不匹配，S/H 单位输入信号的振幅不同。最大差出现在正弦波的峰值。信号是 $a_n \sin(\omega_{\mathrm{in}} t)$，$n=0, \cdots, N-1$。傅里叶变换由下式给出：

$$X^a(\omega) = \mathrm{j}\pi a_n[\delta(\omega+\omega_{\mathrm{in}}) - \delta(\omega-\omega_{\mathrm{in}})] \tag{A.16}$$

如果时间误差 r_n 不为零，代入之前的式（A.8）：

$$X(\omega) = \frac{1}{T}\sum_{k=-\infty}^{\infty}\left[A(k)\mathrm{j}\pi\left(\delta\left(\omega+\omega_{\mathrm{in}}-k\frac{2\pi}{NT}\right)-\delta\left(\omega-\omega_{\mathrm{in}}-k\frac{2\pi}{NT}\right)\right)\right] \tag{A.17}$$

其中，对于在 $f_{\mathrm{S}}/N \pm f_{\mathrm{in}}$，$2f_{\mathrm{S}}/N \pm f_{\mathrm{in}}$，$\cdots$，$(N-1)f_{\mathrm{S}}/N \pm f_{\mathrm{in}}$ 处的伪噪声的 N 个 S/H 单元的增益不匹配：

$$A(k) = \frac{1}{N}\sum_{n=0}^{N-1} a_n \mathrm{e}^{-\mathrm{j}kn(2\pi/N)} \tag{A.18}$$

由于增益不匹配导致的杂散功率密度可以表示为

$$P_{\mathrm{r}}^{\mathrm{spur}}(k) = \frac{A^2}{2N^2}\left|\sum_{n=0}^{N-1} a_n \mathrm{e}^{-\mathrm{j}kn(2\pi/N)}\right|^2 = \frac{A^2}{2N^2}\sigma_{\mathrm{a}}^2 \tag{A.19}$$

A.4 带宽不匹配

为了模拟频率相关的带宽不匹配，S/H 放大器近似为理想的单极放大器。对于单极系统，$A(s) = A_0/(1+s/\omega_0)$，闭环传递函数为

$$\frac{V_{\mathrm{out}}}{V_{\mathrm{in}}}(s) = \frac{A(s)}{1+A(s)\beta} = \frac{A_0}{1+A_0\beta+\dfrac{s}{\omega_0}} = \frac{\dfrac{A_0}{1+A_0\beta}}{1+\dfrac{s}{(1+A_0\beta)\omega_0}} \tag{A.20}$$

认识到 $A_0\beta >> 1$，对于 $\beta=1$，上一个方程变为

$$\frac{V_{\mathrm{out}}}{V_{\mathrm{in}}}(s) = \frac{1/\beta}{1+\dfrac{s}{\beta A_0\omega_0}} = \frac{1/\beta}{1+\mathrm{j}\dfrac{f_{\mathrm{in}}}{\beta A_0 f_0}} = \frac{1}{1+\mathrm{j}\dfrac{f_{\mathrm{in}}}{f_1}} \approx 1-\mathrm{j}\frac{f_{\mathrm{in}}}{f_1} = b_n \tag{A.21}$$

对于给定的正弦波 $x(t) = \sin(\omega_{\mathrm{in}} t)$，傅里叶变换 $X^\alpha(\omega)$ 由下式给出：

$$X^a(\omega) = \mathrm{j}\pi[\delta(\omega+\omega_{\mathrm{in}}) - \delta(\omega-\omega_{\mathrm{in}})] \tag{A.22}$$

并且 $r_n=0$ 的式（A.8）变为

$$X(\omega) = \frac{1}{T}\sum_{k=-\infty}^{\infty}\left[A(k)\mathrm{j}\pi\left(\delta\left(\omega+\omega_{\mathrm{in}}-k\frac{2\pi}{NT}\right)-\delta\left(\omega-\omega_{\mathrm{in}}-k\frac{2\pi}{NT}\right)\right)\right] \quad (A.23)$$

其中

$$A(k) = \frac{1}{N}\sum_{n=0}^{N-1} b_n \mathrm{e}^{-\mathrm{j}kn(2\pi/N)} \quad (A.24)$$

该方程具有 $f_S/N \pm f_{in}$，$2f_S/N \pm f_{in}$，…，（$N-1$）$f_S/N \pm f_{in}$的伪噪声的第 n 个 S/H 放大器经历的f_1 增益频率和 b_n 带宽偏移。信号功率为 $A^2/2$，由于增益带宽不匹配引起的杂散功率密度表示为

$$P_{\mathrm{r}}^{\mathrm{spur}}(k) = \frac{A^2}{2N^2}\left|\sum_{n=0}^{N-1} b_n \mathrm{e}^{-\mathrm{j}kn(2\pi/N)}\right|^2 = \frac{A^2 f_{\mathrm{in}}^2}{2N^2 f_1^2}\sigma_{\mathrm{b}}^2 \quad (A.25)$$

A.5　一般表达式

无杂散动态范围（SFDR）的一般表达式由下式给出：

$$\begin{aligned}\mathrm{SFDR} &= 10\log_{10}(P_{\mathrm{s}}/P_{\mathrm{spur}}) \\ &= 10\log_{10}(N^2\lambda_x) \begin{matrix}\lambda_{\mathrm{off}} = A^2/2\sigma_{\mathrm{d}}^2 & \lambda_{\mathrm{time}} = (f_{\mathrm{s}}/(2f_{\mathrm{in}}))^2/(\pi^2\sigma_{\mathrm{r}}^2) \\ \lambda_{\mathrm{gain}} = 1/\sigma_{\mathrm{a}}^2 & \lambda_{\mathrm{bandwidth}} = (f_1/f_{\mathrm{in}})^2/(\sigma_{\mathrm{b}}^2)\end{matrix}\end{aligned} \quad (A.26)$$

其输入信号功率定义为 $P_{\mathrm{s}} = A^2/2$。

附　录　B

B.1　使用正弦波的 A－D 转换器非线性的直方图测量

直方图或输出编码密度是每个编码发生的次数。对于具有满量程斜坡输入和随机采样的理想 A－D 转换器，在每个存储区中都需要相同数量的编码。第 i 个存储区 $H(i)$ 中的计数除以样本总数 N_{t} 是容器宽度，是满量程的一部分。通过编译累积直方图，累积存储区宽度是转换电平。

使用正弦波直方图测试来确定 A－D 转换器的非线性已经变得很常见，并在文献［336，414］中有描述。当斜坡或三角波用于直方图测试时（如文献［433］），加性噪声对结果没有影响，然而由于斜坡中的失真或非线性，难以保证准确性。

对于微分非线性测试，斜坡斜率 1% 的变化会将预期的编码数量改变 1%。由于这些误差会快速累积，所以积分非线性测试将变得不可行。很明显，输入源应该具有比被测转换器更好的精度。当使用正弦波时，会产生误差，并在峰值附近变大。然而，通过充分过驱动 A－D 转换器，可以使该误差减小到所期望的程度。

函数 $A\sin\omega t$ 的概率密度 $p(V)$ 为

$$p(V) = \frac{1}{\pi\sqrt{A^2 - V^2}} \quad (B.27)$$

将关于电压的该密度进行积分，给出分布函数 $P(V_a, V_b)$：

$$P(V_a, V_b) = \frac{1}{\pi}\left\{\sin^{-1}\left[\frac{V_b}{A}\right] - \sin^{-1}\left[\frac{V_a}{A}\right]\right\} \tag{B.28}$$

其在本质上是样本在 $V_a \sim V_b$ 的概率。如果输入具有直流偏移，则它为 $V_o + A\sin\omega t$，并且密度为

$$p(V) = \frac{1}{\pi\sqrt{A^2 - (V - V_o)^2}} \tag{B.29}$$

新分布函数通过 V_o 被转换为

$$P(V_a, V_b) = \frac{1}{\pi}\left\{\sin^{-1}\left[\frac{V_b - V_o}{A}\right] - \sin^{-1}\left[\frac{V_a - V_o}{A}\right]\right\} \tag{B.30}$$

统计学上用于衡量非线性的正确方法是估计数据的转换。存储区宽与理想存储区宽 $P(i)$ 的比值是微分线性。

在 LSB 上减去 1 给出了 LSB 中的微分非线性：

$$\mathrm{DNL}(i) = \frac{H(i)/N_t}{P(i)} - 1 \tag{B.31}$$

将函数 $P(V_a, V_b)$ 替换为测量的 H/N_t 的频率，以式（A.67）两边的余弦值求解 $\hat{V}_b$，来作为 V_b 的估计，并使用下式：

$$\cos(\alpha - \beta) = \cos(\alpha)\cos(\beta) + \sin(\alpha)\sin(\beta) \tag{B.32}$$

$$\cos\left(\sin^{-1}\frac{V}{A}\right) = \frac{\sqrt{A^2 - V^2}}{A} \tag{B.33}$$

得出

$$\hat{V}_b^2 - \left(2V_a\cos\left(\frac{\pi H}{N_t}\right)\right)\hat{V}_b - A^2\left(1 - \cos^2\left(\frac{\pi H}{N_t}\right)\right) + V_a^2 = 0 \tag{B.34}$$

在这种考虑中，偏移 V_o 被消除，因为它不影响积分或微分非线性。求解 $\hat{V}_b$ 并使用正平方根项作为解，使得 $\hat{V}_b$ 大于 V_a：

$$\hat{V}_b = V_a\cos\left(\frac{\pi H}{N_t}\right) + \sin\left(\frac{\pi H}{N_t}\right)\sqrt{A^2 - V_a^2} \tag{B.35}$$

就 V_a 而言，这就得出了 $\hat{V}_b$，可以通过使用边界条件 $V_o = -A$ 和使用下式直接计算 $\hat{V}_k$：

$$\mathrm{CH}(k) = \sum_{i=0}^{k} H(i) \tag{B.36}$$

转换电平 $\hat{V}_b$ 的估计 T_k 可以表示为

$$T_k = -A\cos\left(\pi\frac{\mathrm{CH}_{k-1}}{N_t}\right), k = 1, \cdots, N-1 \tag{B.37}$$

A 不是已知的，但是作为一个线性因数，所有的转换都可以归一化为 A，所以转换的全部范围是 ±1。

B.2 均方误差

由于与输入激励相关联的 PDF 是已知的，实际转换电平 T_k 的估计器和以 LSB 表示的相应 INL_k 值的估计器分别被表示为相干采样的正弦波定义的随机变量：

$$s[m]=d+A\sin\left(2\pi\frac{D}{M}m+\theta_0\right)m=0,1,\cdots,M-1 \tag{B.38}$$

$$T_k=d-A\cos\left(\pi\frac{\mathrm{CH}_k}{M}\right),k=1,\cdots,N-1\mathrm{INL}_k$$
$$=(T_k-T_k^i)/\Delta k=1,\cdots,N-1 \tag{B.39}$$

式中，A、d 和 θ_0 分别是信号振幅、偏移和初始相位；M 是采集数据的数量；D/M 表示正弦波在采样频率上的比率；T_k^i 是理想的第 k 个转换电压；并且 $\Delta=\mathrm{FSR}/2^B$ 是被测 A – D 转换器的理想编码存储区宽度，其满量程范围等于 FSR。

用于分析受积分非线性影响的 A – D 转换器的共同模型将量化误差 ε 描述为均匀量化器 ε_q 的量化误差与所考虑的转换器 ε_n 的非线性性能之和。为了简单起见，假设$/\mathrm{INL}_k/<\Delta/2$，于是有

$$\varepsilon_n=\sum_{k=1}^{N-1}\Delta\mathrm{sgn}(\mathrm{INL}_k)i(s\in I_k) \tag{B.40}$$

式中，sgn（.）和 i（.）分别表示符号和指示符函数；s 表示转换器激励信号；非重叠间隔 I_k 被定义为

$$I_k\hat{=}\begin{cases}(T_k^i-\mathrm{INL}_k,T_k^i),\mathrm{INL}_k>0\\(T_k^i,T_k^i-\mathrm{INL}_k),\mathrm{INL}_k<0\end{cases} \tag{B.41}$$

在所有转换器输出编码的均匀激励的假设下评估的非线性量化器均方误差由下式给出：

$$\mathrm{mes}=\int_{-\infty}^{\infty}[\varepsilon_q(s)+\varepsilon_n(s)]^2f_s(s)\mathrm{d}s \tag{B.42}$$

式中，f_s 表示转换器激励的 PDF。

以相等的概率来激励所有器件输出编码需要满足：

$$f_s(s)=\frac{1}{V_M-V_m}\cdot i(V_m\leqslant s<V_M) \tag{B.43}$$

因此，mse 变为

$$\mathrm{mes}=\frac{1}{V_M-V_m}\int_{V_m}^{V_M}[\varepsilon_q^2(s)+2\varepsilon_q(s)\varepsilon_n(s)+\varepsilon_n^2(s)]\mathrm{d}s \tag{B.44}$$

假设 $\Delta=(V_M-V_m)/N$，并且利用与均匀量化误差序列相关联的 mse 是 $\Delta^2/12$，得到

$$\mathrm{mse}=\frac{\Delta^2}{12}+\frac{1}{N\Delta}\sum_{k=1}^{N-1}\int_{l_k}[2\Delta\mathrm{sgn}(\mathrm{INL}_k)\varepsilon_q(s)+\Delta^2]\mathrm{d}s \tag{B.45}$$

由于对于舍入量化器，$\varepsilon_q(s) = \Delta/2 - \Delta(s/\Delta - 1/2)$，可以验证 $\mathrm{sng}(\mathrm{INL}_k) \cdot \varepsilon_q(s) < 0$，这样

$$\mathrm{mse} = \frac{\Delta^2}{12} + \frac{1}{N}\sum_{k=1}^{N-1}\mathrm{INL}_k^2 \tag{B.46}$$

在表征 A－D 转换器时，SINAD 比 mse 更频繁地使用。SINAD（dB）被定义为

$$\mathrm{SINAD} = 20\log_{10}\frac{\mathrm{rms}_{[\mathrm{signal}]}}{\mathrm{rms}_{(\mathrm{noise})}} \tag{B.47}$$

使输入信号的振幅 A_{dBFS}以 dB 为单位表示。因此，rms 值是

$$\mathrm{rms}_{(\mathrm{signal})} = \frac{\Delta 10^{\frac{A_{\mathrm{dBFS}}}{20}} 2^{b-1}}{\sqrt{2}} \tag{B.48}$$

$\mathrm{rms}_{(\mathrm{noise})}$（dB）振幅从上述 mse 表达式获得：

$$\begin{aligned}\mathrm{rms}_{(\mathrm{noise})} &= \sqrt{\mathrm{mse}}\mathrm{SINAD}_{\mathrm{INL}} \\ &= 20b\log_{10}2 + 10\log_{10}\frac{3}{2} + A_{\mathrm{dBFS}} - 10\log_{10}\left(\frac{\mathrm{mse}}{\Delta^2/12}\right)\end{aligned} \tag{B.49}$$

为了计算有效位数 ENOB，首先表示用于理想均匀 A－D 转换器的 SINAD，并求解 b：

$$\mathrm{SINAD}_{(\mathrm{ideal})} = 20\log_{10}\left(\frac{\sqrt{6}A2^b}{\mathrm{FSR}}\right)$$

$$\mathrm{ENOB} = \frac{\log_2 10}{20}\mathrm{SINAD} + \log_2\frac{\mathrm{FSR}}{\sqrt{6}A} \tag{B.50}$$

使振幅 $A = 10^{A_{\mathrm{dBFS}}/20}\mathrm{FSR}/2$，并且合并上述公式，则 ENOB（dB）可以表示为

$$\mathrm{ENOB}_{\mathrm{INL}} = b - \frac{1}{2}\log_2\left(\frac{\mathrm{mse}}{\Delta^2/12}\right) \tag{B.51}$$

B.3　测量不确定性

为了估计 DNL 和 INL 的不确定性，有必要知道累积概率 Q_i 的概率分布，来实现测量 $V < \mathrm{UB}_i$，其中 UB_i 为第 i 个电平的上限：

$$Q_i = P(V < \mathrm{UB}_i) = \int_{V_o - V}^{\mathrm{UB}_i} p(V)\mathrm{d}V \tag{B.52}$$

并使用线性变换：

$$\mathrm{UB}_i = -\cos\pi Q_i \tag{B.53}$$

UB_i 的方差和互相关是使用线性近似得出的。为了实现值 Q_i，需要具有 N_i 个值 $< \mathrm{UB}_i$ 的测量和（$N - N_i$）个值 $> \mathrm{UB}_i$ 的测量。测量值 Q_i 是二项分布，其可以通过正态分布非常好地近似[414]：

$$\begin{aligned}P(Q'_i) &= C_N^{N_i}P(V < \mathrm{UB}_i)^{N_i}(1 - P(V > \mathrm{UB}_i))^{N-N_i} \\ &= C_N^{N_i}Q_i^{N_i}(1 - Q_i)^{N-N_i}\end{aligned} \tag{B.54}$$

式中，Q'_i 是 Q_i 的估计值。

平均值和标准偏差由下式给出：

$$\mu_{Q'_i}=Q_i \quad \sigma_{Q'_i}=\sqrt{Q_i(1-Q_i)/N} \tag{B.55}$$

式中，Q'_i 是 Q_i 的无偏估计。

为了计算 Q_i 和 Q_j 之间的协方差，首先定义：

$$Q_0=P(V>\mathrm{UB}_j)$$
$$Q_{ij}=P(\mathrm{UB}_i<V<\mathrm{UB}_j)=1-Q_i-Q_j \tag{B.56}$$

以及关系：

$$N_j=N_i+N_{ij} \quad \sigma^2_{N_iN_j}=\sigma^2_{N_i}+\sigma^2_{N_iN_{ij}}$$
$$N_i+N_{ij}+N_0=N \quad \sigma^2_{N_0}=\sigma^2_{N_i}+\sigma^2_{N_{ij}}+2\sigma^2_{N_iN_{ij}} \tag{B.57}$$

这导致了

$$\sigma^2_{N_iN_j}=[\sigma^2_{N_i}+\sigma^2_{N_0}-\sigma^2_{N_{ij}}]/2 \tag{B.58}$$

其中

$$\sigma^2_{N_i}=NQ_i(1-Q_i)$$
$$\sigma^2_{N_0}=NQ_0(1-Q_0) \tag{B.59}$$
$$\sigma^2_{N_{ij}}=NQ_{ij}(1-Q_{ij})$$

或者

$$\sigma^2_{N_iN_j}=NQ_iQ_0=NQ_i(1-Q_j)$$
$$\sigma^2_{Q_iQ_j}=Q_i(1-Q_j)/N \tag{B.60}$$

计算方差 σ^2_{UB}：

$$\sigma^2_{\mathrm{UB}_i}=E[\mathrm{dUB}_i\mathrm{dUB}_i]=\pi^2\sin^2\pi Q_i\sigma^2_{Q_i}=\pi^2\sin^2\pi Q_iQ_i(1-Q_i)/N \tag{B.61}$$

类似地

$$\sigma^2_{\mathrm{UB}_i\mathrm{UB}_j}=E[\mathrm{dUB}_i\mathrm{dUB}_j]=\pi^2\sin\pi Q_i\sin\pi Q_jQ_i(1-Q_j)/N \tag{B.62}$$

由于第 i 个电平的微分非线性被定义为比率：

$$\mathrm{DNL}_i=\frac{\mathrm{UB}_i-\mathrm{UB}_{i-1}}{L_\mathrm{R}}-1 \tag{B.63}$$

式中，L_R 是记录的长度。

DNL_i 和 INL_i 测量的不确定性可以表示为

$$\sigma^2_{\mathrm{DNL}_i}=\sqrt{[\sigma^2_{\mathrm{UB}_i}+\sigma^2_{\mathrm{UB}_{i-1}-2\sigma^2_{\mathrm{UB}_i\mathrm{UB}_j}}]}/L_\mathrm{R}$$
$$\sigma^2_{\mathrm{INL}_i}=\sigma_{\mathrm{UB}_i}/L_\mathrm{R} \tag{B.64}$$

最大不确定性出现在 $Q_i=0.5$ 处，因此上一个方程可以使用下式近似：

$$\sigma^2_{\mathrm{DNL}_i}\approx\sqrt{\pi/L_\mathrm{R}}\times 1/\sqrt{N}$$
$$\sigma^2_{\mathrm{INL}_i}=\pi/2L_\mathrm{R}\times 1/\sqrt{N} \tag{B.65}$$

参考文献

1. A. Yukawa, An 8-bit high-speed CMOS A/D converter. IEEE J. Solid-State Circuits **20**(3), 775–779 (1985)
2. T. Kumamoto, M. Nakaya, H. Honda, S. Asai, Y. Akasaka, Y. Horiba, An 8-bit high-speed CMOS A/D converter. IEEE J. Solid-State Circuits **21**(6), 976–982 (1986)
3. B. Peetz, B.D. Hamilton, J. Kang, An 8-bit 250 megasample per second analog-to-digital converter: operation without a sample and hold. IEEE J. Solid-State Circuits **21**(6), 997–1002 (1986)
4. Y. Akazawa, A. Iwata, T. Wakimoto, T. Kamato, H. Nakamura, H. Ikawa, A 400 MSPS 8 b flash AD conversion LSI. *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 27–28, 1987
5. Y. Gendai, Y. Komatsu, S. Hirase, M. Kawata, An 8b 500MHz ADC. *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 172–173, 1991
6. N. Shiwaku, Y. Tung, T. Hiroshima, K.-S. Tan, T. Kurosawa, K. McDonald, M. Chiang, A rail-to-rail video-band full Nyquist 8-bit A/D converter. *Proceedings of IEEE Custom Integrated Circuits Conference*, pp. 26.2.1–26.2.4, 1991
7. K.J. McCall, M.J. Demler, M.W.A. Plante, A 6-bit 125 MHz CMOS A/D converter. *Proceedings of IEEE Custom Integrated Circuits Conference*, pp. 16.8.1–16.8.4, 1992
8. I. Mehr, D. Dalton, A 500 Msample/s 6–bit Nyquist rate ADC for disk drive read channel applications. *Proceedings of IEEE European Solid-State Circuits Conference*, pp. 236–239, 1998
9. K. Yoon, S. Park, W. Kim, A 6 b 500 MSample/s CMOS flash ADC with a background interpolated auto-zeroing technique. *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 326–327, 1999
10. B. Yu, W.C. Black Jr., A 900 MS/s 6b interleaved CMOS flash ADC. *Proceedings of IEEE Conference on Custom Integrated Circuits*, pp. 149–152, 2001
11. M. Choi, A.A. Abidi, A 6-b 1.3-Gsample/s A/D converter in 0.35-μm CMOS. IEEE J. Solid-State Circuits **36**(12), 1847–1858 (2001)
12. G. Geelen, A 6 b 1.1 GSample/s CMOS A/D converter. *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 128–129, 2001
13. J. Lin, B. Haroun, An embedded 0.8 V/480 μW 6b/22 MHz flash ADC in 0.13 μm digital CMOS process using nonlinear double-interpolation technique. *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 244–246, 2002
14. K. Uyttenhove, M. Steyaert, A 1.8–V, 6–bit, 1.3–GHz CMOS flash ADC in 0.25 μm CMOS. *Proceedings of IEEE European Solid-State Circuits Conference*, pp. 455–458, 2002
15. X. Jiang, Z. Wang, M.F. Chang, A 2 GS/s 6 b ADC in 0.18-μm CMOS. *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 322–323, 2003
16. C. Sandner, M. Clara, A. Santner, T. Hartig, F. Kuttner, A 6bit, 1.2GSps low-power flash-ADC in 0.13 μm digital CMOS. *Proceedings of IEEE European Solid-State Circuits Conference*, pp. 339–342, 2004
17. C. Paulus, H.-M. Bluthgen, M. Low, E. Sicheneder, N. Bruls, A. Courtois, M. Tiebout, R. Thewes, A 4GS/s 6b flash ADC in 0.13-μm CMOS. *IEEE Symposium on VLSI Circuits Digest of Technical Papers*, pp. 420–423, 2004
18. C.-C. Huang, J.-T. Wu, A Background Comparator Calibration Technique for Flash Analog-to-Digital Converters. IEEE Trans. Circuits Syst. **52**(9), 1732–1740 (2005)
19. O. Viitala, S. Lindfors, K. Halonen, A 5-bit 1-GS/s Flash-ADC in 0.13-μm CMOS Using Active Interpolation. *Proceedings of IEEE European Solid-State Circuits Conference*, pp. 412–415, 2006
20. S. Park, Y. Palaskas, M.P. Flynn, A 4-GS/s 4-bit flash ADC in 0.18-μm CMOS. IEEE J.

Solid-State Circuits **42**(9), 1865–1872 (2007)
21. I.-H. Wang, S.-I. Liu, A 1V 5-Bit 5GSample/sec CMOS ADC for UWB receivers. *Proceedings of IEEE International Symposium on VLSI Design, Automation and Test,* pp. 1–4, 2007
22. M. Ishikawa, T. Tsukahara, An 8-bit 50-MHz CMOS subranging A/D converter with pipelined wide-band S/H. IEEE J. Solid-State Circuits **24**(6), 1485–1491 (1989)
23. S. Hosotani, T. Miki, A. Maeda, N. Yazawa, An 8bit 20MS/s CMOS A/D converter with 50-mW power consumption. IEEE J. Solid-State Circuits **25**(1), 167–172 (1990)
24. T. Matsuura, H. Kojima, E. Imaizumi, K. Usui, S. Ueda, An 8b 50 MHz 225 mW submicron CMOS ADC using saturation eliminated comparators. *Proceedings of IEEE Custom Integrated Circuits Conference*, pp 6.4.1–6.4.4, 1990
25. B. Razavi, B.A. Wooley, A 12b 5MSample/s two-step CMOS A/D converter. IEEE J. Solid-State Circuits **27**(12), 1667–1678 (1992)
26. S.-H. Lee, B.-S. Song, Digital-domain calibration of multistep analog-to-digital converters. IEEE J. Solid-State Circuits **27**(12), 1679–1688 (1992)
27. T. Miki, H. Kouno, T. Kumamoto, Y. Kinoshita, T. Igarashi, K. Okeda, A 10-b 50 MS/s 500-mW A/D converter using a differential-voltage subconverter. IEEE J. Solid-State Circuits **29**(4), 516–522 (1994)
28. M. Ito, T. Miki, S. Hosotani, T. Kumamoto, Y. Yamashita, M. Kijima, T. Okuda, K. Okada, A 10 bit 20MS/s 3V Supply CMOS A/D Converter. IEEE J. Solid-State Circuits **29**(12), 1531–1531 (1994)
29. S.-U. Kwak, B.-S. Song, K. Bacrania, A 15 b 5 MSample/s low-spurious CMOS ADC. *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 146–147, 1997
30. H. van der Ploeg, R. Remmers, A 3.3-V, 10-b, 25-MSample/s two-step ADC in 0.35-μm CMOS. IEEE J. Solid-State Circuits **34**(12), 1803–1811 (1999)
31. C. Moreland, F. Murden, M. Elliott, J. Young, M. Hensley, R. Stop, A 14-bit 100-MSample/s subranging ADC. IEEE J. Solid-State Circuits **35**(7), 1791–1798 (2000)
32. P. Hui, M. Segami, M. Choi, C. Ling, A.A. Abidi, A 3.3-V 12-b 50-MS/s A/D converter in 0.6-μm CMOS with over 80-dB SFDR. IEEE J. Solid-State Circuits **35**(12), 1769–1780 (2000)
33. M.-J. Choe, B.-S. Song, K. Bacrania, A 13-b 40-MSamples/s CMOS pipelined folding ADC with background offset trimming. IEEE J. Solid-State Circuits **35**(6), 1781–1790 (2000)
34. H. van der Ploeg, G. Hoogzaad, H.A.H. Termeer, M. Vertregt, R.L.J. Roovers, A 2.5-V 12-b 54-Msample/s 0.25-μm CMOS ADC in 1-mm^2 with mixed-signal chopping and calibration. IEEE J. Solid-State Circuits **36**(12), 1859–1867 (2001)
35. M. Clara, A. Wiesbauer, F. Kuttner, A 1.8 V Fully Embedded 10 b 160 MS/s Two-Step ADC in 0.18 μm CMOS. *Proceedings of IEEE Custom Integrated Circuit Conference*, pp. 437–440, 2002
36. T.-C. Lin, J.-C. Wu, A two-step A/D converter in digital CMOS processes. *Proceedings of IEEE Asia-Pacific Conference on ASIC*, pp. 177–180, 2002
37. A. Zjajo, H. van der Ploeg, M. Vertregt, A 1.8V 100mW 12-bits 80Msample/s two-step ADC in 0.18-μm CMOS. *Proceedings of IEEE European Solid-State Circuits Conference*, pp. 241–244, 2003
38. H. van der Ploeg, M. Vertregt, M. Lammers, A 15-bit 30 MS/s 145 mW three-step ADC for imaging applications. *Proceedings of IEEE European Solid-State Circuits Conference*, pp. 161–164, 2005
39. N. Ning, F. Long, S.-Y. Wu, Y. Liu, G.-Q. Liu, Q. Yu, M.-H. Yang, An 8-Bit 250MSPS modified two-step ADC. *Proceedings of IEEE International Conference on Communications, Circuits and Systems*, pp. 2197–2200, 2006
40. T. Sekino, M. Takeda, K. Koma, A Monolithic 8b Two-Step Parallel ADC without DAC and Subtractor Circuits. *IEEE International Solid-State Circuits Conference Digest of Technical Papers,* pp. 46–47, 1982
41. A.G.F. Dingwall, V. Zazzu, An 8-MHz CMOS subranging 8-bit A/D converter. IEEE J. Solid-State Circuits **20**(6), 1138–1143 (1985)

42. J. Fernandes, S.R. Lewis, A.M. Mallinson, G.A. Miller, A 14-bit 10-μs subranging A/D converter with S/H. IEEE J. Solid-State Circuits **23**(6), 1309–1315 (1988)
43. M. Ishikawa, T. Tsukahara, An 8-bit 50-MHz CMOS subranging A/D converter with pipelined wide-band S/H. IEEE J. Solid-State Circuits **24**(6), 1485–1491 (1989)
44. R. Petschacher, B. Zojer, B. Astegher, H. Jessner, A. Lechner, A 10-b 75-MSPS subranging A/D converter with integrated sample and hold. IEEE J. Solid-State Circuits **25**(6), 1339–1346 (1990)
45. G. Sou, G.-N. Lu, G. Klisnick, M. Redon, A 10-bit 20-Msample/s Sub-Ranging ADC for Low-Power and Low-Voltage Applications. *Proceedings of IEEE European Solid-State Circuits Conference*, pp. 424–427, 1998
46. A. Wiesbauer, M. Clara, M. Harteneck, T. Potscher, C. Fleischhacker, G. Koder, C. Sandner, a fully integrated analog front-end macro for cable modem applications in 0.18-μm CMOS. *Proceedings of IEEE European Solid-State Circuits Conference*, pp. 245–248, 2001
47. R.C. Taft, M.R. Tursi, A 100-MS/s 8-b CMOS subranging ADC with sustained parametric performance from 3.8 V down to 2.2 V. IEEE J. Solid-State Circuits **36**(3), 331–338 (2001)
48. J. Mulder, C.M. Ward, C.-H. Lin, D. Kruse, J.R. Westra, M. Lughtart, E. Arslan, R.J. van de Plassche, K. Bult, F.M.L. van der Goes, A 21-mW 8-b 125-MSample/s ADC in 0.09-mm2 0.13-μm CMOS. IEEE J. Solid-State Circuits **39**(5), 2116–2125 (2004)
49. P.M. Figueiredo, P. Cardoso, A. Lopes, C. Fachada, N. Hamanishi, K. Tanabe, J. Vital, A 90nm CMOS 1.2V 6b 1GS/s Two-Step Subranging ADC. *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 568–569, 2006
50. Y. Shimizu, S. Murayama, K. Kudoh, H. Yatsuda, A 30mW 12b 40MS/s subranging ADC with a high-gain offset-canceling positive-feedback amplifier in 90 nm digital CMOS. *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 216–217, 2006
51. J. Huber, R.J. Chandler, A.A. Abidi, A 10b 160MS/s 84mW 1V subranging ADC in 90nm CMOS. *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 454–455, 2007
52. C. Cheng, Y. Jiren, A 10-bit 500-MS/s 124-mW subranging folding ADC in 0.13 μm CMOS. *Proceedings of IEEE International Symposium on Circuits and Systems,* pp. 1709–1712, 2007
53. Y. Shimizu, S. Murayama, K. Kudoh, H. Yatsuda, A Split-Load Interpolation-amplifier-array 300MS/s 8b subranging ADC in 90 nm CMOS. *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 552–553, 2008
54. S.H. Lewis, P.R. Gray, A pipelined 5-Msample/s 9-bit analog-to-digital converter. IEEE J. Solid-State Circuits **22**(4), 954–961 (1987)
55. S. Sutarja, P. Gray, A pipelined 13-bit, 250-ks/s, 5-V analog-to-digital converter. IEEE J. Solid-State Circuits **23**(6), 1316–1323 (1988)
56. B.-S. Song, M.F. Tompsett, K.R. Lakshmikumar, A 12 bit 1 MHz capacitor error averaging pipelined A/D. IEEE J. Solid-State Circuits **23**(10), 1324–1333 (1988)
57. Y.-M. Lin, B. Kim, P.R. Gray, A 13-b 2.5-MHz self-calibrated pipelined A/D converter in 3-μm CMOS. IEEE J. Solid-State Circuits **26**(5), 628–635 (1991)
58. T. Matsuura, M. Hotta, K. Usui, E. Imaizumi, S. Ueda, A 95 mW, 10b 15 MHz low-power CMOS ADC using analog double-sampled pipelining scheme. *Proceedings of IEEE Symposium on VLSI Circuits*, pp. 98–99, 1992
59. S.H. Lewis, H.S. Fetterman, G.F. Gross, R. Ramachandran, T.R. Viswanathan, A 10-b 20-Msample/s analog-to-digital converter. IEEE J. Solid-State Circuits **27**(3), 351–358 (1992)
60. C. Mangelsdorf, S.-H. Lee, M. Martin, H. Malik, T. Fukuda, H. Matsumoto, Design for testability in digitally-corrected ADCs. *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 70–71, 1993
61. C. Mangelsdorf, H. Malik, S.-H. Lee, S Hisano, M. Martin, A two residue architecture for mulitstage ADCs. *IEEE International Solid-State Circuits Conference Digest of Technical*

Papers, pp. 64–65, 1993
62. K. Kusumoto, A. Matsuzawa, K. Murata, A 10 b 20MHz 30 mW pipelined interpolating CMOS ADC. IEEE J. Solid-State Circuits **28**(12), 1200–1206 (1993)
63. A.N. Karanicolas, H.-S. Lee, K.L. Bacrania, A 15-b 1-Msample/s digitally self-calibrated pipeline ADC. IEEE J. Solid-State Circuits **28**(12), 1207–1215 (1993)
64. W.T. Colleran, A.A. Abidi, A 10-b, 75 Ms/s two stage pipelined bipolar A/D converter. IEEE J. Solid-State Circuits **28**(12), 1187–1199 (1994)
65. D.A. Mercer, A 14-b, 2.5 MSPS pipelined ADC with on-chip EPROM. IEEE J. Solid-State Circuits **31**(1), 70–76 (1996)
66. I. Opris, L. Lewicki, B. Wong, A single-ended 12-bit 20 MSample/s self-calibrating pipeline A/D converter. IEEE J. Solid-State Circuits **33**(11), 1898–1903 (1998)
67. A.M. Abo, P.R. Gray, A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital converter. IEEE J. Solid-State Circuits **34**(5), 599–606 (1999)
68. H.-S. Chen, K. Bacrania, B.-S. Song, A 14b 20MSample/s CMOS pipelined ADC. *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 46–47, 2000
69. I. Mehr, L. Singer, A 55-mW, 10-bit, 40-Msample/s Nyquist-rate CMOS ADC. IEEE J. Solid-State Circuits **35**(3), 70–76 (2000)
70. Y. Chiu, Inherently linear capacitor error-avaraging techniques for pipelined A/D conversion. IEEE Trans. Circuits Syst.–II **47**, 229–232 (2000)
71. B.W. Lee, G.H. Cho, A CMOS 10 bit 37MS/s pipelined A/D converter with code regeneration and averaging. *Proceedings of IEEE European Solid-State Circuits Conference*, pp. 314–317, 2000
72. J. Goes, J.C. Vital, L. Alves, N. Ferreira, P. Ventura, E. Bach, J.E. Franca, R. Koch, A low-power 14-b 5 MS/s CMOS pipeline ADC with background analog self-calibration. *Proceedings of IEEE European Solid-State Circuits Conference*, pp. 172–175, 2000
73. A. Loloee, A. Zanchi, J. Huawen, S. Shehata, E. Bartolome, A 12b 80MSps pipelined ADC core with 190 mW consumption from 3 V in 0.18 μm digital CMOS. *Proceedings of IEEE European Solid-State Circuits Conference*, pp. 467–470, 2002
74. B.-M. Min, P. Kim, F.W. Bowman, D.M. Boisvert, A.J. Aude, A 69-mW 10-bit 80-MSample/s pipelined CMOS ADC. IEEE J. Solid-State Circuits **38**(12), 1187–1199 (2003)
75. T.N. Andersen, A. Briskemyr, F. Telstø, J. Bjørnsen, T. E. Bonnerud, B. Hernes, Ø. Moldsvor, A 97 mW 100 MS/s 12b pipeline ADC implemented in 0.18 μm digital CMOS. *Proceedings of IEEE European Solid-State Circuits Conference*, pp. 247–250, 2004
76. J. Li, U.-K. Moon, A 1.8-V 67-mW 10-bit 100-MS/s pipelined ADC using time-shifted CDS technique. IEEE J. Solid-State Circuits **39**(9), 1468–1476 (2004)
77. X. Wang, P.J. Hurst, S.H. Lewis, A 12-bit 20-Msample/s pipelined analog-to-digital converter with nested digital background calibration. IEEE J. Solid-State Circuits **39**(11), 1799–1808 (2004)
78. D. Kurose, T. Ito, T. Ueno, T. Yamaji, T. Itakura, 55-mW 200-MSPS 10-bit pipeline ADCs for wireless receivers. *Proceedings of IEEE European Solid-State Circuits Conference*, pp. 527–530, 2005
79. C.T. Peach, A. Ravi, R. Bishop, K. Soumyanath, D.J. Allstot, A 9-b 400 Msample/s pipelined analog-to-digital converter in 90 nm CMOS. *Proceedings of IEEE European Solid-State Circuits Conference*, pp. 535–538, 2005
80. A.M.A. Ali, C. Dillon, R. Sneed, A.S. Morgan, S. Bardsley, J. Kornblum, L. Wu, A 14-bit 125 MS/s IF/RF sampling pipelined ADC with 100 dB SFDR and 50 fs jitter. IEEE J. Solid-State Circuits **41**(8), 1846–1855 (2006)
81. M. Daito, H. Matsui, M. Ueda, K. Iizuka, A 14-bit 20-MS/s pipelined ADC with digital distortion calibration. IEEE J. Solid-State Circuits **41**(11), 2417–2423 (2006)
82. T. Ito, D. Kurose, T. Ueno, T. Yamaji, T. Itakura, 55-mW 1.2-V 12-bit 100-MSPS pipeline

ADCs for wireless receivers. *Proceedings of IEEE European Solid-State Circuits Conference*, pp. 540–543, 2006
83. J. Treichler, Q. Huang, T. Burger, A 10-bit ENOB 50-MS/s pipeline ADC in 130-nm CMOS at 1.2 V supply. *Proceedings of IEEE European Solid-State Circuits Conference*, pp. 552–555, 2006
84. I. Ahmed, D.A. Johns, An 11-bit 45MS/s pipelined ADC with rapid calibration of DAC errors in a multi-bit pipeline stage. *Proceedings of IEEE European Solid-State Circuits Conference*, pp. 147–150, 2007
85. S.-C. Lee, Y.-D. Jeon, J.-K. Kwon, J. Kim, A 10-bit 205-MS/s 1.0- mm^2 90-nm CMOS pipeline ADC for flat panel display applications. IEEE J. Solid-State Circuits **42**(12), 2688–2695 (2007)
86. J. Li, R. Leboeuf, M. Courcy, G. Manganaro, A 1.8V 10b 210MS/s CMOS pipelined ADC featuring 86 dB SFDR without calibration. *Proceedings of IEEE Custom Integrated Circuits Conference*, pp. 317–320, 2007
87. M. Boulemnakher, E. Andre, J. Roux, F. Paillardet, A 1.2V 4.5 mW 10 b 100 MS/s pipeline ADC in a 65nm CMOS. *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 250–251, 2008
88. Y.-S. Shu, B.-S. Song, A 15-bit linear 20-MS/s pipelined ADC digitally calibrated with signal-dependent dithering. IEEE J. Solid-State Circuits **43**(2), 342–350 (2008)
89. J. Shen, P.R. Kinget, A 0.5-V 8-bit 10-Ms/s pipelined ADC in 90-nm CMOS. IEEE J. Solid-State Circuits **43**(4), 1799–1808 (2008)
90. W.C. Black Jr., D.A. Hodges, Time interleaved converter arrays. IEEE J. Solid-State Circuits **15**(6), 1022–1029 (1980)
91. C.S.G. Conroy, D.W. Cline, P.R. Gray, A high-speed parallel pipelined ADC technique in CMOS. *Proceedings of IEEE Symposium on VLSI Circuits*, pp. 96–97, 1992
92. M. Yotsuyanagi, T. Etoh, K. Hirata, A 10 b 50 MHz pipelined CMOS A/D converter with S/H. IEEE J. Solid-State Circuits **28**, 292–300 (1993)
93. K. Nagaraj, H. Fetterman, J. Anidjar, S. Lewis, R. Renninger, An 8-b 50-Msamples/s pipelined A/D converter with an area and power efficient architecture. *Proceedings of IEEE Custom Integrated Circuits Conference,* pp. 423–426, 1996
94. W. Bright, 8 b 75 M Sample/s 70 mW parallel pipelined ADC incorporating double sampling. *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 146–147, 1998
95. K. Dyer, D. Fu, S. Lewis, P. Hurst, Analog background calibration technique for time-interleaved analog-to-digital converters. IEEE J. Solid-State Circuits **33**(12), 1912–1919 (1998)
96. D. Fu, K.C. Dyer, S.H. Lewis, P.J. Hurst, A digital background calibration technique for time-interleaved analog-to-digital converters. IEEE J. Solid-State Circuits **33**(12), 1904–1911 (1998)
97. L. Sumanen, M. Waltari, K.A.I. Halonen, A 10-bit 200-MS/s CMOS parallel pipeline A/D converter. *Proceedings of IEEE European Solid-State Circuits Conference*, pp. 439–442, 2000
98. S.M. Jamal, D. Fu, N.C.-J. Chang, P.J. Hurst, S.H. Lewis, A 10-b 120-MSample/s time-interleaved analog-to-digital converter with digital background calibration. IEEE J. Solid-State Circuits **37**(12), 1618–1627 (2002)
99. J. Talebzadeh, M.R. Hasanzadeh, M. Yavari, O. Shoaei, A 10-bit 150-MS/s parallel pipeline A/D converter in 0.6-μm CMOS. *Proceedings of IEEE International Symposium on Circuits and Systems*, pp. 133–136, 2002
100. D. Subiela, S. Engels, L. Dugoujon, R. Esteve-Bosch, B. Mota, L. Musa, A. Jimenez-de-Parga, A low-power 16-channel AD converter and digital processor ASIC. *Proceedings of IEEE European Solid-State Circuits Conference*, pp. 259–262, 2002
101. D. Miyazaki, M. Furuta, S. Kawahito, A 75mW 10bit 120MSample/s parallel pipeline ADC. *Proceedings of IEEE European Solid-State Circuits Conference*, pp. 719–722, 2003

102. B. Xia, A. Valdes-Garcia, E. Sanchez-Sinencio, A configurable time-interleaved pipeline ADC for multi-standard wireless receivers. *Proceedings of IEEE European Solid-State Circuits Conference*, pp. 259–262, 2004
103. S.-C. Lee, G.-H. Kim, J.-K. Kwon, J. Kim, S.-H. Lee, Offset and dynamic gain-mismatch reduction techniques for 10 b 200 Ms/s parallel pipeline ADCs. *Proceedings of IEEE European Solid-State Circuits Conference*, pp. 531–534, 2005
104. S. Limotyrakis, S.D. Kulchycki, D.K. Su, B.A. Wooley, A 150-MS/s 8-b 71-mW CMOS time-interleaved ADC. IEEE J. Solid-State Circuits **40**(5), 1057–1067 (2005)
105. C.-C. Hsu, F.-C. Huang, C.-Y. Shih, C.-C. Huang, Y.-H. Lin, C.-C. Lee, B. Razavi, An 11b 800 MS/s time-interleaved ADC with digital background calibration. *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 464–465, 2007
106. Z.-M. Lee, C.-Y. Wang, J.-T. Wu, A CMOS 15-bit 125-MS/s time-interleaved ADC with digital background calibration. IEEE J. Solid-State Circuits **42**(10), 2149–2160 (2007)
107. R.H. Walden, Analog-to-digital converter survey and analysis. IEEE J. Sel. Areas Commun. **17**(4), 539–550 (1999)
108. K. Kattmann, J. Barrow, A technique for reducing differential nonlinearity errors in flash A/D converters. *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 170–171, 1991
109. K. Bult, A. Buchwald, An embedded 240-mW 10-b 50-MS/s CMOS ADC in 1 mm^2. IEEE J. Solid-State Circuits **32**(4), 1887–1895 (1997)
110. H. Kimura, A. Matsuzawa, T. Nakamura, S. Sewada, A 10-b 300-MHz interpolated-parallel A/D converter. IEEE J. Solid-State Circuits **28**(5), 438–446 (1993)
111. B. Ginetti, P. Jespers, A 1.5 MS/s 8-bit pipelined RSD A/D converter. *Proceedings of IEEE European Solid-State Circuits Conference*, pp. 137–140, 1990
112. B. Ginetti, P.G.A. Jespers, A. Vandemeulebroecks, A CMOS 13-b cyclic RSD A/D converter. IEEE J. Solid-State Circuits **27**(8), 957–965 (1992)
113. E.G. Soenen, R.L. Geiger, An architecture and an algorithm for fully digital correction of monolithic pipelined ADC's. IEEE Trans. Circuits Syst.–II **42**, 143–153 (1995)
114. S.-H. Lee, B.-S. Song, Digital-domain calibration for multistep analog-to-digital converters. IEEE J. Solid-State Circuits **27**(5), 1679–1688 (1992)
115. P.W. Li, M.J. Chin, P.R. Gray, R. Castello, A ratio-independent algorithmic analog-to-digital conversion technique. IEEE J. Solid-State Circuits **19**(8), 828–836 (1984)
116. T. Matsuura, T. Nara, T. Komatsu, E. Imaizumi, T. Matsutsuru, R. Horita, H. Katsu, S. Suzumura, K. Sato, A 240-Mbps, 1-W CMOS EPRML read-channel LSI chip using an interleaved subranging pipeline A/D converter. IEEE J. Solid-State Circuits **33**(4), 1840–1850 (1998)
117. K.Y. Kim, N. Kusayanagi, A.A. Abidi, A 10-b, 100-MS/s CMOS A/D converter. IEEE J. Solid-State Circuits **32**(8), 302–311 (1997)
118. S.H. Lewis, R. Ramachandran, W.M. Snelgrove, Indirect testing of digital-correction circuits in analog-to-digital converters with redundancy. IEEE Trans. Circuits Syst.–II: Analog Digital Signal Process **42**(7), 437–445 (1995)
119. H.P. Tuinhout, G. Hoogzaad, M. Vertregt, R.L.J. Roovers, C. Erdmann, Design and characterization of a high-precision resistor ladder test structure. IEEE Trans. Semicond. Manuf. **16**, 187–193 (2003)
120. J.M. Rabaey, A. Chandrakasan, B. Nikolic, *Digital Integrated Circuits: A Design Perspective*, 2nd edn. (Prentice Hall, New Jersey, 2003)
121. A.A. Abidi, High-frequency noise measurements on FETs with small dimensions. IEEE Trans. Electron Devices **33**(11), 1801–1805 (1986)
122. C. Enz, Y. Cheng, MOS transistor modeling for RF IC design. IEEE J. Solid-State Circuits **35**(2), 186–201 (2000)
123. G. Wegmann, E.A. Vittoz, F. Rahali, Charge injection in analog MOS switches. IEEE J.

Solid-State Circuits **22**(5), 1091–1097 (1987)
124. J. Sheu, C. Hu, Switch-induced error voltage on a switched capacitor. IEEE J. Solid-State Circuits **19**(4), 519–525 (1984)
125. D.G. Haigh, B. Singh, A switching scheme for switched capacitor filters which reduces the effect of parasitic capacitances associated with switch control terminals. Proc. IEEE Int. Symp. Circuits Syst. **2**(7), 586–589 (1983)
126. K. Nagaraj, D.A. Martin, M. Wolfe, R. Chattopadhyay, S. Pavan, J. Cancio, T.R. Viswanathan, A dual-mode 700-Msamples/s 6-bit 200-Msamples/s 7-bit A/D converter in a 0.25-μm digital CMOS process. IEEE J. Solid-State Circuits **35**(12), 1760–1768 (2000)
127. P.E. Allen, D.R. Holberg, *CMOS Analog Circuit Design* (Oxford University Press, New York, 2002)
128. J. Shieh, M. Patil, B. Scheu, Measurement and analysis of charge injection in MOS analog switches. IEEE J. Solid-State Circuits **22**, 277–281 (1987)
129. J. Kuo, R. Dutton, B. Wooley, MOS pass transistor turn-off transient analysis. IEEE Trans Electron Device **33**(6), 1545–1555 (1986)
130. M. Pelgrom, A. Duinmaijer, A. Welbers, Matching properties of MOS transistors. IEEE J. Solid-State Circuits **24**(5), 1433–1439 (1989)
131. K. Lakshmikumar, R. Hadaway, M. Copeland, Characterization and modeling of mismatch in MOS transistors for precision analog design. IEEE J. Solid-State Circuits **21**(8), 1057–1066 (1986)
132. J. McCreary, Matching properties, and voltage and temperature dependence of MOS capacitors. IEEE J. Solid-State Circuits **6**(6), 608–616 (1981)
133. Y.C. Jenq, Digital spectra of nonuniformly sampled signals: fundamentals and high-speed waveform digitizers. IEEE Trans. Instrum. Meas. **37**(2), 245–251 (1988)
134. A. Petraglia, S.K. Mitra, Analysis of mismatch effects among A/D converters in a time-interleaved waveform digitizer. IEEE Trans. Instrum. Meas. **40**(5), 831–835 (1991)
135. Y.C. Jenq, Perfect reconstruction of digital spectrum from nonuniformly sampled signals. IEEE Trans. Instrum. Meas. **46**(3), 649–652 (1997)
136. N. Kurosawa, H. Kobayashi, K. Maruyama, H. Sugawara, K. Kobayashi, Explicit analysis of channel mismatch effects in time-interleaved ADC systems. IEEE Trans. Circuits Syst. I: Fund. Theor. Appl. **48**(3), 261–271 (2001)
137. H. Ohara, H.X. Ngo, M.J. Armstrong, C.F. Rahim, P.R. Gray, A CMOS programmable self-calibrating 13-bit eight-channel data acquisition peripheral. IEEE J. Solid-State Circuits **22**(6), 930–938 (1987)
138. B.J. Hosticka, Improvement of the gain of MOS amplifiers. IEEE J. Solid-State Circuits **14**(6), 1111–1114 (1979)
139. E. Sackinger, W. Guggenbuhl, A high-swing high-impedance MOS cascode circuit. IEEE J. Solid-State Circuits **25**(1), 289–298 (1990)
140. K. Bult, G. Geelen, A fast-settling CMOS Op Amp for SC circuits with 90-dB DC gain. IEEE J. Solid-State Circuits **25**(6), 1379–1384 (1990)
141. J. Lloyd, H.-S. Lee, A CMOS Op Amp with fully-differential gain-enhancement. IEEE Trans. Circuits Syst. II: Analog Digital Signal Processing **41**(3), 241–243 (1994)
142. C.A. Laber, P.R. Gray, A positive-feedback transconductance amplifier with applications to high frequency high Q CMOS switched capacitor filters. IEEE J. Solid-State Circuits **13**(6), 1370–1378 (1988)
143. A.A. Abidi, An analysis of bootstrapped gain enhancement techniques. IEEE J. Solid-State Circuits **22**(6), 1200–1204 (1987)
144. A. de la Plaza, High frequency switched capacitor filter using unity-gain buffers. IEEE J. Solid-State Circuits **21**(3), 470–477 (1986)
145. P.C. Yu, H.-S. Lee, A high swing 2-V CMOS operational amplifier with replica-Amp gain enhancement. IEEE J. Solid-State Circuits **28**(12), 1265–1272 (1993)

146. D. Wan, M. Franklin, Asynchronous and clocked control structures for VLSI based interconnection networks. IEEE Trans. Comput. **32**(3), 284–293 (1983)
147. K. Poulton, R. Neff, A. Muto, W. Liu, A. Burnstein, M. Heshami, A 4G sample/s 8b ADC in 0.35 μm CMOS. *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 166–167, 2002
148. S.M. Louwsma, E.J.M. van Tuijl, M. Vertregt, B. Nauta, A 1.35 GS/s, 10b, 175 mW time-interleaved AD converter in 0.13 μm CMOS. *Proceedings of IEEE Symposium on VLSI Circuits,* pp. 62–63, 2007
149. C.T. Chuang, Analysis of the settling behavior of an operational amplifier. IEEE J. Solid-State Circuits **17**(1), 74–80 (1982)
150. G. Nicollini, P. Confalonieri, D. Senderowicz, A fully differential sample-and-hold circuit for high-speed applications. IEEE J. Solid-State Circuits **24**(5), 1461–1465 (1989)
151. K. Gulati, H.-S. Lee, A high-swing CMOS telescopic operational amplifier. IEEE J. Solid-State Circuits **33**(12), 2010–2019 (1998)
152. T.C. Choi, R.T. Kaneshiro, W. Brodersen, P.R. Gray, W.B. Jett, M. Wilcox, High-frequency CMOS switched-capacitor filters for communications application. IEEE J. Solid-State Circuits **18**, 652–664 (1983)
153. R. Harjani, R. Heineke, F. Wang, An integrated low-voltage class AB CMOS OTA. IEEE J. Solid-State Circuits **34**(2), 134–142 (1999)
154. R. Hogervorst, J.H. Huijsing, *Design of Low-Voltage Low-Power Operational Amplifier Cells* (Kluwer, Dordrecht, 1999)
155. B.K. Ahuja, An improved frequency compensation technique for CMOS operational amplifiers. IEEE J. Solid-State Circuits **18**(6), 629–633 (1983)
156. J.H. Huijsing, F. Tol, Monolithic operational amplifier design with improved HF behavior. IEEE J. Solid-State Circuits **11**(2), 323–327 (1976)
157. W. Sansen, Z.Y. Chang, Feedforward compensation techniques for high-frequency CMOS amplifiers. IEEE J. Solid-State Circuits **25**(6), 1590–1595 (1990)
158. F. Op't Eynde, W. Sansen, A CMOS wideband amplifier with 800 MHz gain-bandwidth. *Proceedings of IEEE Custom Integrated Circuits Conference*, pp. 9.1.1–9.1.4, 1991
159. S. Setty, C. Toumazou, Feedforward Compensation techniques in the design of low voltage Opamps and OTAs. Proc. IEEE Int. Symp. Circuits Syst. **1**, 464–467 (1998)
160. B.Y. Kamath, R.G. Meyer, P.R. Gray, Relationship between frequency response and settling time of operational amplifiers. IEEE J. Solid-State Circuits **9**(6), 347–352 (1974)
161. R.E. Vallee, E.I. El-Masry, A very high-frequency CMOS complementary folded cascode amplifier. IEEE J. Solid-State Circuits **29**(2), 130–133 (1994)
162. D.A. Johns, K. Martin, *Analog Integrated Circuit Design* (Wiley, New York, 1997)
163. A.A. Abidi, On the operation of cascode gain stages. IEEE J. Solid-State Circuits **23**(6), 1434–1437 (1988)
164. B.J. Hosticka, Improvement of the gain of MOS amplifiers. IEEE J. Solid-State Circuits **14**(6), 1111–1114 (1979)
165. E. Säckinger, W. Guggenbühl, A high-swing, high-impedance MOS cascode circuit. IEEE J. Solid-State Circuits **25**(1), 289–297 (1990)
166. U. Gatti, F. Maloberti, G. Torelli, A novel CMOS linear transconductance cell for continuous-time filters. *Proceedings of IEEE International Symposium on Circuits and Systems*, pp. 1173–1176, 1990.
167. B.J. Hosticka, Dynamic CMOS amplifiers. IEEE J. Solid-State Circuits **15**(5), 881–886 (1980)
168. M. Steyaert, R. Roovers, J. Craninckx, A 100 MHz 8 bit CMOS interpolating A/D converter. *Proceedings of IEEE Custom Integrated Circuit Conference,* pp. 28.1.1–28.1.4, 1993
169. R. van de Plassche, P. Baltus, An 8 b 100 MHz folding ADC. *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 222–223, 1988
170. P. Scholtens, M. Vertregt, A 6-b 1.6-Gsample/s flash ADC in 0.18-μm CMOS using

averaging termination. IEEE J. Solid-State Circuits **37**(12), 1599–1609 (2002)
171. R. Ockey, M. Syrzycki, Optimization of a latched comparator for high-speed analog-to-digital converters. Proc. IEEE Canadian Conf Elect Comput Eng **1**, 403–408 (1999)
172. P.M. Figueiredo, J.C. Vital, Low kickback noise techniques for CMOS latched comparators. Proc. IEEE Int. Symp. Circuits Syst. **1**, 537–540 (2004)
173. F. Murden, R. Gosser, 12b 50 M Sample/s two-stage A/D converter. *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 278–279, 1995
174. J. Robert, G.C. Temes, V. Valencic, R. Dessoulavy, D. Philippe, A 16-bit low-voltage CMOS A/D converter. IEEE J. Solid-State Circuits **22**(2), 157–263 (1987)
175. T.B. Cho, P.R. Gray, A 10 b, 20 Msample/s, 35 mW pipeline A/D converter. IEEE J. Solid-State Circuits **30**(3), 166–172 (1995)
176. L. Sumanen, M. Waltari, K. Halonen, A mismatch insensitive CMOS dynamic comparator for pipeline A/D converters. *Proceedings of the IEEE International Conference on Circuits and Systems*, pp. 32–35, 2000
177. T. Kobayashi, K. Nogami, T. Shirotori, Y. Fujimoto, A current-controlled latch sense amplifier and a static power-saving input buffer for low-power architecture. IEEE J. Solid-State Circuits **28**(4), 523–527 (1993)
178. B. Nauta, A.G.W. Venes, A 70-MS/s 110-mW 8-b CMOS folding and interpolating A/D converter. IEEE J. Solid-State Circuits **30**(12), 1302–1308 (1995)
179. G.M. Yin, F. op't Eynde, W. Sansen, A high-speed CMOS comparator with 8-b resolution. IEEE J. Solid-State Circuits **27**(2), 208–211 (1992)
180. J. van Valburg, R.J. van de Plassche, An 8-bit 650-MHz folding ADC. IEEE J. Solid-State Circuits **27**(12), 1662–1666 (1992)
181. R.J. van de Plassche, R.J. Grift, A high-speed 7-b A/D converter. IEEE J. Solid-State Circuits **14**(6), 938–943 (1979)
182. M. Flynn, D. Allstot, CMOS folding ADC's with current-mode interpolation. IEEE J. Solid-State Circuits **31**(9), 1248–1257 (1996)
183. A.G.W. Venes, R.J. van de Plassche, A 80-MHz, 8-b CMOS folding A/D converter. IEEE J. Solid-State Circuits **31**(12), 1846–1853 (1996)
184. P. Vorenkamp, R. Roovers, A 12-bit, 60-MSample/s cascaded folding and interpolating ADC. IEEE J. Solid-State Circuits **32**(12), 1876–1886 (1997)
185. B.S. Song, P. Rakers, S. Gillig, A 1-V 6-b 50-MS/s current-interpolating CMOS ADC. IEEE J. Solid-State Circuits **35**(4), 647–651 (2000)
186. W. An, C.A.T. Salama, An 8-bit, 1-Gsample/s folding-interpolating analog-to-digital converter. *Proceedings of IEEE European Solid-State Circuits Conference*, pp. 228–231, 2000
187. R. Taft, C. Menkus, M.R. Tursi, O. Hidri, V.Pons, A 1.8V 1.6GS/s 8b Self-calibrating folding ADC with 7.26 ENOB at Nyquist frequency. *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 252–256, 2004
188. S. Hwang, J. Moon, S. Jung, M. Song, Design of a 1.8V 6-bit 100MSPS 5mW CMOS A/D converter with low power folding-interpolation techniques. *Proceedings of IEEE European Solid-State Circuits Conference*, pp. 548–551, 2006
189. C. Yihui, H. Qiuting, T. Burger, A 1.2V 200-MS/s 10-bit folding and interpolating ADC in 0.13-μm CMOS. *Proceedings of IEEE European Solid-State Circuits Conference*, pp. 155–158, 2007
190. C.-C. Hsu, C.-C. Huang, Y.-H. Lin, C.-C. Lee, A 10b 200MS/s pipelined folding ADC with offset calibration. *Proceedings of IEEE European Solid-State Circuits Conference*, pp. 151–154, 2007
191. S. Limotyrakis, K. Nam, B. Wooley, Analysis and simulation of distortion in folding and interpolating A/D converters. IEEE Transac Circuits Syst-II: Analog Digital Signal Process **49**(3), 161–169 (2002)
192. R. Roovers, M.S.J. Steyaert, A 175 Ms/s, 6 b, 160 mW, 3.3 V CMOS A/D converter. IEEE J. Solid-State Circuits **31**(7), 938–944 (1996)

193. X. Jiang, Y. Wang, A.N. Willson Jr., A 200 MHz 6-bit folding and interpolating ADC in 0.5-μm CMOS. Proc. IEEE Int. Symp. Circuits Syst. **1**, 5–8 (1998)
194. M.P. Flynn, B. Sheahan, A 400-Msample/s, 6-b CMOS folding and interpolating ADC. IEEE J. Solid-State Circuits **33**(12), 1932–1938 (1998)
195. C. Lane, A 10-bit 60-MSPS flash ADC. *IEEE Bipolar Circuits and Technology Meeting Digest of Technical Papers,* pp. 44–47, 1989
196. J. Guilherme, P. Figueiredo, P. Azevedo, G. Minderico, A. Leal, J. Vital, J. Franca, A pipeline 15-b 10-Msample/s analog-to-digital converter for ADSL applications. *Proceedings of the IEEE International Symposium on Circuits and Systems,* pp. 396–399, 2001
197. C.M. Hammerschmied, Q. Huang, Design and implementation of an untrimmed MOSFET-Only 10-bit A/D converter with -79-dB THD. IEEE J. Solid-State Circuits **33**(8), 1148–1057 (1998)
198. A.G.F. Dingwall, Monolithic expandable 6 bit 20 MHz CMOS/SOS A/D converter. IEEE J. Solid-State Circuits **14**(6), 926–932 (1979)
199. O. Moldsvor, G.S. Ostrem, An 8-bit, 200 MSPS folding and interpolating ADC. Analog Integr. Circuits Signal Process. **15**(1), 37–47 (1998)
200. B. Razavi, *Principles of Data Conversion System Design* (IEEE Press, Piscataway, 1995)
201. T. Shimizu, M. Hotta, K. Maio, S. Ueda, A 10-bit 20-MHz two-step parallel A/D converter with internal S/H. IEEE J. Solid-State Circuits **24**(1), 13–20 (1989)
202. P. Vorenkamp, J. Verdaasdonk, A 10b 50MS/s pipelined ADC. *IEEE International Solid-State Circuit Conference Digest of Technical Papers*, pp. 32–33, 1992
203. G. Erdi, A precision trim technique for monolithic analog circuits. IEEE J. Solid-State Circuits **10**(6), 412–416 (1975)
204. M. Mayes, S. Chin, L. Stoian, A low-power 1 MHz 25 mW 12-bit time-interleaved analog-to-digital converter. IEEE J. Solid-State Circuits **31**(2), 169–178 (1996)
205. H.-S. Lee, D. Hodges, P. Gray, A self-calibrating 15 bit CMOS A/D converter. IEEE J. Solid-State Circuits **19**(6), 813–819 (1984)
206. P. Yu, S. Shehata, A. Joharapurkar, P. Chugh, A. Bugeja, X. Du, S.-U. Kwak, Y. Panantonopoulous, T. Kuyel, A 14b 40MSample/s pipelined ADC with DFCA. *IEEE International Solid-State Circuit Conference Digest of Technical Papers*, pp. 136–137, 2001
207. I. Galton, Digital cancellation of D/A converter noise in pipelined A/D converters. IEEE Trans. Circuits Syst. **47**(3), 185–196 (2000)
208. J.M. Ingino, B.A. Wooley, A continuously calibrated 12-b, 10-MS/s, 3.3-V A/D converter. IEEE J. Solid-State Circuits **33**(12), 1920–1931 (1998)
209. O.E. Erdogan, P.J. Hurst, S.H. Lewis, A 12-b digital-background-calibrated algorithmic ADC with -90-dB THD. IEEE J. Solid-State Circuits **34**(12), 1812–1820 (1999)
210. U.-K. Moon, B.-S. Song, Background digital calibration techniques for pipelined ADC's. IEEE Trans. Circuits Syst.–II **44**(2), 102–109 (1997)
211. T.-H. Shu, B.-S. Song, K. Bacrania, A 13-b 10-Msample/s ADC digitally calibrated with oversampling delta-sigma converter. IEEE J. Solid-State Circuits **30**(4), 443–452 (1994)
212. C.C. Enz, G.C. Temes, Circuit techniques for reducing the effects of Opamp imperfections: autozeroing, correlated double sampling, and chopper stabilization. Proc. IEEE **84**(11), 1584–1614 (1996)
213. G.C.M. Meijer, Concepts and focus point for intelligent sensor systems. Sens. Actuat. **41**, 183–191 (1994)
214. J.J.F. Rijns, CMOS low-distortion high-frequency variable-gain amplifier. IEEE J. Solid-State Circuits **31**(7), 1029–1034 (1996)
215. D.K. Su, M.J. Loinaz, S. Masui, B.A. Wooley, Experimental results and modeling techniques for substrate noise in mixed-signal integrated circuits. IEEE J. Solid-State Circuits **28**(4), 420–430 (1993)
216. M. Shinagawa, Y. Akazawa, T. Wakimoto, Jitter analysis of high-speed sampling systems.

IEEE J. Solid-State Circuits **25**(5), 220–224 (1990)
217. J. Doernberg, P.R. Gray, D.A. Hodges, A 10-bit 5-Msample/s CMOS two-step flash ADC. IEEE J. Solid-State Circuits **24**(2), 241–249 (1989)
218. T. M. Sounder, G.N. Stenbakken, A comprehensive approach for modeling and testing analog and mixed-signal devices. *Proceedings of IEEE International Test Conference*, pp. 169–176, 1990
219. N. Nagi, A. Chatterjee, A Balivada, J.A. Abraham, Fault-based automatic test generator for linear analog circuits. *Proceedings of IEEE International Conference on Computer Aided Design*, pp. 88–91, 1993
220. T. Koskinen, P.Y.K. Cheung, Hierarchical tolerance analysis using statistical behavioral models. IEEE Trans. Comput. Aided Design **15**(5), 506–516 (1996)
221. S.J. Spinks, C.D. Chalk, I.M. Bell, M. Zwolinski, Generation and verification of tests for analog circuits subject to process parameter deviations. J. Electron. Test.: Theor. Appl. **20**, 11–23 (2004)
222. A. Zjajo, J. Pineda de Gyvez, Evaluation of signature-based testing of RF/analog circuits. *Proceedings of IEEE European Test Symposium*, pp. 62–67, 2005
223. R. Voorakaranam, S.S. Akbay, S. Bhattacharya, S. Cherubal, A. Chatterjee, Signature testing of analog and RF circuits: algorithms and methodology. IEEE Trans. Circuits Syst.-I: Fund. Theor. Appl. **54**, 1018–1031 (2007)
224. A. McKeon, A. Wakeling, Fault diagnosis in analog circuit using AI techniques. *Proceedings of IEEE International Test Conference*, pp. 118–123, 1989
225. L. Milor, V. Visvanathan, Detection of catastrophic faults in analog integrated circuits. IEEE Trans. Comput.-Aided Design **8**(2), 114–130 (1989)
226. G. Devarayanadurg, M. Soma, Analytical fault modeling and static test generation for analog ICs. *Proceedings of IEEE/ACM International Conference on Computer-Aided Design*, pp. 44–47, 1994
227. Z. Wang, G. Gielen, W. Sansen, A novel method for the fault detection of analog integrated circuits. Proc. IEEE Int. Symp. Circuits Syst. **1**, 347–350 (1994)
228. K. Saab, N. Ben-Hamida, B. Kaminska, Parametric fault simulation and test vector generation. *Proceedings of IEEE Design, Automation and Test in Europe Conference*, pp. 650–656, 2000
229. F. Liu, P.K. Nikolov, S. Ozev, Parametric fault diagnosis for analog circuits using a Bayesian framework. *Proceedings of IEEE VLSI Test Symposium,* pp. 272–277, 2006
230. J. Neyman, E. Pearson, On the problem of the most efficient tests of statistical hypotheses. Philos. Trans. R. Soc. Lond. **A 231**, 289–337 (1933)
231. A. Zjajo, J. Pineda de Gyvez, Analog automatic test pattern generation for quasi-static structural test. *IEEE Transaction on Very Large Scale Integration (VLSI) Systems*, **17**, 1383–1391 (2009)
232. E. Silva, J. Pineda de Gyvez, G. Gronthoud, Functional vs. multi-VDD testing of RF circuits. *Proceedings of IEEE International Test Conference*, 2005
233. M. Loève, *Probability Theory* (D. Van Nostrand, Princeton, NJ, 1960)
234. J. Vlach, K. Singhal, *Computer Methods for Circuit Analysis and Design* (Van Nostrand Reinhold, New York, 1983)
235. K.E. Brenan, S.L. Campbell, L.R. Petzold, *The Numerical Solution of Initial Value Problems in Ordinary Differential-Algebraic Equations* (North Holland, New York, 1989)
236. J. Butcher, P. Chartier, Parallel general linear methods for stiff ordinary differential and differential algebraic equations. Appl. Numer. Math. **17**, 213–222 (1995)
237. P.J. Rrabier, W.C. Rheinboldt, Techniques of scientific computing (part 4), in *Handbook of Numerical Analysis*, ed. by P.G. Ciarlet, vol. 8 (North Holland/Elsevier, Amsterdam, 2002), pp. 183–540
238. M. Gunther, U. Feldmann, CAD based electric modeling in Industry. Math. Comput. Simul. **39**, 573–582 (1995)
239. M. Gunther, U. Feldmann, CAD based electric modeling in industry, Part I:

mathematical structure and index of network equations. Surv. Math. Indus. **8**, 97–129 (1999)
240. C. Tischendorf, Topological index calculation of DAEs in circuit simulation. Surv. Math. Indus. **8**, 187–199 (1999)
241. G. Ali, A. Bartel, M. Günther, Parabolic differential-algebraic models in electrical network design. Soc. Indus. Appl. Math. – J. Multiscale Model. Simul. **4**, 813–838 (2005)
242. H.P. Tuinhout, S. Swaving, J. Joosten, A fully analytical MOSFET model parameter extraction approach. IEEE Proc. Microelectron. Test Struct. **1**(1), 79–84 (1988)
243. T.L. Chen, G. Gildenblat, Symmetric bulk charge linearization in the charge-sheet model. IEEE Electron. Lett. **37**, 791–793 (2001)
244. R. van Langevelde, A.J. Scholten, D.B.M. Klassen, *MOS Model 11: Level 1102*. Philips Research Technical Report 2004/85
245. M. Grigoriu, On the spectral representation method in simulation. Probab. Eng. Mech. **8**, 75–90 (1993)
246. H. Stark, W.J. Woods, *Probability, Random Process and Estimation Theory for Engineers* (Prentice-Hall, Englewood Cliffs, NJ, 1994)
247. R. Ghanem, P.D. Spanos, *Stochastic Finite Element: A Spectral Approach* (Springer, New York, 1991)
248. P. Friedberg, Y. Cao, J. Cain, R. Wang, J. Rabaey, C. Spanos, Modeling within-die spatial correlation effects for process-design co-optimization. *Proceedings of IEEE International Symposium on Quality of Electronic Design*, pp. 516–521, 2005
249. J. Xiong, V. Zolotov, L. He, Robust extraction of spatial correlation. *Proceedings of IEEE International Symposium on Physical Design*, pp. 2–9, 2006
250. B.E. Stine, D.S. Boning, J.E. Chung, Analysis and decomposition of spatial variation in integrated circuit process and devices. *IEEE Transaction on Semiconductor Manufacturing*, pp. 24–41, 1997
251. A. Zjajo, J. Pineda de Gyvez, G. Gronthoud, Structural fault modeling and fault detection through Neyman-Pearson decision criteria for analog integrated circuits. J. Electron. Test.: Theor. Appl. **22**, 399–409 (2006)
252. S.D. Huss, R.S. Gyurcsik, Optimal ordering of analog integrated circuit tests to minimize test time. *Proceedings of Design Automation Conference*, pp. 494–499, 1991
253. IEEE Std. 1149.4-1999, Test Technology Technical Committee of the IEEE Computer Society, *IEEE Standard for a Mixed-Signal Test Bus.* Institute of Electrical and Electronic Engineers Inc.
254. G. Schafer, H. Sapotta, W. Dennerm, Block-oriented test strategy for analog circuits. *Proceedings of IEEE European Solid-State Circuit Conference,* pp. 217–220, 1991
255. M. Soma, A design for test methodology for active analog filters. *Proceedings of IEEE International Test Conference,* pp. 183–192, 1990
256. A.H. Bratt, R.J. Harvey, A.P. Dorey, A.M.D. Richardson, Design for test structure to facilitate test vector application with low performance loss in non-test mode. Electron. Lett. **4**(4), 299–313 (1993)
257. D. Vazquez, J.L. Huertas, A. Rueda, A new strategy for testing analog filters. *Proceedings of IEEE VLSI Test Symposium,* pp. 36–41, 1994
258. D. Vazquez, J.L. Huertas, A. Rueda, Reducing the impact of DfT on the performance of analog integrated circuits: improved SW-OPAMP design. *Proceedings of IEEE VLSI Test Symposium,* pp. 42–48, 1996
259. B. Vinnakota, R. Harjani, DFT for digital detection of analog parametric faults in SC filters. IEEE Trans. Comput.-Aided Design Integr. Circuits Syst. **19**(7), 789–798 (2000)
260. E. Peralias, A. Rueda, J.L. Huertas, A DFT technique for analog-to-digital converters with digital correction. *Proceedings of IEEE VLSI Test Symposium,* pp. 302–307, 1997
261. J. Pineda de Gyvez, G. Gronthoud, R. Amine, VDD Ramp Testing for RF Circuits. *Proceedings of IEEE International Test Conference*, pp. 651–658, 2003

262. A. Zjajo, J. Pineda de Gyvez, G. Gronthoud, A DC approach for detection and simulation of parametric faults in analog and mixed-signal circuits. *Proceedings of IEEE International Mixed-Signal Testing Workshop,* pp. 155–164, 2005
263. A. Zjajo, H.J. Bergveld, R. Schuttert, J. Pineda de Gyvez, Power-scan chain: design for analog testability. *Proceedings of International Test Conference,* 2005
264. S. Somayayula, E. Sanchez-Sinencio, J. Pineda de Gyvez, Analog fault diagnosis based on ramping power supply current signature. IEEE Trans. Circuits Syst.-II **43**(10), 703–712 (1996)
265. S. Tabatabaei, A. Ivanov, A built-in current monitor for testing analog circuit blocks. Proc. IEEE Int. Symp. Circuits Syst. **2**, 109–114 (1999)
266. J.R. Vazquez, J. Pineda de Gyvez, Built-in current sensor for ΔI_{DDQ} testing. IEEE J. Solid-State Circuits **39**(3), 511–518 (2004)
267. IEEE Std. 1149.1-2001, Test Technology Technical Committee of the IEEE Computer Society, *IEEE Standard Test Access Port and Boundary-Scan Architecture*. Institute of Electrical and Electronic Engineers Inc.
268. J. Galan, R.G. Carvajal, A. Torralba, F. Munoz, J. Ramirez-Angulo, A low-power low-voltage OTA-C sinusoidal oscillator with a large tuning range. IEEE Trans. Circuits Syst. **52** (2), 283–291 (2005)
269. G. Chang, A. Rofougaran, K. Mong-Kai, A.A. Abidi, H. Samueli, A low-power cmos digitally-synthesized 0–13 MHZ sinewave generator. *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 32–33, 1994
270. B. Dufort, G.W. Roberts, On-chip analog signal generation for mixed-signal built-in-self-test. IEEE J. Solid-State Circuits **33**(3), 318–330 (1999)
271. J. Huang, K. Cheng, A sigma-delta modulation based BIST scheme for mixed-signal circuits. *Proceedings of IEEE Design Automation Conference*, pp. 605–610, 2000
272. A.K. Lu, G.W. Roberts, D. Johns, A high quality analog oscillator using oversampling D/A conversion techniques. IEEE Trans. Circuits Syst. II **41**(7), 437–444 (1994)
273. M.J. Barragan, D. Vazquez, A. Rueda, J.L. Huertas, On-chip analog sinewave generator with reduced circuitry resources. *Proceedings of IEEE Midwest Symposium on Circuits and Systems*, pp. 638–642, 2006
274. Y.P. Tsividis, Integrated continuous-time filter design-an overview. IEEE J. Solid-State Circuits **29**(3), 166–176 (1994)
275. A.M. Durham, J.B. Hughes, W. Redman-White, Circuit architectures for high linearity monolithic continuous-time filtering. IEEE Trans. Circuits Syst.−II **39**(9), 651–657 (1992)
276. R. Gharpurey, N. Yanduru, F. Dantoni, P. Litmanen, G. Sirna, T. Mayhugh, C. Lin, I. Deng, P. Fontaine, F. Lin, A direct conversion receiver for the 3G WCDMA standard. *Proceedings of the IEEE Custom Integrated Circuits Conference*, pp. 239–242, 2002
277. S. Lindfors, J. Jussila, K. Halonen, L. Siren, A 3-V continuous-time filter with on-chip tuning for IS-95. IEEE J. Solid-State Circuits **34**(8), 1150–1154 (1999)
278. J.K. Pyykönen, A low distortion wideband active-RC filter for a multicarrier base station transmitter. *Proceedings of the IEEE International Symposium on Circuits and Systems*, pp. 244–247, 2001
279. H. Khorramabadi, M.J. Tarsia, N.S. Woo, Baseband filters for IS-95 CDMA receiver applications featuring digital automatic frequency tuning. *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 172–173, 1996
280. T. Salo, S. Lindfors, T. Hollman, K. Halonen, Programmable direct digital tuning circuit for a continuous-time filter. *Proceedings of the European Solid-State Circuits Conference*, pp. 168–171, 2000
281. S. Lindfors, T. Hollman, T. Salo, K. Halonen, A 2.7V CMOS GSM/WCDMA continuous-time filter with automatic tuning. *Proceedings of the IEEE Custom Integrated Circuits Conference*, pp. 9–12, 2001
282. Y. Tsividis, Continuous-time filters in telecommunications chips. *Proceedings of IEEE*

Communications Magazine, pp. 132–137, 2001
283. Z. Czarnul, Modification of Banu-Tsividis continuous-time integrator structure. IEEE Trans. Circuits Syst. **33**(7), 714–716 (1986)
284. U.-K. Moon, B.-S. Song, Design of a low-distortion 22-kHz fifth-order Bessel filter. IEEE J. Solid-State Circuits **28**(12), 1254–1264 (1993)
285. A. Yoshizawa, Y.P. Tsividis, Anti-blocker design techniques for MOSFET-C filters for direct conversion receivers. IEEE J. Solid-State Circuits **37**(3), 357–364 (2002)
286. A. Yoshizawa, Design considerations for large dynamic range MOSFET-C filters for direct conversion receivers. *Proceedings of the European Solid-State Circuits Conference*, pp. 655–658, 2002
287. B. Nauta, A CMOS transconductance-C filter technique for very high frequencies. IEEE J. Solid-State Circuits **27**(2), 142–153 (1992)
288. S. Lindfors, K. Halonen, M. Ismail, A 2.7-V elliptical MOSFET-Only gmC-OTA filter. IEEE Trans. Circuits Syst.—II **47**(2), 89–95 (2000)
289. D. Python, A.-S. Porret, C. Enz, A 1V 5th-order bessel filter dedicated to digital standard processes. *Proceedings of the IEEE Custom Integrated Circuits Conference*, pp. 505–508, 1999
290. T. Itakura, T. Ueno, H. Tanimoto, A. Yasuda, R. Fujimoto, T. Arai, H. Kokatsu, A 2.7-V, 200-kHz, 49-dBm, stopband-IIP3, low-noise, fully balanced Gm-C filter IC. IEEE J. Solid-State Circuits **34**(8), 1155–1159 (1999)
291. T.C. Kuo, B.B. Lusignan, A very low power channel select filter for IS-95 CDMA receiver with on-chip tuning. *IEEE Symposium on VLSI Circuits Digest of Technical Papers*, pp. 244–247, 2000
292. K. Halonen, S. Lindfors, J. Jussila, L. Siren, A 3V GmC-filter filter with on-chip tuning for CDMA. *Proceedings of the IEEE Custom Integrated Circuits Conference*, pp. 83–86, 1997
293. C.A. Laber, P.R. Gray, A 20-MHz sixth-order BiCMOS Parasitic-insensitive continuous-time filter and second-order equalizer optimized for disk-drive read channels. IEEE J. Solid-State Circuits **27**(4), 462–470 (1993)
294. B. Razavi, *Design of Analog CMOS Integrated Circuits* (McGraw-Hill, New York, 2001)
295. D.G. Haigh, B. Singh, A switching scheme for switched capacitor filters which reduces the effect of parasitic capacitances associated with switch control terminals. *Proceedings of IEEE International Symposium on Circuits and Systems*, pp. 586–589, 1983
296. R.W. Brodersen, P.R. Gray, D.A. Hodges, MOS switched-capacitor filters. Proc. IEEE **67**, 61–75 (1979)
297. G.M. Jacobs, D.J. Allstot, R.W. Brodersen, P.R. Gray, Design techniques for MOS switched-capacitor ladder filters. IEEE Trans. Circuits Syst. **25**(12), 1014–1021 (1978)
298. A. Fettweis, D. Herbst, B. Hoefflinger, J. Pandel, R. Schweer, MOS switched capacitor filters using voltage inverter switches. IEEE Trans. Circuits Syst. **27**(6), 527–538 (1980)
299. F. Montecchi, On design of switched-capacitor filters with the voltage-inverter switch approach. Proc. IEEE Int. Symp. Circuits Syst. **2**, 1479–1482 (1988)
300. R. Gregorian, G.C. Temes, *Analog MOS Integrated Circuits for Signal Processing* (Wiley, New York, 1986)
301. K. Martin, A.S. Sedra, Exact design of switched-capacitor bandpass filters using coupled-biquad structures. IEEE Trans. Circuits Syst. **27**(6), 469–478 (1980)
302. K. Martin, A.S. Sedra, Effects of the Op-Amp finite gain and bandwidth on the performance of switched-capacitor filters. IEEE Trans. Circuits Syst. **28**(8), 822–829 (1981)
303. A. Baschirotto, F. Severi, R. Castello, A 200-Ms/s 10-mW switched-capacitor filter in 0.5-μm CMOS technology. IEEE J. Solid-State Circuits **35**(8), 1215–1219 (2000)
304. A.D. Plaza, High-frequency switched-capacitor filter using unity-gain buffers. IEEE J. Solid-State Circuits **21**(8), 470–477 (1986)
305. C.Y. Wu, P.H. Lu, M.K. Tsai, Design techniques for high-frequency CMOS switched-capacitor filters using non-Op-Amp-based unity-gain amplifiers. IEEE J. Solid-State Circuits **26**(4), 1460–1466 (1991)

306. B.K. Thandri, S.J. Silva-Martinez, F. Maloberti, A feedforward compensation scheme for high gain wideband amplifiers. *Proceedings of IEEE International Conference on Electronics, Circuits and Systems*, pp. 1115–1118, 2001
307. S. Pavan, Y. Tsividis, *High Frequency Continuous Time Filters in Digital CMOS Processes* (Kluwer, Boston, 2000)
308. Y. Tsividis, Y. Papananos, Continuous-time filters using buffer with gain lower than unity. IEEE Electron Lett. **30**(8), 629–630 (1994)
309. J.S. Silva-Martinez, M. Steyaert, W. Sansen, *High-Performance CMOS Continuous-Time Filters* (Kluwer, Boston, 1993)
310. B. Nauta, *Analog CMOS Filters for Very High Frequencies* (Kluwer, Boston, 1993)
311. F. Krummenacher, N. Joehl, A 4 MHz CMOS continuous-time filter with On-Chip automatic tuning. IEEE J. Solid-State Circuits **23**, 750–758 (1988)
312. R. Schaumann, M.E. Valkenburg, *Design of Analog Filters* (Oxford University Press, New York, 2001)
313. R. Schaumann, M.S. Ghausi, K.R. Laker, *Design of Analog Filters* (Prentice-Hall, Englewood Cliffs, NJ, 1990)
314. F. Maloberti, F. Montecchi, G. Torelli, E. Halasz, Bilinear design of fully differential switched-capacitor ladder filters. IEE Proc. Electro Circuits Syst. **132**, 266–272 (1985)
315. M. Maymandi-Nejad, M. Sachdev, Continuous-time common mode feedback technique for sub 1V analogue circuits. IEEE Electron Lett. **38**, 1408–1409 (2002)
316. C. Yoo, S. Lee, W. Kim, A +/− 1.5-V, 4-MHz CMOS continuous-time filter with a single-integrator based tuning. IEEE J. Solid-State Circuits **33**(4), 18–27 (1998)
317. K.-H. Loh, D.L. Hiser, W.J. Adams, R.L. Geiger, A versatile digitally controlled continuous-time filter structure with wide-range and fine resolution capability. IEEE Trans Circuit Syst II **39**(7), 265–276 (1992)
318. A. Brandolini, A. Gandelli, Testing methodologies for analog-to-digital converters. *IEEE Transactions on Instrumentation and Measurement*, pp. 595–603, 1993
319. T. Yamaguchi, Static testing of ADCs using wavelet transforms. *Proceedings of IEEE Asian Test Symposium*, pp. 188–193, 1997
320. M.F. Toner, G.W. Roberts, A BIST scheme for an SNR test of a sigma-delta ADC. *Proceedings of IEEE International Test Conference*, pp. 805–14, 1993
321. A.C. Serra, P.S. Girao, Static and dynamic testing of A/D converter using a VXI based system. *Proceedings of IEEE Instrumentation and Measurement Technology Conference*, pp. 903–906, 1994
322. G. Chiorboli, G. Franco, C. Morandi, Analysis of distortion in A/D converters by time-domain and code-density techniques. *Proceedings of IEEE Transactions on Instrumentation and Measurement*, pp. 45–49, 1996
323. K. Arabi, B. Kaminska, J. Rzeszut, A new built-in self-test approach for digital-to-analog and analog-to-digital converters. *Proceedings of IEEE International Conference on Computer Aided Design*, pp. 491–494, 1994
324. K. Arabi, B. Kaminska, Efficient and accurate testing of analog-to-digital converters using oscillation-test method. *Proceedings of IEEE European Design and Test Conference*, pp. 348–352, 1997
325. R. de Vries, T. Zwemstra, E. Bruls, P. Regtien, Built-in self-test methodology for A/D converters. *Proceedings of IEEE European Design and Test Conference*, pp. 353–358, 1997
326. S.K. Sunter, N. Nagi, A simplified polynomial-fitting algorithm for DAC and ADC BIST. *Proceedings of IEEE International Test Conference*, pp. 389–395, 1997
327. F. Azais, S. Bernard, Y. Bertrand, M. Renovell, Towards an ADC BIST scheme using the histogram test technique. *Proceedings of IEEE European Test Workshop*, pp. 53–58, 2000
328. E. Peralias, A. Rueda, J.A. Prieto, J.L. Huertas, DfT & On-line test of high-performance data converters: a practical case. *Proceedings of International Test Conference*, pp. 534–540, 1998
329. K. Arabi, B. Kaminska, J. Rzeszut, BIST for D/A and A/D converters. *Proceedings of IEEE Design and Test of Computers*, pp. 40–49, 1996

330. K. Arabi, B. Kaminska, J. Rzeszut, A new built-in-self-test approach for digital-to-analog and analog-to-digital converters. *Proceedings of IEEE International Conference on Computer Aided Design*, pp. 491–494, 1994
331. Y.-C. Wen, K.-J. Lee, BIST structure for DAC testing. IEE Electron Lett. **34**(12), 1173–1174 (1998)
332. S.J. Chang, C.L. Lee, J.E. Chen, BIST scheme for DAC testing. IEE Electron Lett. **38**(15), 776–777 (2002)
333. *IEEE 1057 Standard for Digitizing Waveform Recorders*, 1994
334. *IEEE 1241 Standard for Analog-to-Digital Converters*, 2000
335. M. Vanden Bossche, J. Schoukens, J. Eenneboog, Dynamic testing and diagnostics of A/D converters. IEEE Trans. Circuits Syst. **33**(8), 775–785 (1986)
336. J. Doernberg, H.-S. Lee, D.A. Hodges, Full-speed testing of A/D converters. IEEE J. Solid-State Circuits **19**(6), 820–827 (1984)
337. N. Giaquinto, A. Trotta, Fast and accurate ADC testing via an enhanced sine wave fitting algorithm. IEEE Trans. Instrum. Meas. **46**(2), 1020–1024 (1997)
338. F. Alegria, P. Arpaia, A.M. da Cruz Serra, P. Daponte, ADC histogram test by triangular small-waves. Proc IEEE Instrum Meas Technol Conf **3**, 1690–1695 (2001)
339. L. Jin, K. Parthasarathy, T. Kuyel, D. Chen, R.L. Geiger, Linearity testing of precision analog-to-digital converters using stationary nonlinear inputs. *Proceedings of IEEE International Test Conference*, pp. 218–227, 2003
340. L. Jin, D. Chen, R. Geiger, SEIR linearity testing of precision A/D converters in nonstationary environments with center-symmetric interleaving. IEEE Trans. Instrum. Meas. **56**(5), 1776–1785 (2007)
341. E. Korhonen, J. Häkkinen, J. Kostamovaara, A robust algorithm to identify the test stimulus in histogram-based A/D converter testing. IEEE Trans. Instrum. Meas. **56**(6), 2369–2374 (2007)
342. H. Shin, J. Park, J.A. Abraham, A statistical digital equalizer for loopback-based linearity test of data converters. *Proceedings of IEEE Asian Test Conference*, pp. 245–250, 2006
343. H. Shin, B. Kim, J.A. Abraham, Spectral prediction for specification-based loopback test of embedded mixed-signal circuits. *Proceedings of IEEE VLSI Test Symposium*, pp. 412–417, 2006
344. X. Sheng, H. Kerkhoff, A. Zjajo, G. Gronthoud, Exploring dynamics of embedded ADC through adapted digital input stimuli. *Proceedings of IEEE International Workshop on Mixed-Signals, Sensors, and Systems Test*, pp. 1–7, 2008
345. X. Sheng, H. Kerkhoff, A. Zjajo, G. Gronthoud, Time-modulo reconstruction algorithms for cost-efficient A/D converter multi-site test. *IEEE European Test Symposium,* 2009, accepted for publication
346. F.H. Irons, D.M. Hummels, The modulo time plot-a useful data acquisition diagnostic tool. IEEE Trans. Instrum. Meas. **45**(3), 734–738 (1996)
347. K. Bowman, J. Meindl, Impact of Within-die parameter fluctuations on the future maximum clock frequency distribution. *Proceedings of IEEE Custom Integrated Circuits Conference*, pp. 229–232, 2001
348. C. Michael, M. Ismail, *Statistical Modeling for Computer-Aided Design of MOS VLSI Circuits* (Kluwer, Boston, 1993)
349. P.R. Gray, R.G. Meyer, *Analysis and Design of Analog Integrated Circuits* (Wiley, New York, 1984)
350. A. Demir, E. Liu, A. Sangiovanni-Vincentelli, Time-domain non-Monte Carlo noise simulation for nonlinear dynamic circuits with arbitrary excitations. *Proceedings of IEEE/ACM Interanational Conference on Computer Aided Design,* pp. 598–603, 1994
351. R. López-Ahumada, R. Rodríguez-Macías, FASTEST: a tool for a complete and efficient statistical evaluation of analog circuits. DC analysis. *Analog Integr Circuits Signal Process*, **29**(3), 201–212 (2001)
352. E. Felt, S. Zanella, C. Guardiani, A. Sangiovanni-Vincentelli, Hierarchical statistical characterization of mixed-signal circuits using behavioral modeling. *Proceedings of IEEE/ACM Interanational Conference on Computer Aided Design,* pp. 374–380, 1996

353. J. Vlach, K. Singhal, *Computer Methods for Circuit Analysis and Design* (Van Nostrand Reinhold, New York, 1983)
354. L.O. Chua, C.A. Desoer, E.S. Kuh, *Linear and Nonlinear Circuits* (Mc Graw-Hill, New York, 1987)
355. L. Arnold, *Stochastic Differential Equations: Theory and Application* (Wiley, New York, 1974)
356. A. Sangiovanni-Vincentelli, Circuit Simulation, in *Computer Design Aids for VLSI Circuits* (Sijthoff & Noordhoff, The Netherlands, 1980)
357. A.S. Hodel, S.T. Hung, Solution and applications of the lyapunov equation for control systems. IEEE Trans. Ind. Electron. **39**(3), 194–202 (1992)
358. R.H. Bartels, G.W. Stewart, Solution of the matrix equation AX+XB=C. Commun Assoc Comput Machin **15**, 820–826 (1972)
359. N.J. Higham, Perturbation theory and backward error for AX−XB=C. BIT Numer. Math. **33**, 124–136 (1993)
360. T. Penzl, Numerical solution of generalized Lyapunov equations. Adv. Comput. Math. **8**, 33–48 (1998)
361. G.H. Golub, C.F. van Loan, *Matrix Computations* (Johns Hopkins University Press, Baltimore, 1996)
362. V. Sima, *Algorithms for Linear-Quadratic Optimization, Vol. 200, Pure and Applied Mathematics* (Marcel Dekker, New York, 1996)
363. P. Benner, E. Quintana-Orti, Solving stable generalized lyapunov equations with the matrix sign function. Numer Algebra **20**, 75–100 (1999)
364. I. Jaimoukha, E. Kasenally, Krylov subspace methods for solving large lyapunov equations. SIAM J. Numer. Anal. **31**, 227–251 (1994)
365. E. Wachspress, Iterative solution of the lyapunov matrix equation. Appl. Math. Lett. **1**, 87–90 (1998)
366. J. Li, F. Wang, J. White, An efficient Lyapunov equation-based approach for generating reduced-order models of interconnect. *Proceedings of IEEE/ACM Design Automation Conference*, pp. 1–6, 1999
367. The Numerics in Control Network, http://www.win.tue.nl/wgs/niconet.htm
368. E. Balestrieri, P. Daponte, S. Rapuano, A state of the art on ADC error compensation methods. IEEE Trans. Instrum. Meas. **54**(4), 1388–1394 (2005)
369. M. Vertregt, P. Scholtens, Scalable high-speed analog circuit design, in *Analog Circuit Design*, ed. by J.H. Huijsing, M. Steyaert, A. van Roermund, vol. 10 (Kluwer, Boston, MA, 2002), pp. 3–11
370. M.F. Toner, G.W. Roberts, A BIST scheme for an SNR test of a sigma-delta ADC. *Proceedings of IEEE International Test Conference*, pp. 805–14, 1993
371. C. Serra, P.S. Girao, Static and dynamic testing of A/D converter using a VXI based system. *Proceedings of IEEE Instrumentation and Measurement Technology Conference*, pp. 903–906, 1994
372. G. Chiorboli, G. Franco, C. Morandi, Analysis of distortion in A/D converters by time-domain and code-density techniques. *IEEE Transaction on Instrumentation and Measurement,* pp. 45–49, 1996
373. K. Arabi, B. Kaminska, J. Rzeszut, A new built-in self-test approach for digital-to-analog and analog-to-digital converters. *Proceedings of IEEE International Conference on Computer Aided Design*, pp. 491–494, 1994
374. K. Arabi, B. Kaminska, Efficient and accurate testing of analog-to-digital converters using oscillation-test method. *Proceedings of IEEE European Design and Test Conference*, pp. 348–352, 1997
375. R. de Vries, T. Zwemstra, E. Bruls, P. Regtien, Built-in self-test methodology for A/D converters. *Proceedings of IEEE European Design and Test Conference*, pp. 353–358, 1997
376. S. K. Sunter, N. Nagi, A simplified polynomial-fitting algorithm for DAC and ADC BIST. *Proceedings of IEEE International Test Conference*, pp. 389–395, 1997

377. F. Azais, S. Bernard, Y. Bertrand, M. Renovell, Towards an ADC BIST scheme using the histogram test technique. *Proceedings of IEEE European Test Workshop*, pp.53–58, 2000
378. A. Charoenrook, M. Soma, Fault diagnosis technique for subranging ADCs. *Proceedings of the IEEE Asian Test Symposium*, pp.367–372, 1994
379. A. Zjajo, M.J. Barragan Asian, J. Pineda de Gyvez, BIST method for die-level process parameter variation monitoring in analog/mixed-signal integrated circuits. *Proceedings of IEEE Design, Automation and Test Europe*, pp.1301–1306, 2006
380. E. Alon, V. Stojanovic, M.A. Horowitz, Circuits and techniques for high-resolution measurement of on-chip power supply noise. IEEE J. Solid-State Circuits **40**, 820–828 (2005)
381. V. Petrescu, M. Pelgrom, H. Veendrick, P. Pavithran, J. Wieling, Monitors for a signal integrity measurement system. *Proceedings of IEEE European Solid-State Circuit Conference*, pp.122–125, 2006
382. E. Sackinger, W. Guggenuhl, A high-swing, high-impedance mos cascode circuit. IEEE J. Solid-State Circuits **25**(1), 89–298 (1990)
383. A. Coban, P. Allen, A 1.75-V rail-to-rail CMOS Opamp. Proc IEEE Int. Symp. Circuits Syst. **5**, 5.497–5.500 (1994)
384. F. Fruett, G.C.M. Meijer, A. Bakker, Minimization of the mechanical-stress-induced inaccuracy in bandgap voltage references. IEEE J. Solid-State Circuits **38**(7), 1288–1291 (2003)
385. M.A.P. Pertijs, G.C.M. Meijer, J.H. Huijsing, Precision temperature measurement using CMOS substrate PNP transistors. IEEE Sens. J. **4**(3), 294–300 (2004)
386. F. Fruett, G. Wang, G.C.M. Meijer, The piezojunction effect in NPN and PNP vertical transistors and its influence on silicon temperature sensors. Sens Actuat A – Phys Sens **85**, 70–74 (2000)
387. R.J. Widlar, New developments in IC voltage regulators. IEEE J. Solid-State Circuits **6**, 2–7 (1971)
388. D. Schinkel, R.P. de Boer, A.J. Annema, A.J.M. van Tuijl, A 1-V 15μW high-precision temperature switch. *Proceedings of IEEE European Solid-State Circuit Conference*, pp. 77–80, 2001
389. C.H. Brown, Asymptotic comparison of missing data procedures for estimating factor loadings. Psychometrika **48**, 269–292 (1983)
390. R.B. Kline, *Principles and Practices of Structural Equation Modeling* (Guilford, New York, 1998)
391. B. Muthen, D. Kaplan, M. Hollis, On structural equation modeling with data that are not missing completely at random. Psychometrika **52**, 431–462 (1987)
392. A.P. Dempster, N.M. Laird, D.B. Rubin, Maximum likelihood from incomplete data via the EM algorithm. J. R. Stat. Soc. **39**, 1–38 (1977)
393. G.J. McLachlan, T. Krishnan, *The EM Algorithm and Extensions* (Wiley-Interscience, New York, 1997)
394. A. Zjajo, S. Krishnan, J. Pineda de Gyvez, Efficient estimation of die-level process parameter variations via the em-algorithm. *Proceedings of IEEE International Symposium on Design and Diagnostic of Electronic Circuits and Systems,* pp. 287–292, 2008
395. C. Cortes, V. Vapnik, Support-vector networks. Mach Learning **20**, 273–297 (1995)
396. V. Franc, V. Hlavac, Multi-class support vector machine. Proc IEEE Int Conf Pattern Recog **2**, 236–239 (2002)
397. R.A. Redner, H.F. Walker, Mixture densities, maximum likelihood and the EM algorithm. Surveys Math. Indus. **26**, 195–239 (1984)
398. S.M. Zabin, H.V. Poor, Efficient estimation of class A noise parameters via the EM algorithm. IEEE Trans. Inf. Theor. **37**(1), 60–72 (1991)
399. Y. Zhao, An EM algorithm for linear distortion channel estimation based on observations from a mixture of gaussian sources. IEEE Trans Speech Audio Process **7**(4), 400–413 (1999)
400. C.F. Wu, On the convergence properties of the EM algorithm. Annu Stat **11**(1), 95–103 (1983)
401. S.P. Lloyd, Least squares quantization in PCM. IEEE Trans. Inf. Theor. **28**(2), 129–137 (1982)

402. D.M. Hummels, F.H. Irons, R. Cook, I. Papantonopoulos, Characterization of ADCs using a non-iterative procedure. Proc. IEEE Int. Symp. Circuits Syst. **2**, 5–8 (1994)
403. D. Hummels, Performance improvement of all-digital wide-bandwidth receivers by linearization of ADCs and DACs. Measurement **31**(1), 35–45 (2002)
404. P. Arpaia, P. Daponte, L. Michaeli, Influence of the architecture on ADC error modeling. IEEE Trans. Instrum. Meas. **48**, 956–966 (1999)
405. K. Noguchi, T. Hashida, M. Nagata, On-chip analog circuit diagnosis in systems-on-chip integration. *Proceedings of IEEE European Solid-State Circuit Conference*, pp. 118–112, 2006
406. A. Charoenrook, M. Soma, A fault diagnosis technique for flash ADC's. IEEE Trans. Circuits Syst. II: Analog Digital Signal Processing **43**, 445–457 (1996)
407. F.H. Irons, D.M. Hummels, I.N. Papantonopoulos, C.A. Zoldi, Analog-to-digital converter error diagnosis. *Proceedings of IEEE Instrumentation and Measurement Technology Conference*, pp. 732–737, 1996
408. A. Zjajo, J. Pineda de Gyvez, Diagnostic analysis of static errors in multi-step analog to digital converters. *Proceedings of IEEE Design, Automation and Test in Europe Conference*, pp. 74–79, 2008
409. U. Eduri, F. Maloberti, Online calibration of a Nyquist-rate analog-to-digital converter using output code-density histograms. IEEE Trans. Circuits Syst. I: Fund. Theor. Appl. **51**(1), 15–24 (2004)
410. J. Tsimbinos, K.V. Lever, Improved error-table compensation of A/D converters. IEE Proc – Circuits, Devices Syst **144**(6), 343–349 (1997)
411. P. Händel, M. Skoglund, M. Pettersson, A calibration scheme for imperfect quantizers. IEEE Trans. Instrum. Meas. **49**(11), 1063–1068 (2000)
412. P. Daponte, R. Holcer, L. Horniak, L. Michaeli, S. Rapuano, Using an interpolation method for noise shaping in A/D converters. *Proceedings of the IEEE European Workshop on ADC Modelling and Testing*, pp. 147–150, 2002
413. B. Widrow, S.D. Stearns, *Adaptive Signal Processing* (Prentice-Hall, Englewood Cliffs, NJ, 1985)
414. M. Vanden Bossche, J. Schoukens, J. Eenneboog, Dynamic testing and diagnostics of A/D converters. IEEE Trans. Circuits Syst. **33**(8), 775–785 (1986)
415. G. Schafer, H. Sapotta, W. Dennerm, Block-oriented test strategy for analog circuits. *Proceedings of IEEE European Solid-State Circuit Conference,* pp. 217–220, 1991
416. A. Zjajo, J. Pineda de Gyvez, DfT for fully accessibility of multi-step analog to digital converters. *Proceedings of IEEE International Symposium on VLSI Design, Automation and Test,* pp. 73–76, 2008
417. A. Osseiran, *Analog and Mixed-Signal Boundary Scan: A Guide to the IEEE 1149.4 Test Standard* (Kluwer, Boston, 1999)
418. M. Karlsson-Rudberg, Calibration of mismatch errors in time interleaved ADCs. Proc. IEEE Int. Conf. Electron, Circuits Syst. **2**, 845–848 (2001)
419. J.-E. Eklund, F. Gustafsson, Digital offset compensation of time-interleaved ADC using random chopper sampling. Proc. IEEE Int. Symp. Circuits Syst. **3**, 447–450 (2000)
420. H. Jin, E.K. Lee, A digital-background calibration technique for minimizing timing-error effects in time-interleaved ADC's. IEEE Trans. Circuits Syst. **47**(7), 603–613 (2000)
421. J. Elbornsson, K. Folkesson, J.-E. Eklund, Measurement verification of estimation method for time errors in a time-interleaved A/D converter system. *Proceedings of IEEE International Symposium on Circuits and Systems*, pp. 129–132, 2002
422. J. Elbornsson, F. Gustafsson, J.-E. Eklund, Blind adaptive equalization of mismatch errors in a time-interleaved A/D converter system. IEEE Trans. Circuits Syst. I **51**(1), 151–158 (2004)
423. A. Zjajo, Diagnostic analysis of bandwidth mismatch in time-interleaved systems. *Proceedings of IEEE International Conference on Electronics, Circuits and Systems,* pp. 105–108, 2008
424. A. Papoulis, *Signal Analysis* (McGraw-Hill, New York, 1977)
425. H. Landau, Necessary density conditions for sampling and interpolation of certain entire functions. Acta Mathematica **117**(1), 37–52 (1967)

426. R.G. Vaughan, N.L. Scott, D.R. White, The theory of bandpass sampling. IEEE Trans. Signal Process. **39**, 1973–1984 (1991)
427. A. Kohlenberg, Exact interpolation of band-limited functions. J. Appl. Phys. **24**, 1432–1435 (1953)
428. C. Herley, P.W. Wong, Minimum rate sampling and reconstruction of signals with arbitrary frequency support. IEEE Trans. Inf. Theor. **45**, 1555–1564 (1999)
429. R. Venkataramani, Y. Bresler, Perfect reconstruction formulas and bounds on aliasing error in sub-Nyquist nonuniform sampling of multiband signals. IEEE Trans. Inf. Theor. **46**, 2173–2183 (2000)
430. J.E. Dennis, R.B. Schnabel, *Numerical Methods for Unconstrained Optimization and Nonlinear Equations* (Prentice-Hall, Englewood Cliffs, NJ, 1983)
431. J. McNeill, M. Coln, B. Larivee, A split-ADC architecture for deterministic digital background calibration of a 16b 1 MS/s ADC. IEEE Int. Solid-State Circuits Conf. Dig. Techn. Pap. **1**, 276–598 (2005)
432. A. Zjajo, J. Pineda de Gyvez, Calibration and debugging of multi-step analog to digital converters. *Proceedings of IEEE International Symposium on Electronic Design, Test and Applications*, pp. 512–515, 2008
433. M.F. Wagdy, S.S. Awad, Determining ADC effective number of bits via histogram testing. IEEE Trans. Instrum. Meas. **40**(4), 770–772 (1991)

Translation from English language edition：
Low – Power High – Resolution Analog to Digital Converters：Design，Test and Calibration
by Amir Zjajo and José Pineda de Gyvez
Copyright©2011 Springer Netherlands
Springer Netherlands is a part of Springer Science + Business Media
All Rights Reserved
This title is published in China by China Machine Press with license from Springer. This edition is authorized for sale in China only，excluding Hong Kong SAR，Macao SAR and Taiwan. Unauthorized export of this edition is a violation of the Copyright Act. Violation of this Law is subject to Civil and Criminal Penalties.
本书由 Springer 出版社授权机械工业出版社在中华人民共和国境内地区（不包括香港、澳门特别行政区及台湾地区）出版与发行。未经许可之出口，视为违反著作权法，将受法律之制裁。
北京市版权局著作权合同登记　图字：01 – 2012 – 3117 号。

图书在版编目（CIP）数据

低功率、高分辨率的 A – D 转换器／（荷）阿米尔·齐亚约，（荷）何塞·皮内达·德杰韦兹著；宋婷婷等译. —北京：机械工业出版社，2018.1
（国际信息工程先进技术译丛）
书名原文：Low – Power High – Resolution Analog to Digital Converters：Design，Test and Calibration
ISBN 978-7-111-58903-7

Ⅰ.①低…　Ⅱ.①阿…②何…③宋…　Ⅲ.①模 – 数转换器　Ⅳ.①TP335

中国版本图书馆 CIP 数据核字（2018）第 003269 号

机械工业出版社（北京市百万庄大街 22 号　邮政编码 100037）
策划编辑：顾　谦　责任编辑：顾　谦
责任校对：樊钟英　封面设计：马精明
责任印制：孙　炜
保定市中画美凯印刷有限公司印刷
2018 年 2 月第 1 版第 1 次印刷
169mm × 239mm · 15.5 印张 · 302 千字
0 001—2 800　册
标准书号：ISBN 978-7-111-58903-7
定价：79.00 元

凡购本书，如有缺页、倒页、脱页，由本社发行部调换

电话服务	网络服务
服务咨询热线：010 – 88361066	机 工 官 网：www.cmpbook.com
读者购书热线：010 – 68326294	机 工 官 博：weibo.com/cmp1952
010 – 88379203	金　书　网：www.golden – book.com
封面无防伪标均为盗版	教育服务网：www.cmpedu.com

本书特色

本书特别注重：

- 通过分别探索低电压模拟设计和校准技术的潜力，来提高高速转换器的功率效率和低杂散频谱的A-D转换性能；
- 提升电路技术和算法，加强测试开发和调试的潜在误差动态检测、隔离和限制错误，并持续恢复错误。

上述方法的可行性已通过测量硅原型制作的标准180nm、90nm和65nm CMOS技术验证。

为中华崛起传播智慧

地址：北京市百万庄大街22号
邮政编码：100037

电话服务
服务咨询热线：010-88361066
读者购书热线：010-68326294
010-88379203

网络服务
机工官网：www.cmpbook.com
机工官博：weibo.com/cmp1952
金书网：www.golden-book.com
教育服务网：www.cmpedu.com
封面无防伪标均为盗版

策划编辑◎顾 谦

国际视野 科技前沿

机械工业出版社信息通信类部分精品图书

《低功率、高分辨率的A-D转换器》
《社交大数据挖掘》
《LTE无线网络覆盖优化与增强实践指南》
《移动协议与切换优化：设计、评估与应用》
《全IP网络融合 感器数据融合》
《大数据爆炸时代的移动通信技术与应用》
《无线通信系统中的定位技术与应用》
《3GPP网络中的IPv6部署:从2G向LTE及未来移动宽带的演进》
《MIMO无线网络手册（原书第2版）》
《可重构无线电系统的网络架构和标准》
《构建基于IPv6和移动IPv6的物联网：向M2M通信的演进》
《虚拟网络——下一代互联网的多元化方法》
《下一代融合网络理论与实践》
《移动云计算：无线、移动及社交网络中分布式资源的开发利用》
《认知视角下的无线传感器网络》
《计算机网络仿真OPNET实用指南》
《移动无线信道（原书第2版）》
《LTE-Advanced：面向IMT-Advanced的3GPP解决方案》
《认知无线电通信与组网：原理与应用》
《WCDMA信令解析与网络优化》
《LTE/SAE网络部署实用指南》
《网络性能分析原理与应用》
《云连接与嵌入式传感系统》
《IP地址管理原理与实践》
《内容分发网络》
《基于4G系统的移动服务技术》
《P2P系统及其应用》
《IPTV与网络视频：拓展广播电视的应用范围》


机械工业出版社微信公众号


E视界
传播电类内容 提升专业知识


科技电眼
关注电类行业动向 聚焦前沿科技



上架指导 工业技术／电子技术／信号处理 ISBN 978-7-111-58903-7

定价：79.00元